



Aula 5

Engenharia de Sistemas Embarcados
 Prof. Abel Guilhermino
 Tópico: Arquitetura e Ambiente de Desenvolvimento



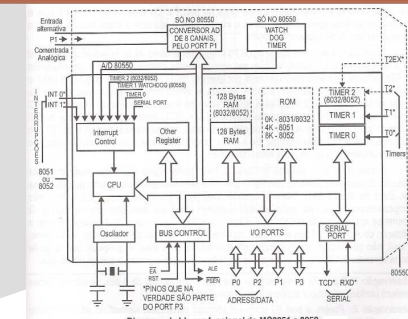

O ambiente de Execução

- Como o sistema utiliza a memória
 - Como o processador gerencia a pilha
- O que acontece na inicialização do sistema
- Como interrupções e exceções são tratadas

Engenharia de Sistemas Embarcados 2

Grupo de Engenharia da Computação - CIn / UFPE

Diagrama de Blocos 8051



- RAM interna
 - 128bytes
 - 128bytes RFE
- ROM interna (4kbytes)
- Ports I/O
- Timers
- Interface Serial
- 64kbytes ender. Ext ROM
- 64kbytes ender. Ext. RAM
- CPU
- Controlador Interrupção
- Oscilador
- Ciclos instrução de 1 a 2 microse a 12MHz

Engenharia de Sistemas Embarcados 3

Grupo de Engenharia da Computação - CIn / UFPE

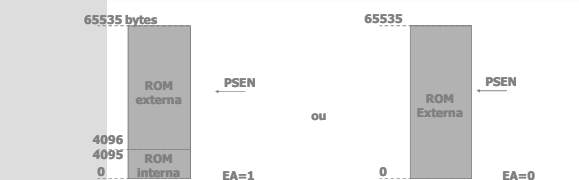
Características µC

- **Interrupções:** são entradas a partir de um sinal externo que fazem com que o processamento seja interrompido e seja iniciada uma subrotina específica.
- **Gerador de Reset:** responsável por inicializar o sistema ao ligar ou quando acionado.
- **Gerador de Clock:** gera os pulsos necessários ao sincronismo do sistema.
- **Memória de Programa:** memória onde o microprocessador vai procurar as instruções a executar. Em sistemas dedicados costumam-se utilizar memórias ROM, embora em alguns casos memórias RAM também sejam utilizadas.
- **Memória de Dados:** memória onde o microprocessador lê e escreve dados durante a operação normal. Geralmente é do tipo volátil, embora memórias não-voláteis possam ser utilizadas.
- **Seleção de Endereços:** lógica para escolher qual memória ou periférico o microprocessador vai utilizar.
- **Portas de I/O:** sua função é a comunicação com o mundo externo. Através delas dispositivos como teclados, impressoras, displays, entre outros, comunicam-se com o sistema.

Engenharia de Sistemas Embarcados 4

Grupo de Engenharia da Computação - CIn / UFPE

Memória de Programa (8051)



65535 bytes

ROM externa

← PSEN

ou

4096
4095
0

ROM interna

← PSEN

EA=1

65535

ROM Externa

← PSEN

0

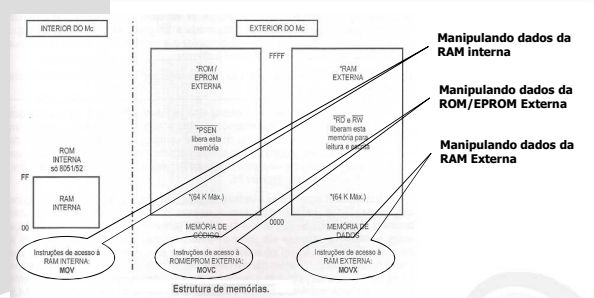
EA=0

- **Funcionamento:**
 - Quando EA=1, indica que a memória de programa é interna ao Mc. (4k)
 - Após acabar os 4k de memória de programa interna, irá automaticamente com a memória ROM/EPROM externa, se ela existir. (Com uso do PSEN)
 - O PSEN aciona a ROM/EPROM externa (memória de programa), qdo o Mc vai fazer um fetch na ROM.
- **Funcionamento:**
 - Quando EA=0, a memória de programa (ROM/EPROM) é externa do Mc.
 - Neste caso, o PSEN ajuda a habilitar a ROM/EPROM externa, ou seja, sempre que houver uma busca de instrução, o PSEN ativará a memória externa.

Engenharia de Sistemas Embarcados 5

Grupo de Engenharia da Computação - CIn / UFPE

Organização de Memórias



Manipulando dados da RAM interna

Manipulando dados da ROM/EPROM Externa

Manipulando dados da RAM Externa

Estrutura de memórias.

Engenharia de Sistemas Embarcados 6

Grupo de Engenharia da Computação - CIn / UFPE

Memória de Dados (8051)

Memória de Dados: memória onde o microprocessador lê e escreve dados durante a operação normal.

- **modo mínimo:** Neste modo, estão disponíveis 128 bytes de RAM para memória de dados.
- **modo expandido:** Neste modo, a memória de dados (RAM) pode ser expandida para 64 kB, através do uso de CIs externos.

Engenharia de Sistemas Embarcados
Grupo de Engenharia da Computação - CIn / UFPE

Mapa Memória RAM Interna 8051

Engenharia de Sistemas Embarcados
Grupo de Engenharia da Computação - CIn / UFPE

Expandindo RAM e ROM

- Faz-se necessário a utilização de um outro CI (no caso o 74373) para a multiplexação de dados e endereços.
- Ocorre da seguinte forma: no primeiro ciclo de máquina, o 8051 coloca nos pinos AD0 a AD7 o byte menos significativo do endereço externo e leva o pino ALE (Address Latch Enable - Habilitador da Trava de Endereços) a nível alto, de modo que o 74373 (oitto Latches tipo D) coloque em suas saídas essa informação, e logo em seguida passa este pino para nível baixo, para que esse byte fique retido no 74373.
- Após isso, os pinos AD0 a AD7 estarão livres para o transporte dos dados.

2006.2 Engenharia de Sistemas Embarcados
Grupo de Engenharia da Computação - CIn / UFPE

Ciclo do Processador: Microcontrolador AT89C51

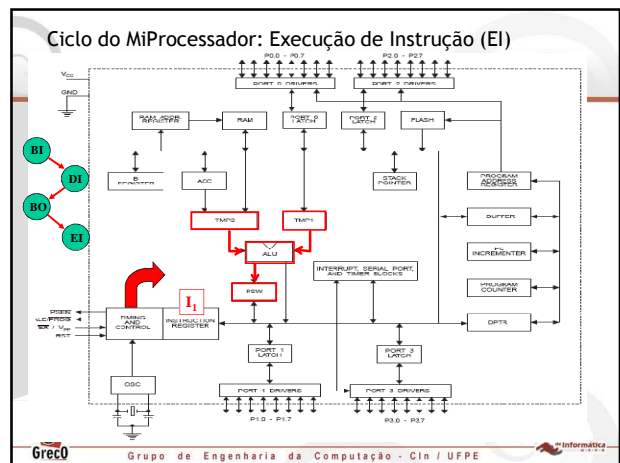
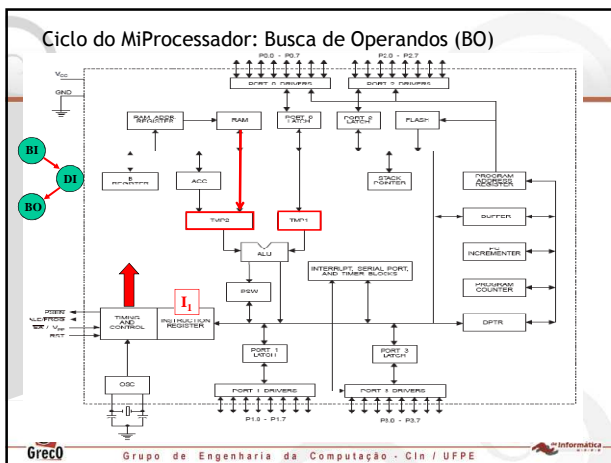
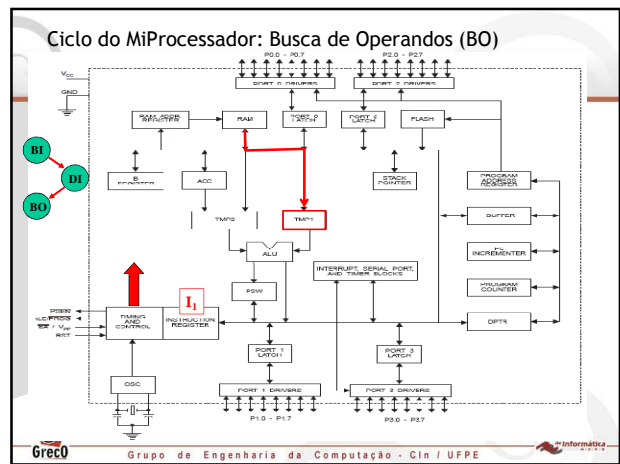
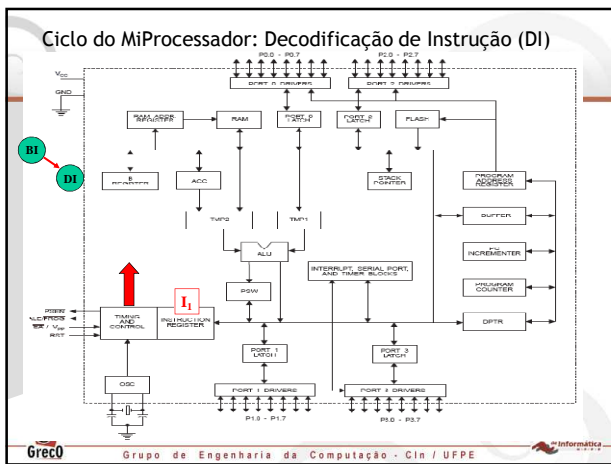
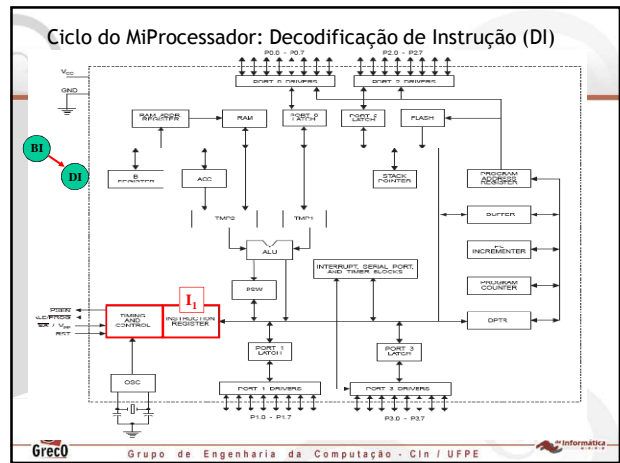
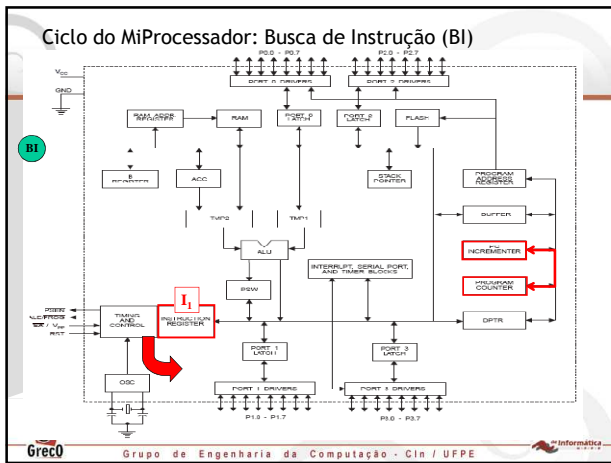
Engenharia de Sistemas Embarcados
Grupo de Engenharia da Computação - CIn / UFPE

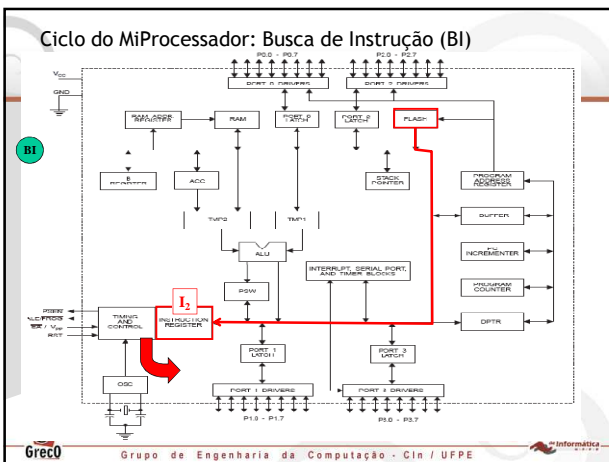
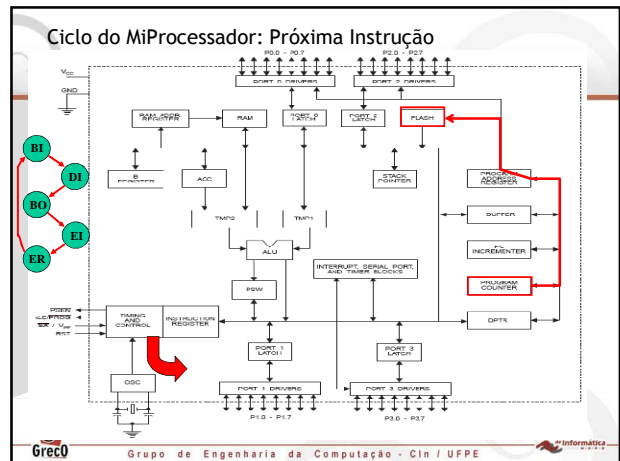
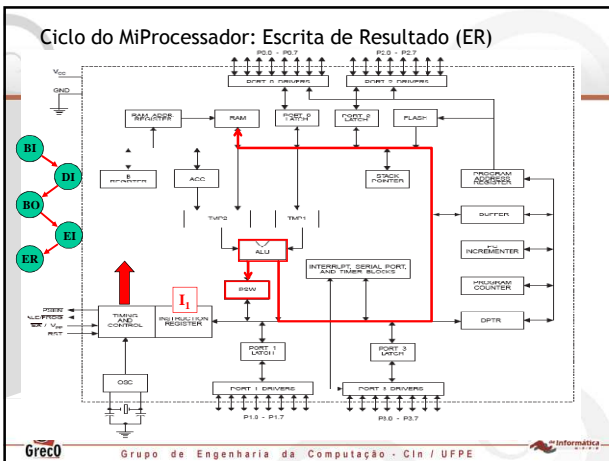
Ciclo do MiProcessador: Busca de Instrução (BI)

Engenharia de Sistemas Embarcados
Grupo de Engenharia da Computação - CIn / UFPE

Ciclo do MiProcessador: Busca de Instrução (BI)

Engenharia de Sistemas Embarcados
Grupo de Engenharia da Computação - CIn / UFPE





Pinagem do 8051

T2 / P1.0	1	40	VCC
T2EX / P1.1	2	39	P0.0 / AD0
P1.2	3	38	P0.1 / AD1
P1.3	4	37	P0.2 / AD2
P1.4	5	36	P0.3 / AD3
P1.5	6	35	P0.4 / AD4
P1.6	7	34	P0.5 / AD5
P1.7	8	33	P0.6 / AD6
RST	9	32	P0.7 / AD7
RXD / P3.0	10	31	EA
TXD / P3.1	11	30	ALE
INT0 / P3.2	12	29	PSEN
INT1 / P3.3	13	28	P2.7 / A15
T0 / P3.4	14	27	P2.6 / A14
T1 / P3.5	15	26	P2.5 / A13
WR / P3.6	16	25	P2.4 / A12
RD / P3.7	17	24	P2.3 / A11
XTAL2	18	23	P2.2 / A10
XTAL1	19	22	P2.1 / A9
GND	20	21	P2.0 / A8

- XTAL2 e XTAL1 - Auxílio para geração do clock
- RST : Pino de reset
- PSEN: Quando o μC vai buscar uma instrução na memória externa coloca PSEN para 0.
- ALE: saída habilitadora do latch de endereço
- EA: Entrada de seleção de memória de programa. Qdo=0 usa apenas externa.
- RXD/TXD : Receptor/transmissor de serial
- INT0/INT1: Interrupção externa 0
- T0/T1: Entrada externa para o timer
- WR: Strobe(sinalizador) de escrita na memória de dados externa.
- RD: Strobe de leitura na memória de dados externa.

Reset

- O reset no 8051 é ativo quando o pino 9 (RST) permanecer em nível alto por 2 ou mais ciclos de máquina.
 - O PC, o acumulador, o registro B, os flags, o DPTR e todos os registros dos temporizadores/contadores são ZERADOS
 - No Stack Pointer, é colocado o valor 07
 - As portas P0 a P3 terão valor FFH
 - O SBUF (Buffer serial) estará com conteúdo indeterminado e o registro de controle da porta serial (SCON) será zerado
 - O registro PCON terá apenas seu bit mais significativo zerado
 - E finalmente os registros de controle de interrupção (EI e IP) terão ambos o valor binário XXX00000
 - A RAM interna não é afetada pelo RESET forçado.

Reset

- Observação
 - Durante o reset, o nível lógico dos pinos é indeterminado, indo a nível lógico 1 após a execução da rotina interna de reset, de tal forma que devemos prever esta situação no projeto do hardware, para evitar acionamento indesejável de qualquer periférico.

Clock

- Temos 2 possibilidades de excitar o sistema:
 - Clock externo
 - Basta aterrar o pino 19 (XTAL1) e injetar o sinal externo no pino 18 (XTAL2), desta forma irá para o sistema de controle e temporização do chip.
 - Clock interno
 - Deve-se intercalar aos pinos XTAL1 e XTAL2 um cristal na frequência desejada e dois capacitores de realimentação

2006.2 Engenharia de Sistemas Embarcados 25

Inicialização do Sistema

- Fase de hardware
 - Ativada pelo RESET
 - Força a CPU a começar a execução do programa ou algum código que carrega o programa
- Fase de software
 - Software controla a CPU
 - Inicialização de recursos
 - Criação do ambiente de execução da aplicação

Seqüência de inicialização do 8051

2006.2 Engenharia de Sistemas Embarcados 26

Ciclo de Resposta de Interrupção

- Desvio de controle assíncrono
 - Como a CPU sabe onde achar o código de *interrupt handling*
 - O que é necessário fazer para se salvar e restaurar o contexto do *thread* principal?
 - Quando as interrupções devem ser habilitadas?

2006.2 Engenharia de Sistemas Embarcados 27

Ciclo de Resposta de Interrupção do 8051

- Seqüência de eventos
 1. Programador habilita interrupções ativando bits de flag
 2. Circuito interno ou externo causa a geração de um dos sinais de interrupção
 3. A CPU termina a execução da instrução atual
 1. Coloca o PC na pilha
 2. Carrega o PC com o endereço do *interrupt handler*
 4. Rotina de interrupção é executada e deve desativar o bit de flag da interrupção
 5. Ao final da rotina de interrupção deve haver uma instrução de RTI. O PC é restaurado a partir da pilha e a execução do programa é retomada

2006.2 Engenharia de Sistemas Embarcados 28

Processo de Interrupção

2006.2 Engenharia de Sistemas Embarcados 29

O Registrador de Função Especial Interrupt Enable (IE)

Bit	Nome	Endereço	Descrição
7	EA	0xAF	Habilitação global de interrupção
6	-	0xAE	Indefinido
5	-	0xAD	Indefinido
4	ES	0xAC	Habilita interrupção serial
3	ET1	0xAB	Habilita interrupção timer 1
2	EX1	0xAA	Habilita interrupção externa 1
1	ET0	0xA9	Habilita interrupção timer 0
0	EX0	0xA8	Habilita interrupção externa 0

2006.2 Engenharia de Sistemas Embarcados 30

O Registrador de Função Especial Interrupt Priority (IP)

Bit	Nome	Endereço	Descrição
7	-	-	Indefinido
6	-	-	Indefinido
5	-	-	Indefinido
4	OS	0xBC	Prioridade interrupção serial
3	PT1	0xBB	Prioridade interrupção timer 1
2	PX1	0xBA	Prioridade interrupção externa 1
1	PT0	0xB9	Prioridade interrupção timer 0
0	PX0	0xB8	Prioridade interrupção externa 0

2006.2 Engenharia de Sistemas Embarcados 31

Prioridade de Interrupção por Hardware

- É utilizada quando interrupções de mesma prioridade acontecem simultaneamente
- Prioridades por hardware no 8051
 - Interrupção externa 0
 - Overflow do timer 0
 - Interrupção externa 1
 - Overflow do timer 1
 - Porta serial

2006.2 Engenharia de Sistemas Embarcados 32

Handlers de Interrupção

Fonte de Interrupção	Endereço do Handler
Interrupção externa 0	0x0003
Overflow do timer 0	0x000B
Interrupção externa 1	0x0013
Overflow do timer 1	0x001B
Porta serial	0x0023

2006.2 Engenharia de Sistemas Embarcados 33

Funcionamento do Sistema de Interrupção 8051

Ilustração de funcionamento do sistema de interrupção do microcontrolador 8051.

2006.2 Engenharia de Sistemas Embarcados 34

Chamadas de Função e Frames de Pilha

```

    Programa C  =>  Compilador  =>  Assembly
    main()      =>  gcc/sdcc   =>  _main
    return      =>  gcc/sdcc   =>  RET*
    
```

*8051 pode variar para outras arquiteturas

2006.2 Engenharia de Sistemas Embarcados 35

Chamadas de Função e Frame de Pilha

- Em geral ação do compilador é:
 - Colocar todos os argumentos na pilha
 - Chamar a função
 - Alocar espaço (na pilha) para as variáveis locais
 - Realizar o trabalho da função
 - Desalocar o espaço das variáveis locais
 - Retornar da função
 - Desalocar o espaço utilizado pelos argumentos

2006.2 Engenharia de Sistemas Embarcados 36

Atividade

- Grupos de 3
- O que faz o código de inicialização do uVision3?
- Existe código de inicialização no SDCC, o que ele faz?

2006.2 Engenharia de Sistemas Embarcados 43

Greco Grupo de Engenharia da Computação - CIN / UFPE

