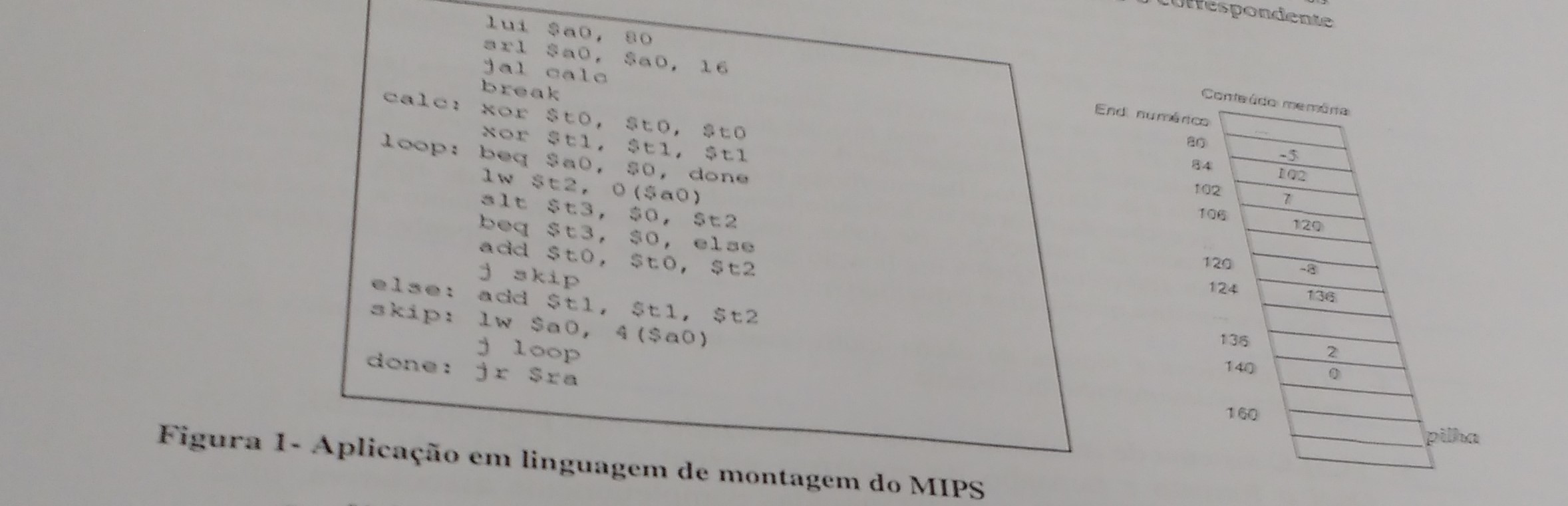
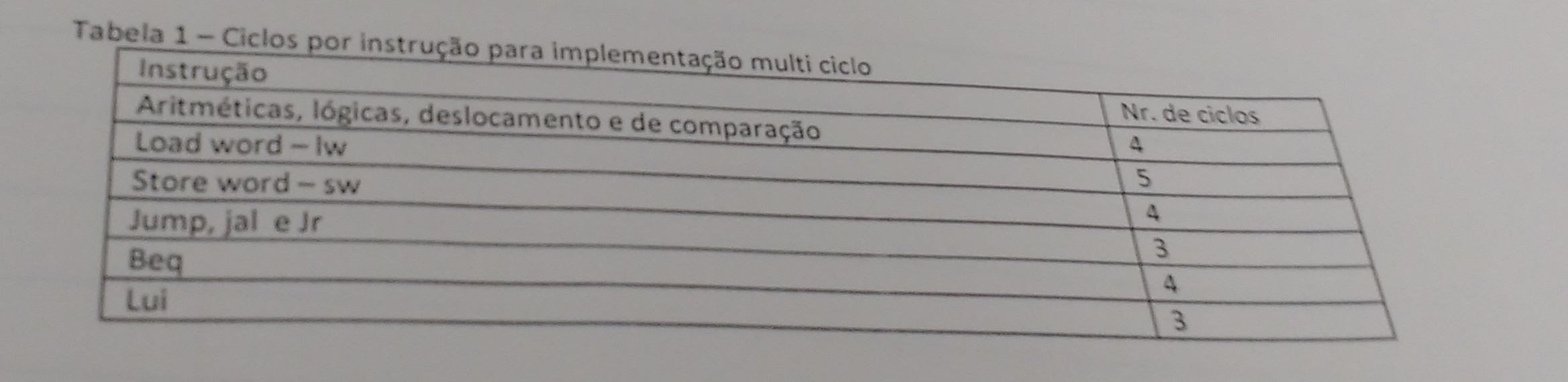
Cin - UFPE Infra-estrutura de Hardware - Exercicio Final 2017.1

Nome: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ login:\_\_\_\_\_\_ Data: \_\_\_\_\_\_\_\_\_\_\_\_\_

1. Um sistema computacional com clock 2,2 Ghz baseado no processador MIPS.Para definir este processador foram realizadas implementações multiciclo e pipeline. Para avaliação das implementações mencionadas considere o programa descrito abaixo. O registrador $29 possui o valor 160. A localização das variaveis na memoria podem ser visualizada na figura 1, a qual contem os valores numericos e simbolicos de cada endereço bem como o correspondente de conteudo de memoria.



a - [1,0] Considere que o programa da figura 1 esta sendo executado em uma implementação multiciclo da CPU, onde o numero de ciclos de cada instrução é dado pela tabela abaixo. Calcule o CPI para executar o programa na implementação multicilo.  


b- [1,5] Considere agora o programa da figura 1 esta sendo executado em uma implementação pipeline de 5 estágios. Os conflitos de dados e de controle devem ser resolvidos com a inserção de NOPs, calculo o nome CPI e o speed up obtido. O desempenho melhorou? Justifique sua resposta.

c- [1,5] Considere agora uma implementação em pipeline, onde os conflitos de dados foram resolvidos com adiantamento e detecção de conflitos e os de controle com antecipação do desvio, qual o novo CPI para esta implementação? Justifique o CPI obtido.

d- [1,0] Para explorar paralelismo de thread, os processadores atuais possuem mais de um nucleo (multi-core). Qual o principal desafio destes processadores com relação ao custo de comunicação por memoria compartilhada e quais as tecnicas para se resolver estes desafios?

2 - [1,5] O processador possui uma espaço de endereçamento de 4096 G bytes, organizado como paginas de 8K bytes. A memoria principal possui 1/512 da capacidade de endereçamento virtual e é endereçado por bytes. O sistema ainda possui uma cache de instruções cuja capacidade de armazenar informações corresponde a 1/512 da capacidade da memoria principal. Esta cache é four-way associativa write - through. A cache de dados possui metade da capacidade e o mesmo grau de associatividade da cache de instruções, porem é write back. O tamanho do bloco em ambas as caches é de 16 palavras. Qual o layout e o tamanho das caches (instruções e dados) em bytes?

3- [1,0] O sistema da questao anterior executou uma aplicação com uma taxa de cache hit igual a 95% para dados e uma taxa de hit de 97% para instruções. Na aplicação mencionada, 40% das instruções são de acesso à memoria(load/store). A penalidade da memoria é de 100 ciclos. Para melhorar o desempenho foi duplicado o tamanho do bloco e as caches duplicaram de tamanho levando a uma redução de 45% e 50% nas faltas da cache de instruções e de dados, respectivamente.No entanto a penalidade passou a ser 160 ciclos. Qual a implicação das mudanças no desempenho da máquina, faça uma analise quantitativa e qualitativa.

4- [1,0] Descreva a técnica de cache multi nivel e explique como esta tecnica pode melhorar o desempenho do sistema?

5- [1,5] O sistema de memória virtual é organizado como paginas de 16K bytes. Qual o formato e tamanho do endereço virtual e da tabela de paginas? O sistema possui uma TLB de 8192 entradas completamente associativa, qual o tamanho da TLB e quais as vantagens deste mecanismo?