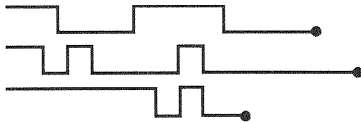

Flip-Flops e Dispositivos Correlatos



■ SUMÁRIO

- 5-1 Latch com portas NAND
- 5-2 Latch com portas NOR
- 5-3 Estudo de Casos em Pesquisa de Falhas
- 5-4 Sinais de Clock e Flip-Flops com Clock
- 5-5 Flip-Flop S-C com Clock
- 5-6 Flip-Flop J-K com Clock
- 5-7 Flip-Flop D com Clock
- 5-8 Latch *D* (Latch Transparente)
- 5-9 Entradas Assíncronas
- 5-10 Símbolos IEEE/ANSI
- 5-11 Considerações sobre Temporização em Flip-Flops
- 5-12 Problemas Potenciais de Temporização em Circuitos com Flip-Flops
- 5-13 Flip-Flops Mestre/Escravo
- 5-14 Aplicações com Flip-Flops
- 5-15 Sincronização de Flip-Flops
- 5-16 Detectando uma Sequência de Entrada
- 5-17 Armazenamento e Transferência de Dados
- 5-18 Transferência Serial de Dados: Registradores de Deslocamento
- 5-19 Divisão de Freqüência e Contagem
- 5-20 Aplicação em Microcomputador
- 5-21 Dispositivos Schmitt-Trigger
- 5-22 Multivibrador Monoestável
- 5-23 Análise de Circuitos Sequenciais
- 5-24 Circuitos Geradores de Clock
- 5-25 Depuração de Circuitos com Flip-Flops

OBJETIVOS

Ao completar este capítulo, você deverá estar apto a:

- Construir um flip-flop latch com portas NAND, ou NOR, e analisar seu funcionamento.
- Eliminar os efeitos da trepidação de contato de uma chave mecânica utilizando um circuito latch.
- Descrever a diferença entre sistemas síncronos e assíncronos.
- Entender os diversos tipos de flip-flops disparados por transição tais como: o J-K, o D e o S-C.
- Analisar e aplicar os parâmetros de temporização dos flip-flops especificados pelos fabricantes.
- Descrever um circuito direcionador de pulsos e um circuito detector de transição.
- Compreender as principais diferenças entre as transferências de dados seriais e paralelas.
- Desenhar as formas de onda das saídas de diversos tipos de flip-flops, em resposta a um conjunto de sinais de entrada.
- Explicar os vários símbolos IEEE/ANSI para flip-flops.
- Utilizar diagramas de transição de estado para descrever a operação de contadores.
- Relacionar várias aplicações de flip-flops.
- Usar flip-flops em circuitos de sincronização.
- Conectar registradores de deslocamento como circuitos para transferências de dados.
- Empregar flip-flops em circuitos para divisão de frequência e em contadores.
- Compreender as características típicas dos Schmitt triggers.
- Aplicar dois tipos diferentes de monoestáveis no projeto de circuitos.
- Projetar um oscilador utilizando um temporizador 555.
- Reconhecer e prever os efeitos que diferentes atrasos no sinal de clock provocam em circuitos síncronos.
- Depurar vários tipos de circuitos com flip-flops.

INTRODUÇÃO

Os circuitos lógicos estudados até agora são circuitos combinacionais, nos quais as saídas, em qualquer instante de tempo, dependem dos níveis presentes nas entradas no instante considerado. Quaisquer condições de entrada anteriores não têm efeito algum nas saídas atuais, porque os circuitos lógicos combinacionais não têm memória. A maioria dos sistemas digitais é composta tanto de circuitos combinacionais como de elementos de memória.

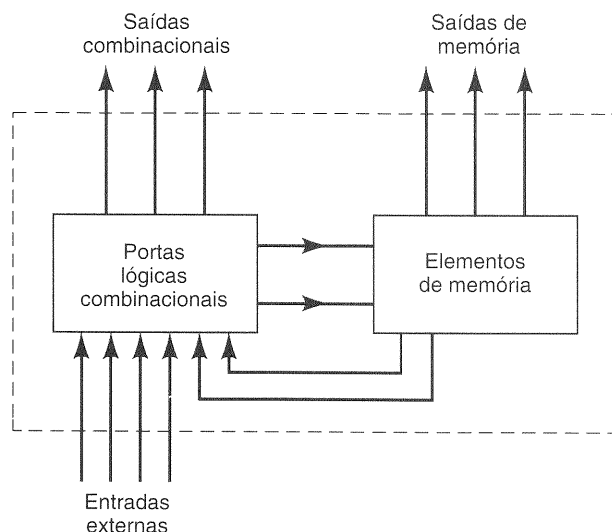


Fig. 5-1 Diagrama geral de um sistema digital.

A Fig. 5-1 mostra um diagrama de blocos de um sistema digital geral que reúne portas lógicas combinacionais com dispositivos de memória. A parte combinacional aceita sinais lógicos de entradas externas e das saídas dos elementos de memória. O circuito combinacional opera sobre estas entradas para produzir várias saídas, algumas das quais são usadas para determinar os valores binários a serem armazenados nos elementos de memória. As saídas de alguns elementos de memória, por outro lado, vão para as entradas das portas lógicas dos circuitos combinacionais. Este processo indica que as saídas externas de um sistema digital são uma função das entradas externas e das informações armazenadas nos seus elementos de memória.

O elemento de memória mais importante é o **flip-flop**, que é feito de uma configuração de portas lógicas. Embora uma porta lógica, por si só, não tenha capacidade de armazenamento, várias portas podem ser conectadas de modo a permitir que a informação seja armazenada. Muitas interconexões diferentes de portas são usadas para produzir flip-flops (abreviado como FFs).

A Fig. 5-2(a) mostra o símbolo utilizado para um flip-flop genérico. Ele possui duas saídas, identificadas como Q e \bar{Q} , que são opostas entre si. Q/\bar{Q} são as designações mais comuns usadas para as saídas dos FFs. Por vezes, utilizaremos outras designações, tais como X/\bar{X} e A/\bar{A} , por conveniência, na identificação de FFs diferentes em um circuito lógico.

A saída Q é chamada de saída *normal* do FF, e \bar{Q} é a saída *invertida* (ou *barrada*) do FF. Sempre que nos referimos ao estado de um FF, estamos nos referindo ao estado de sua saída normal (Q). Fica subentendido que sua saída barrada (\bar{Q}) está no estado oposto. Por exemplo, se dissermos que um FF está no estado ALTO (1), significa que a saída $Q = 1$; se dissermos que um FF está no estado BAIXO (0), significa que a saída $Q = 0$. Obviamente, o estado de \bar{Q} é sempre o inverso de Q .

Os dois estados possíveis de operação para um FF estão resumidos na Fig. 5-2(b). Note que o estado ALTO ou 1 ($Q = 1/\bar{Q} = 0$) também é chamado de estado **SET**. Sempre que as entradas de um FF fazem sua saída ir para o estado $Q =$

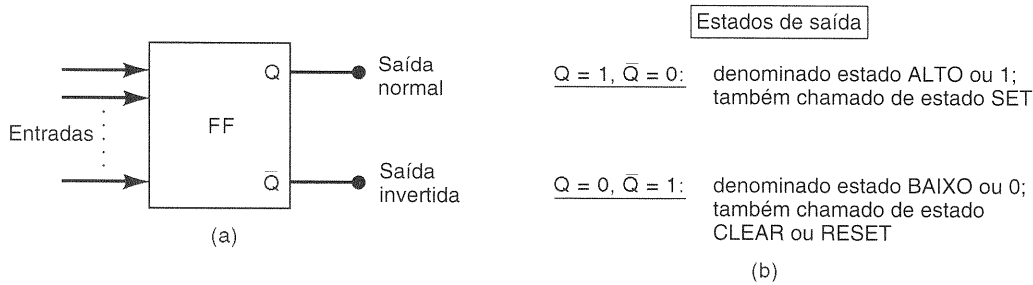


Fig. 5-2 Símbolo de um flip-flop genérico e definição dos dois estados de saída possíveis.

1, denominamos isto de *setar** o FF; o FF foi setado. Analogamente, o estado BAIXO ou 0 ($Q = 0/\bar{Q} = 1$) também é chamado de estado **CLEAR** ou **RESET**. Sempre que as entradas de um FF fazem sua saída ir para o estado $Q = 0$, denominamos isto de *limpar* ou *ressetar*** o FF; o FF foi limpo (ressetado). Conforme estudaremos, muitos FFs têm uma entrada **SET** e/ou uma entrada **CLEAR (RESET)** que são usadas para colocar o FF em um determinado estado de saída.

De acordo com o símbolo na Fig. 5-2(a), um FF pode ter uma ou mais entradas. Estas entradas são utilizadas para causar o chaveamento do FF entre seus possíveis estados de saída. Vamos descobrir que a maioria das entradas do FF necessita apenas ser momentaneamente ativada (pulsa-da) de modo a provocar uma mudança no estado de saída do FF, e a saída permanecerá neste novo estado mesmo após o pulso de entrada terminar. Esta é a propriedade de *memória* do FF.

O flip-flop é conhecido por outros nomes, incluindo *latch* e *multivibrador biestável*. O termo *latch* é usado para certos tipos de flip-flops que descreveremos. O termo *multivibrador biestável* é o nome mais técnico para um flip-flop, mas é muito complexo para ser utilizado regularmente.

5-1 LATCH COM PORTAS NAND

O circuito de FF mais básico pode ser construído com duas portas NAND ou com duas portas NOR. A versão com NAND, chamada de **latch com portas NAND** ou simplesmente **latch**, é mostrada na Fig. 5-3(a). As duas portas NAND são interligadas de modo cruzado, sendo que a saída da NAND-1 é conectada a uma das entradas da NAND-2, e vice-versa. As saídas das portas, identificadas como Q e \bar{Q} , respectivamente, são as saídas do latch. Sob condições normais, elas sempre são o inverso uma da outra. Existem duas entradas do latch: a entrada SET é a que *seta* Q para o estado 1; a entrada CLEAR é a que *limpa* Q para o estado 0.

Ambas as entradas SET e CLEAR estão normalmente em estado ALTO, e uma delas é pulsada em BAIXO sempre que se deseja alterar as saídas do latch. Vamos começar nossa análise mostrando que existem dois estados de saída simi-

lares quando SET = CLEAR = 1. Uma possibilidade é apresentada na Fig. 5-3(a), onde $Q = 0$ e $\bar{Q} = 1$. Com $Q = 0$, as entradas da NAND-2 são 0 e 1, o que produz $\bar{Q} = 1$. O nível 1 de \bar{Q} faz com que NAND-1 tenha nível ALTO em ambas as entradas, o que resulta em 0 na saída Q . Com efeito, o que temos é um nível BAIXO na saída de NAND-1 produzindo um nível ALTO na saída de NAND-2, que por sua vez mantém a saída de NAND-1 em BAIXO.

A segunda possibilidade é mostrada na Fig. 5-3(b), onde $Q = 1$ e $\bar{Q} = 0$. O nível ALTO da porta NAND-1 produz um nível BAIXO na saída da NAND-2, o que por sua vez mantém a saída da NAND-1 em ALTO. Portanto, existem dois estados de saída possíveis quando SET = CLEAR = 1, e, como veremos em breve, o estado real depende do que ocorreu previamente com as entradas.

Setando o Latch (FF)

Vamos investigar agora o que acontece quando a entrada SET é momentaneamente pulsada em BAIXO, enquanto o CLEAR é mantido em ALTO. A Fig. 5-4(a) mostra o que acontece quando $Q = 0$ antes da ocorrência do pulso. Quando SET é pulsado BAIXO em t_0 , Q vai para ALTO, e este nível ALTO força \bar{Q} a ir para BAIXO, de modo que agora NAND-1 tem duas entradas em BAIXO. Logo, quando SET retorna para o estado 1 em t_1 , a saída da NAND-1 *permanece* em ALTO, o que por sua vez mantém a saída da NAND-2 em BAIXO.

A Fig. 5-4(b) ilustra o que ocorre quando $Q = 1$ e $\bar{Q} = 0$ antes da aplicação do pulso em SET. Visto que a saída $\bar{Q} = 0$ já está mantendo a saída da NAND-1 em ALTO, o pulso BAIXO em SET não altera nada. Assim, quando SET retorna para ALTO, a saída do latch ainda está com $Q = 1$ e $\bar{Q} = 0$.

Podemos resumir a Fig. 5-4 considerando-se que um pulso BAIXO na entrada SET sempre leva o latch para o estado onde $Q = 1$. Esta operação é denominada *setar* o latch ou FF.

Limpendo o Latch (FF)

Vamos considerar agora o que ocorre quando a entrada CLEAR é pulsada em BAIXO enquanto SET é mantido em ALTO. A Fig. 5-5(a) mostra o que acontece quando $Q = 0$ e $\bar{Q} = 1$ antes da aplicação do pulso. Como $Q = 0$ já está mantendo a saída da NAND-2 em ALTO, o pulso em BAIXO no CLEAR não tem efeito algum. Quando CLEAR retornar para ALTO, as saídas do latch ainda serão $Q = 0$ e $\bar{Q} = 1$.

*Palavra de origem inglesa, comumente usada na área digital, que significa colocar a saída do FF igual a 1. (N. do T.)

**Palavra de origem inglesa, comumente usada na área digital, que significa colocar a saída do FF igual a 0. (N. do T.)

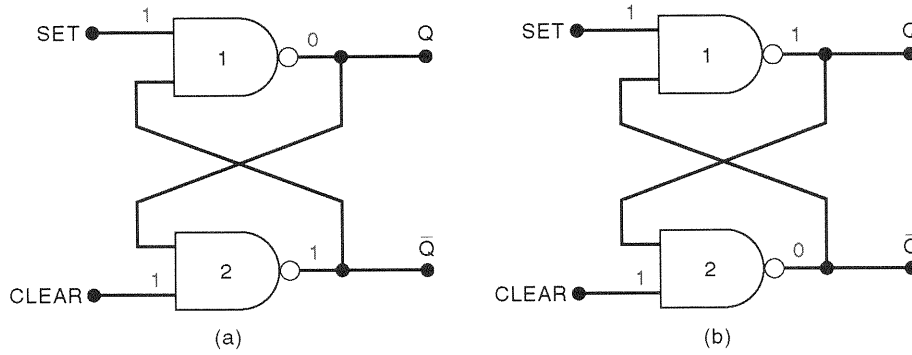


Fig. 5-3 Um latch NAND tem dois estados de repouso possíveis quando SET = CLEAR = 1.

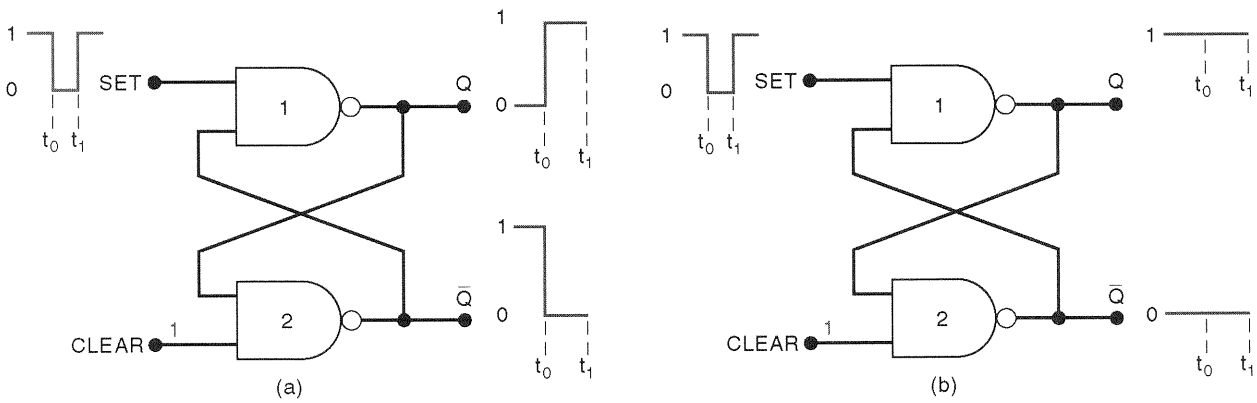


Fig. 5-4 Pulsando-se a entrada SET para o estado 0 quando (a) $Q = 0$ antes do pulso em SET; (b) $Q = 1$ antes do pulso em SET. Note que em ambos os casos Q termina em ALTO.

A Fig. 5-5(b) ilustra a situação onde $Q = 1$ antes da ocorrência do pulso no CLEAR. Assim que o CLEAR vai para BAIXO em t_0 , \bar{Q} vai para ALTO, e este nível ALTO força Q a ir para BAIXO, de modo que NAND-2 agora tem as duas entradas em BAIXO. Portanto, quando o CLEAR retorna para ALTO em t_1 , a saída da NAND-2 *permanece* em ALTO, o que por sua vez mantém a saída da NAND-1 em BAIXO.

A Fig. 5-5 pode ser resumida considerando-se que um pulso BAIXO na entrada CLEAR sempre leva o latch para o

estado onde $Q = 0$. Esta operação é denominada *limpar* ou *resetsar* o latch.

SET e CLEAR Ativos Simultaneamente

O último caso a ser considerado é aquele em que as entradas SET e CLEAR são simultaneamente pulsadas em BAIXO. Isto produz um nível ALTO nas saídas das duas portas NAND, de modo que $Q = \bar{Q} = 1$. É claro que isto é uma

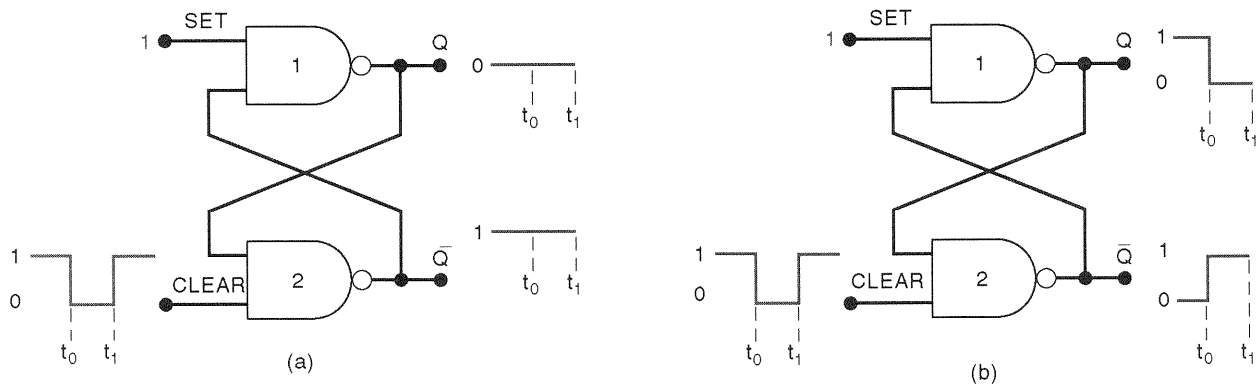


Fig. 5-5 Pulsando-se a entrada CLEAR para o estado BAIXO quando (a) $Q = 0$ antes do pulso em CLEAR; (b) $Q = 1$ antes do pulso em CLEAR. Em ambos os casos, Q termina em BAIXO.

condição indesejada, visto que as duas saídas supostamente são complementares entre si. Além disso, quando as entradas SET e CLEAR retornam para ALTO, o estado de saída resultante dependerá da entrada que voltar a ALTO primeiro. Transições simultâneas de volta para 1 produzirão resultados imprevisíveis. Por estas razões, a condição SET = CLEAR = 0 normalmente não é utilizada para o latch NAND.

Resumo do Latch NAND

A operação descrita anteriormente pode ser convenientemente colocada em uma tabela-verdade (Fig. 5-6) e é resumida a seguir:

1. **SET = CLEAR = 1.** Esta condição é o estado normal de repouso e não tem nenhum efeito sobre o estado de saída. As saídas Q e \bar{Q} permanecerão com os mesmos valores que estavam antes desta condição de entrada.
2. **SET = 0, CLEAR = 1.** Isto sempre faz a saída ir para o estado no qual $Q = 1$, onde permanecerá mesmo após SET retornar para ALTO. Isto é denominado *setar* o latch.
3. **SET = 1, CLEAR = 0.** Isto sempre produz o estado $Q = 0$, onde a saída permanecerá mesmo após CLEAR retornar para ALTO. Isto é denominado *limpar* ou *resetar* o latch.
4. **SET = CLEAR = 0.** Esta condição tenta setar e limpar o latch ao mesmo tempo e pode produzir resultados ambíguos. Não deve ser usada.

Representações Alternativas

Considerando-se a descrição da operação do latch NAND, deve ficar claro que as entradas de SET e CLEAR são ativas em BAIXO. A entrada SET faz $Q = 1$ quando SET vai para BAIXO, e a entrada CLEAR faz $Q = 0$ quando CLEAR vai para BAIXO. Por causa disto, o latch NAND freqüentemente é desenhado usando-se a representação alternativa para cada porta NAND, conforme mostra a Fig. 5-7(a). As bolhas nas entradas, assim como a identificação dos sinais como \overline{SET} e \overline{CLEAR} , indicam o estado de acionamento BAIXO para estas entradas.

A Fig. 5-7(b) mostra uma representação simplificada que usaremos algumas vezes. As letras S e C representam as entradas SET e CLEAR, enquanto as bolhas indicam que essas entradas são ativas em nível BAIXO. Sempre que este símbolo for usado, ele representa um latch NAND.

Terminologia

A ação de *limpar* um FF ou latch também é chamada *resetar*, e ambos os termos são usados indistintamente na área digital. Na verdade, a entrada CLEAR também pode ser chamada de RESET, e um latch SET-CLEAR pode ser denominado latch SET-RESET.

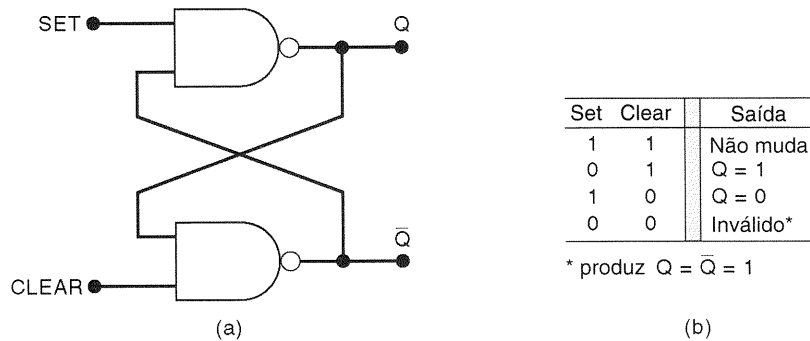


Fig. 5-6 (a) Latch NAND; (b) tabela-verdade.

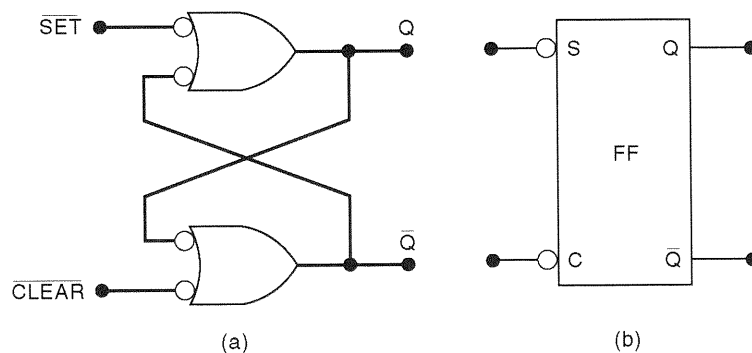


Fig. 5-7 (a) Representação equivalente para o latch NAND; (b) símbolo simplificado.

EXEMPLO 5-1

As formas de onda da Fig. 5-8 são aplicadas nas entradas do latch da Fig. 5-7. Considere que inicialmente $Q = 0$ e determine a forma de onda de Q .

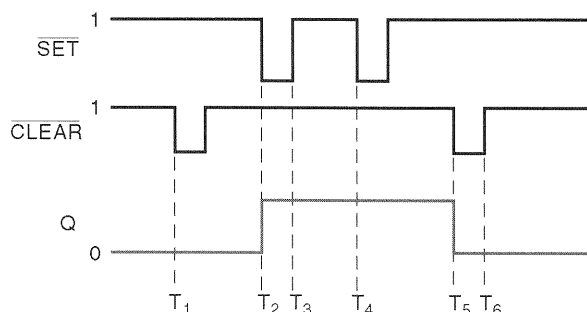


Fig. 5-8 Exemplo 5-1.

Solução

Inicialmente, $\overline{SET} = \overline{CLEAR} = 1$ e portanto Q permanecerá no estado 0. O pulso em BAIXO que ocorre na entrada CLEAR em T_1 não tem efeito algum, pois Q já está no estado 0.

O único modo de Q ir para o estado 1 é através de um pulso em BAIXO na entrada \overline{SET} . Isto acontece no instante T_2 , quando \overline{SET} vai para BAIXO pela primeira vez. Quan-

do \overline{SET} retorna para ALTO em T_3 , Q permanece no seu novo estado ALTO.

No instante de tempo T_4 , quando \overline{SET} vai para BAIXO outra vez, não há efeito sobre Q pois Q já está em 1.

O único modo de trazer Q de volta para o estado 0 é através de um pulso em BAIXO na entrada \overline{CLEAR} . Isto ocorre em T_5 . Quando \overline{CLEAR} retorna para 1 no instante de tempo T_6 , Q permanece no estado BAIXO.

Este exemplo mostra que a saída do latch “lembra” a última entrada que foi ativada, e que não muda de estado até que a entrada oposta seja acionada.

EXEMPLO 5-2

É praticamente impossível obter uma transição de tensão “limpa” com uma chave mecânica, por causa do fenômeno conhecido como **trepidação de contato (contact bounce)**. Isto é ilustrado na Fig. 5-9(a), onde a ação de mover a chave da posição de contato 1 para a 2 produz muitas transições na tensão de saída, conforme a chave trepida (faz e interrompe o contato com 2 muitas vezes) antes de parar sobre o contato 2.

As múltiplas transições no sinal de saída geralmente não duram mais do que uns poucos milissegundos, mas podem ser inaceitáveis em muitas aplicações. Um latch NAND pode ser usado para evitar que a presença da trepidação de contato afete a saída. Descreva a operação do circuito da Fig. 5-9(b) utilizado para eliminar os efeitos da trepidação de contato.

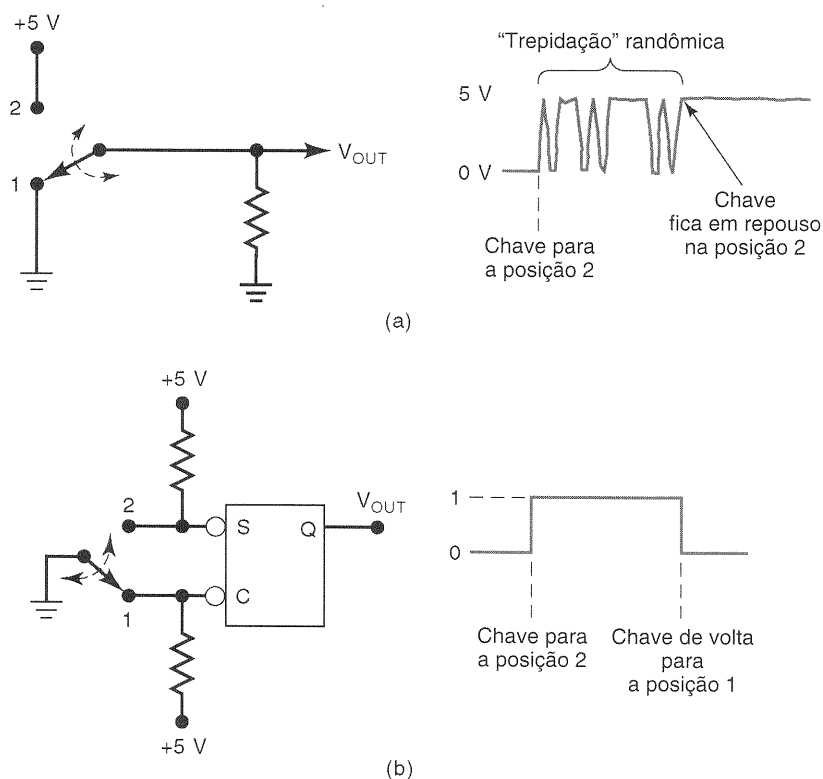


Fig. 5-9 (a) Trepidação mecânica do contato produz múltiplas transições; (b) latch NAND usado para eliminar as múltiplas transições.

Solução

Suponha que a chave está em repouso na posição 1, de modo que a entrada $\overline{\text{CLEAR}}$ está em BAIXO e $Q = 0$. Quando a chave é levada para a posição 2, $\overline{\text{CLEAR}}$ vai para ALTO, e um nível BAIXO aparece na entrada $\overline{\text{SET}}$ quando a chave faz o primeiro contato. Isto faz $Q = 1$ dentro de poucos nanossegundos (o tempo de resposta da porta NAND). Agora, caso a chave desfaça o contato com 2, $\overline{\text{SET}}$ e $\overline{\text{CLEAR}}$ estarão em ALTO, e Q não é afetada, permanecendo em ALTO. Portanto, nada acontece com Q conforme a chave trepida no contato 2 antes de ficar finalmente em repouso na posição 2.

Analogamente, quando a chave é levada de volta da posição 2 para a posição 1, ela coloca um nível BAIXO na entrada $\overline{\text{CLEAR}}$ logo ao primeiro contato. Isto limpa Q para o estado BAIXO, onde permanece mesmo que a chave trepide no contato 1 muitas vezes antes de ficar em repouso.

Deste modo, a saída Q apresenta uma única transição cada vez que a chave é levada de uma posição para a outra.

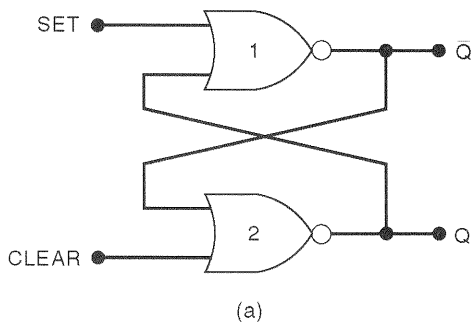
Questões de Revisão

1. Qual é o estado normal de repouso das entradas $\overline{\text{SET}}$ e $\overline{\text{CLEAR}}$? Qual é o estado ativo de cada entrada?
2. Qual é o estado de Q e \overline{Q} após um FF ter sido limpo (ressetado)?
3. *Verdadeiro ou falso:* A entrada $\overline{\text{SET}}$ nunca pode ser usada para fazer $Q = 0$.
4. Quando a alimentação é inicialmente aplicada em qualquer circuito com FFs, é impossível prever os estados iniciais de Q e \overline{Q} . O que poderia ser feito para garantir que um latch NAND sempre comece no estado $Q = 1$?

5-2 LATCH COM PORTAS NOR

Duas portas NOR interligadas de modo cruzado podem ser usadas como um **latch com portas NOR**. A configuração mostrada na Fig. 5-10(a) é similar ao latch NAND, exceto que as saídas Q e \overline{Q} estão em posições trocadas.

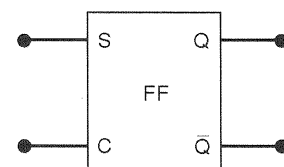
A análise da operação do latch NOR pode ser feita exatamente do mesmo modo que aquela feita para o latch NAND. Os resultados estão apresentados na tabela-verdade da Fig. 5-10(b) e podem ser resumidos como segue:



Set	Clear	Saída
0	0	Não muda
1	0	$Q = 1$
0	1	$Q = 0$
1	1	Inválido*

* produz $Q = \overline{Q} = 0$

(b)



(c)

Fig. 5-10 (a) Latch com portas NOR; (b) tabela-verdade; (c) símbolo simplificado.

1. **SET = CLEAR = 0.** Este é o estado de repouso normal para o latch NOR, e não provoca nenhum efeito no estado de saída. Q e \overline{Q} permanecem com os mesmos valores que estavam antes da ocorrência desta condição de entrada.
2. **SET = 1, CLEAR = 0.** Isto sempre leva a $Q = 1$, onde permanece mesmo após SET retornar a 0.
3. **SET = 0, CLEAR = 1.** Isto sempre limpa $Q = 0$, onde permanece mesmo após CLEAR retornar a 0.
4. **SET = CLEAR = 1.** Esta condição tenta setar e limpar o latch ao mesmo tempo, e produz $Q = \overline{Q} = 0$. Se as entradas retornam a 0 simultaneamente, o estado de saída resultante é imprevisível. Esta condição de entrada não deve ser usada.

O latch com portas NOR opera exatamente como um latch com portas NAND, exceto que as entradas SET e CLEAR são ativas em ALTO em vez de ativas em BAIXO e que o estado normal de repouso é SET = CLEAR = 0. Q é levado ao nível ALTO por um pulso ALTO na entrada SET e é colocado em BAIXO por um pulso ALTO na entrada CLEAR. O símbolo simplificado para o latch NOR na Fig. 5-10(c) é apresentado sem as bolhas nas entradas S e C, e isto indica que estas entradas são ativas em ALTO.

EXEMPLO 5-3

Suponha que inicialmente $Q = 0$, e determine a forma de onda de Q para as entradas do latch NOR da Fig. 5-11.

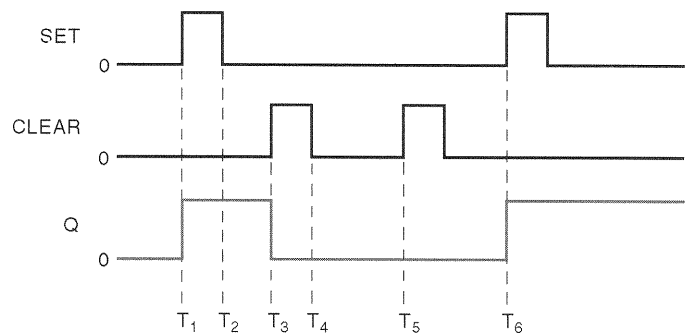


Fig. 5-11 Exemplo 5-3.

Solução

Inicialmente $SET = CLEAR = 0$, que não afeta a saída, e Q fica em BAIXO. Quando SET vai para ALTO no instante T_1 , Q vai para 1 e permanece lá mesmo depois de SET voltar a 0 em T_2 .

Em T_3 a entrada $CLEAR$ vai para ALTO e limpa Q para o estado 0, onde permanece mesmo após $CLEAR$ retornar para BAIXO em T_4 .

O pulso de $CLEAR$ em T_5 não tem efeito em Q , pois esta saída já está em nível BAIXO. O pulso de SET em T_6 novamente seta Q de volta a 1, onde permanece.

Este exemplo mostra que o FF "lembra" a última entrada que foi ativada, e não muda de estado até que a entrada oposta seja ativada.

EXEMPLO 5-4

A Fig. 5-12 mostra um circuito simples que pode ser usado para detectar a interrupção de um feixe de luz. A luz é focalizada em um fototransistor, que está conectado na configuração emissor comum para operar como uma chave. Suponha que o latch foi previamente limpo para o estado 0 abrindo-se a chave $SW1$ momentaneamente, e descreva o que acontece se o feixe de luz for momentaneamente interrompido.

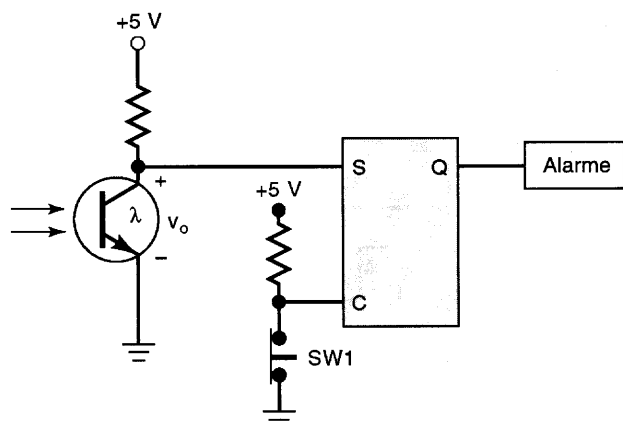


Fig. 5-12 Exemplo 5-4.

Solução

Com a luz incidindo no fototransistor, podemos supor que ele conduz totalmente (satura), de modo que a resistência entre coletor e emissor é muito pequena. Logo, v_o fica próximo de 0 V. Isto representa um nível BAIXO na entrada SET do latch, de modo que $SET = CLEAR = 0$.

Quando o feixe de luz é interrompido, o fototransistor corta, e sua resistência coletor-emissor se torna muito alta (isto é, essencialmente um circuito aberto). Isto faz com que v_o alcance aproximadamente 5 V e ativa a entrada SET que seta Q em ALTO e liga o alarme.

A saída Q permanece em ALTO, e o alarme continua ligado, mesmo que v_o retorne a 0 V (isto é, mesmo que o

feixe de luz seja interrompido apenas momentaneamente), pois SET e $CLEAR$ estariam ambos em BAIXO, o que não provocaria mudança em Q .

Nesta aplicação, a propriedade de memória do latch é usada para converter uma ocorrência momentânea (a interrupção do feixe) em uma saída constante.

Estado do Flip-Flop quando a Alimentação É Ligada

Quando ligamos a fonte de alimentação de um circuito, não é possível prever o estado inicial de uma saída de um flip-flop se as entradas SET e $CLEAR$ estiverem em seus estados inativos (por exemplo, $S = C = 1$ para um latch NAND, $S = C = 0$ para um latch NOR). Existem chances iguais de o estado inicial ser $Q = 0$ ou $Q = 1$. O estado inicial dependerá de fatores tais como: atrasos de propagação internos, capacitâncias parasitas e carregamento externo. Se um latch, ou um FF, deve começar em um determinado estado para garantir a correta operação de um circuito, então ele deve ser colocado neste estado ativando-se momentaneamente a entrada SET ou $CLEAR$ no início da operação do circuito. Frequentemente isto é conseguido pela aplicação de um pulso na entrada apropriada.

Questões de Revisão

1. Qual é o estado normal de repouso das entradas de um latch NOR? Qual é o estado ativo?
2. Quando um FF é setado, quais são os estados de Q e \bar{Q} ?
3. Qual é o único modo de fazer com que a saída Q de um latch NOR mude de 1 para 0?
4. Se o latch NOR da Fig. 5-12 fosse substituído por um latch NAND, por que o circuito não funcionaria corretamente?

5-3 ESTUDO DE CASOS EM PESQUISA DE FALHAS

Os dois exemplos a seguir mostrarão o tipo de raciocínio que é empregado na depuração de um circuito que contém um latch.

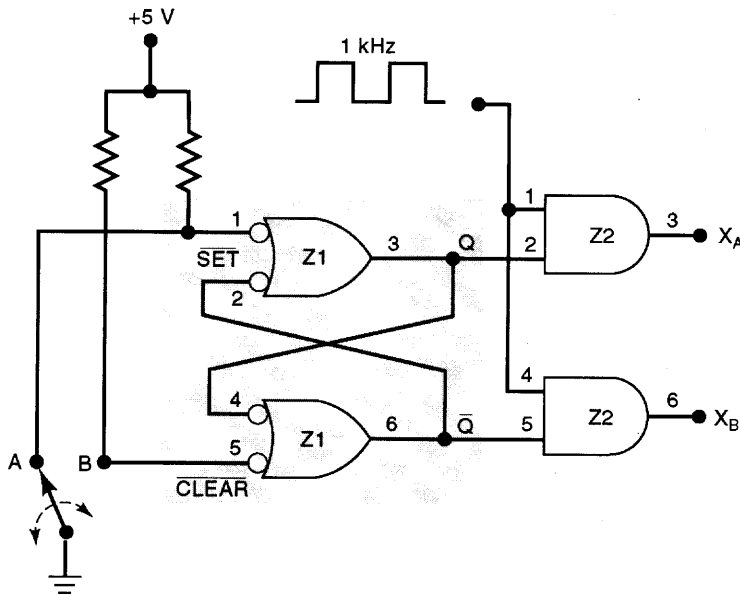
EXEMPLO 5-5

Analise e descreva a operação do circuito da Fig. 5-13.

Solução

A chave é usada para setar ou resetar o latch NAND produzindo sinais livres de trepidação nas saídas Q e \bar{Q} . As saídas deste latch controlam a passagem de uma onda quadrada de 1kHz para as saídas X_A e X_B das portas AND.

Quando a chave se move para a posição A, o latch vai para o estado onde $Q = 1$. Isto permite que a onda quadra-



Posição da chave	X_A	X_B
A	Pulsa	BAIXO
B	BAIXO	Pulsa

Fig. 5-13 Exemplos 5-5 e 5-6.

da de 1 kHz chegue a X_A , enquanto o nível BAIXO em \bar{Q} mantém $X_B = 0$. Quando a chave vai para a posição B, o latch é limpo ($Q = 0$), o que mantém X_A em 0, enquanto o nível ALTO em \bar{Q} permite que a onda chegue a X_B .

- (c) Z2-2 internamente em curto com a terra
 - (d) O ponto Q externamente em curto com a terra
- Uma verificação com o ohmímetro vai determinar se alguma destas condições está presente, e uma inspeção visual deve revelar a existência de curto externo.

EXEMPLO 5-6

Um estudante testa o circuito da Fig. 5-13 e anota suas observações sobre o estado de vários pontos do circuito, conforme está mostrado na Tabela 5-1. Ele observa que, quando a chave está na posição B, o circuito funciona corretamente; entretanto, quando ela está na posição A, o latch não vai para o estado onde $Q = 1$. Quais são as possíveis causas deste mau funcionamento?

Solução

Existem várias possibilidades, como podemos ver a seguir:

1. Um circuito aberto interno em Z1-1. Isto impediria Q de responder à entrada \overline{SET} .
2. Um componente interno danificado na porta NAND Z1 que o impediria de responder de modo correto.
3. A saída Q está permanentemente em nível BAIXO. Isto pode ser causado por:
 - (a) Z1-3 internamente em curto com a terra
 - (b) Z1-4 internamente em curto com a terra

O que dizer sobre a hipótese de \bar{Q} estar internamente ou externamente em curto com V_{cc} ? Um pouco de raciocínio vai levá-lo à conclusão de que esta falha não pode ser a causa do problema. Se \bar{Q} estivesse em curto com V_{cc} , não haveria impedimento para que a saída Q fosse para ALTO quando SET fosse para BAIXO. Uma vez que a saída Q não vai para ALTO, esta não pode ser a causa do problema. \bar{Q} parece estar permanentemente em ALTO pois Q está permanentemente em BAIXO, o que mantém \bar{Q} em ALTO.

5-4 SINAIS DE CLOCK E FLIP-FLOPS COM CLOCK

Sistemas digitais podem operar de modo assíncrono ou de modo síncrono. Nos sistemas assíncronos, as saídas dos circuitos lógicos podem mudar de estado a qualquer momento em que uma ou mais entradas mudem de estado. Um sistema assíncrono é geralmente mais difícil de se projetar e depurar do que um sistema síncrono.

Nos sistemas síncronos, um sinal, comumente chamado **clock** (relógio), determina os momentos nos quais qualquer

TABELA 5-1

Posição da chave	\overline{SET} (Z1-1)	\overline{CLEAR} (Z1-5)	Q (Z1-3)	\bar{Q} (Z1-6)	X_A (Z2-3)	X_B (Z2-6)
A	BAIXO	ALTO	BAIXO	ALTO	BAIXO	Pulsa
B	ALTO	BAIXO	BAIXO	ALTO	BAIXO	Pulsa

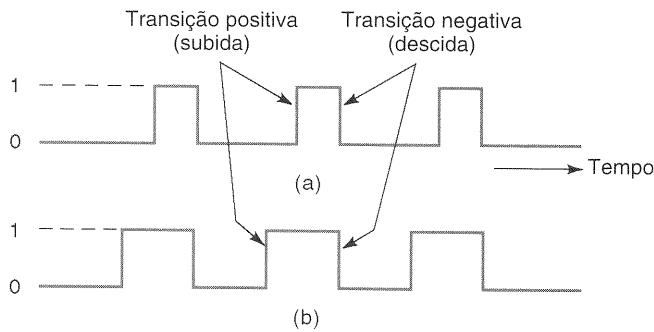


Fig. 5-14 Sinais de clock.

uma das saídas pode mudar de estado. Este sinal de clock é geralmente um trem de pulsos retangulares, ou uma onda quadrada, como pode ser visto na Fig. 5-14. O sinal de clock é distribuído para todas as partes do sistema, e a maioria das saídas (senão todas) do sistema pode mudar de estado somente quando o clock faz uma transição. As transições (também chamadas de bordas) estão indicadas na Fig. 5-14. Quando o clock faz uma transição de 0 para 1, esta é chamada de **transição positiva (subida)**. Quando o clock faz uma transição de 1 para 0, esta é chamada de **transição negativa (descida)**.

A maioria dos sistemas é síncrona, embora existam sempre algumas partes assíncronas, porque circuitos síncronos são mais fáceis de projetar e depurar. Eles são mais fáceis de depurar porque as saídas dos circuitos podem mudar de estado apenas em instantes de tempo bem determinados. Em outras palavras, quase tudo está sincronizado com as transições do sinal de clock.

A sincronização feita pelos sinais de clock é obtida através do uso de **flip-flops com clock** que são projetados para mudar de estado em uma das transições do clock.

Flip-Flops com Clock

Vários tipos de FFs com clock são usados em um grande número de aplicações. Antes de iniciarmos nosso estudo dos diferentes tipos de FFs, descreveremos os conceitos fundamentais que são comuns a todos eles.

1. Flip-flops com clock têm uma entrada de clock que é geralmente chamada de *CLK*, *CK* ou *CP*. Normalmente usaremos *CLK*, como mostrado na Fig. 5-15. Na maioria dos FFs com clock, a entrada *CLK* é **disparada por transição***, o que significa que ela é ativada pela transição do sinal presente nesta entrada. Isto é indicado por um pequeno triângulo na entrada *CLK*. Isto diferencia os flip-flops dos latches que são disparados por nível.

Na Fig. 5-15(a), a entrada *CLK* é ativada apenas quando uma transição positiva ocorre, não sendo ativada em nenhum outro momento. Na Fig. 5-15(b), a entrada *CLK* é ativada apenas por uma transição negativa, que é simbolizada pela presença de uma pequena bolha.

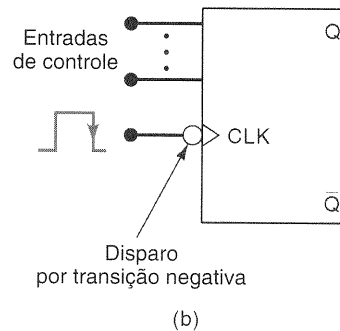
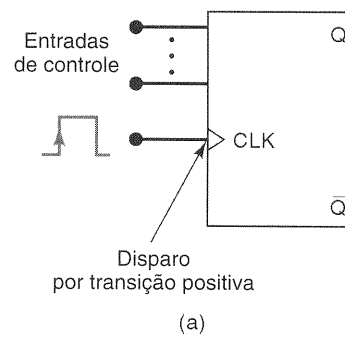


Fig. 5-15 Flip-flops com clock têm uma entrada de clock que pode ser disparada por (a) uma transição positiva ou (b) uma transição negativa. As entradas de controle determinam o efeito da transição de disparo.

2. FFs com clock também possuem uma ou mais **entradas de controle** que podem ter vários nomes, dependendo do seu funcionamento. As entradas de controle não têm efeito algum sobre *Q* até que ocorra uma transição de disparo na entrada *CLK*. Em outras palavras, seu efeito sobre *Q* é sincronizado com o sinal aplicado a *CLK*. Por esta razão, elas são chamadas de **entradas de controle síncronas**.

Por exemplo, as entradas de controle do FF vistas na Fig. 5-15(a) não afetam *Q* até que uma transição positiva do sinal de clock ocorra. Do mesmo modo, as entradas de controle da Fig. 5-15(b) não afetarão *Q* enquanto não ocorrer uma transição negativa do sinal de clock.

3. Resumindo, podemos dizer que as entradas de controle deixam as saídas dos flip-flops prontas para mudar de estado, enquanto a transição ativa na entrada *CLK*, de fato, *dispara* esta mudança. As entradas de controle são responsáveis pelo **QUE** deve mudar (isto é, para que estado a saída deve ir), enquanto a entrada *CLK* determina **QUANDO** isto deve acontecer.

Tempos de Setup (Preparação) e Hold (Manutenção)

Dois parâmetros de temporização devem ser observados para que o FF responda de modo confiável às suas entradas de controle quando ocorrer uma transição de disparo na entrada *CLK*. Estes parâmetros são ilustrados na Fig. 5-16 para um FF disparado por transição positiva.

O **tempo de setup**, t_s , é o intervalo de tempo que precede imediatamente uma transição ativa do sinal de *CLK*,

*É bastante comum o uso dos termos "gatilhada por transição", "gatilhada por borda", "sensível a borda", "trigada pela borda" e "trigada por transição" como sinônimos de disparada por transição. A palavra trigada é oriunda da palavra inglesa *triggered*, que significa disparado. (N. do T.)

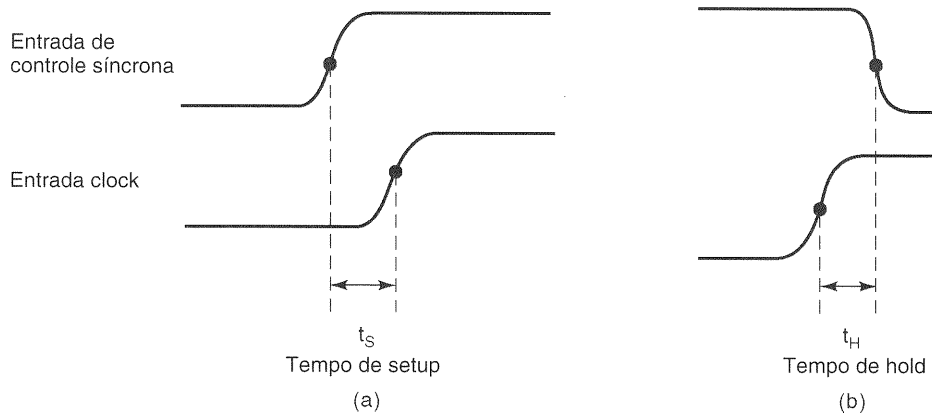


Fig. 5-16 Entradas de controle devem ser mantidas estáveis por (a) um tempo t_s antes da transição de disparo e por (b) um tempo t_H após a transição de disparo.

durante o qual cada entrada de controle deve permanecer em um nível estável. Os fabricantes de CIs geralmente especificam o tempo mínimo de setup permitido $t_s(\text{min})$. Se este parâmetro não for respeitado, o FF pode não responder de modo confiável quando houver uma transição do clock.

O **tempo de hold**, t_H , é o intervalo de tempo que se segue imediatamente após uma transição de disparo do sinal de *CLK*, durante o qual as entradas de controle síncronas devem ser mantidas em um nível estável. Os fabricantes de CIs geralmente especificam um valor mínimo aceitável para o tempo de hold, $t_H(\text{min})$. Se este parâmetro não for respeitado, o FF pode não responder de modo confiável quando houver uma transição do clock.

Assim, para garantir que um FF com clock responda de modo correto quando ocorrer uma transição de disparo do clock, as entradas de controle devem estar estáveis, isto é, não devem mudar de estado, pelo menos durante um intervalo de tempo igual a $t_s(\text{min})$ antes da transição do clock, e pelo menos por um intervalo igual a $t_H(\text{min})$ depois da transição do clock.

CIs de flip-flops têm valores mínimos permitidos para t_s e t_H da ordem de nanossegundos. Os tempos de setup são geralmente da ordem de 5 a 50 ns, enquanto os tempos de hold são geralmente da ordem de 0 a 10 ns. Observe que estes intervalos são medidos nos instantes em que as transições estão em 50%.

Esses parâmetros são muito importantes em sistemas síncronos porque, como veremos, existirão muitas situações em que as entradas de controle síncronas estarão mudando de estado aproximadamente ao mesmo tempo que a entrada *CLK*.

Questões de Revisão

1. Quais são os dois tipos de entrada que um FF possui?
2. O que significa o termo *disparado por transição*?
3. *Verdadeiro ou falso*: A entrada *CLK* afetará a saída do FF apenas quando a transição ativa das entradas de controle ocorrer.
4. Defina os parâmetros de tempo de setup e tempo de hold de um FF com clock.

5-5 FLIP-FLOP S-C COM CLOCK

A Fig. 5-17(a) mostra o símbolo lógico de um **flip-flop S-C com clock** que é disparado pela transição positiva do sinal de clock. Isto significa que o flip-flop pode mudar de estado *somente* quando o sinal aplicado na sua entrada *CLK* faz uma transição de 0 para 1. As entradas *S* e *C* controlam o estado do FF, do mesmo modo que foi descrito anteriormente para o caso do latch com portas NOR; entretanto, a saída do flip-flop não responderá a estas entradas até a ocorrência de uma transição positiva do sinal de clock.

A tabela-verdade na Fig. 5-17(b) mostra como a saída do flip-flop responde a uma transição positiva na entrada *CLK* para várias combinações possíveis das entradas *S* e *C*. Esta tabela-verdade utiliza uma nova nomenclatura. A seta para cima (\uparrow) indica que uma transição positiva é necessária na entrada *CLK*. Q_0 representa o nível lógico existente antes da transição positiva. Esta nomenclatura é amplamente utilizada pelos fabricantes nos manuais de circuitos integrados.

As formas de onda na Fig. 5-17(c) mostram a operação de um flip-flop S-C. Se admitirmos que os tempos de setup e hold são respeitados em todos os casos, podemos analisar as formas de onda como segue:

1. Inicialmente todas as entradas estão em 0 e vamos supor que a saída *Q* está em 0, ou seja, $Q_0 = 0$.
2. Quando ocorre a primeira transição positiva do sinal de clock (ponto *a*), as entradas *S* e *C* estão ambas em 0, e portanto o estado do flip-flop não é alterado e permanece no estado $Q = 0$ (isto é, $Q = Q_0$).
3. Quando a segunda transição positiva do sinal de clock ocorre (ponto *c*), a entrada *S* está agora em alto, enquanto *C* permanece em baixo, portanto o FF vai para o estado $Q = 1$ na subida do pulso de clock.
4. Quando o terceiro pulso de clock faz a sua transição positiva (ponto *e*), *S* está em 0 e *C* está em 1, o que faz com que o flip-flop vá para o estado 0.
5. No quarto pulso de clock, o flip-flop vai para o estado $Q = 1$ (ponto *g*) porque $S = 1$ e $C = 0$ quando a transição positiva ocorre.
6. O quinto pulso de clock também encontra $S = 1$ e $C = 0$, quando sua transição positiva ocorre. Entretanto, como *Q* já está em alto, ele permanece neste estado.

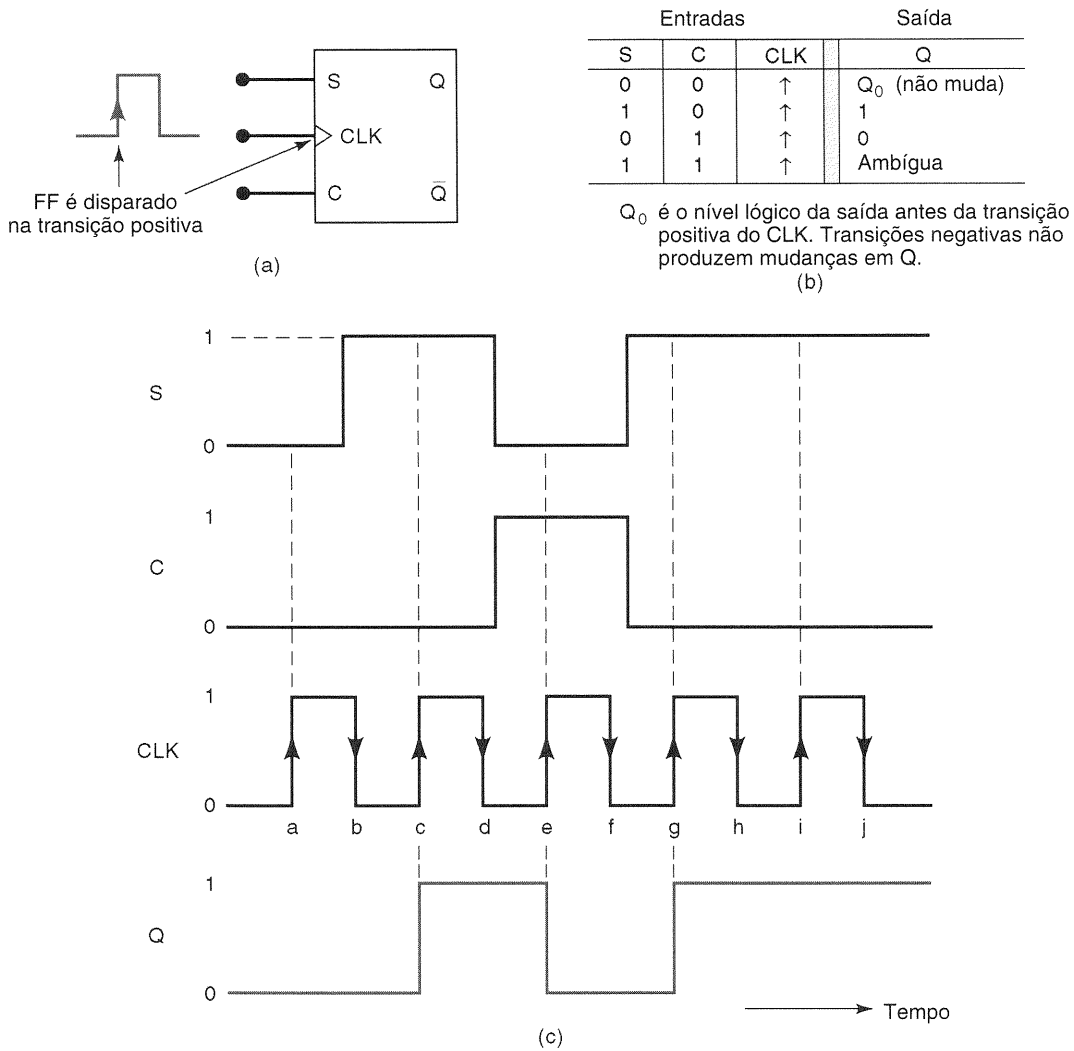


Fig. 5-17 (a) Flip-flop S-C com clock que responde somente às transições positivas dos pulsos de clock; (b) tabela-verdade; (c) formas de onda típicas.

7. A combinação $S = C = 1$ não deve ser usada, pois resulta em uma condição ambígua.

A partir da análise dessas formas de onda, podemos observar que o FF não é afetado pelas transições negativas dos pulsos de clock. Também devemos notar que os níveis lógicos nas entradas S e C não têm efeito sobre o FF, a não ser que ocorra uma transição positiva do sinal de clock. As entradas S e C são entradas de *controle* síncronas, pois elas indicam para qual estado o FF deve ir quando ocorrer um pulso de clock. A entrada CLK é a entrada de **disparo**,* isto é, a entrada que faz com que o FF mude de estado de acordo com os níveis das entradas S e C , quando uma transição de disparo no sinal de clock ocorrer.

A Fig. 5-18 mostra o símbolo e a tabela-verdade para um flip-flop S-C com clock que é disparado por uma transição

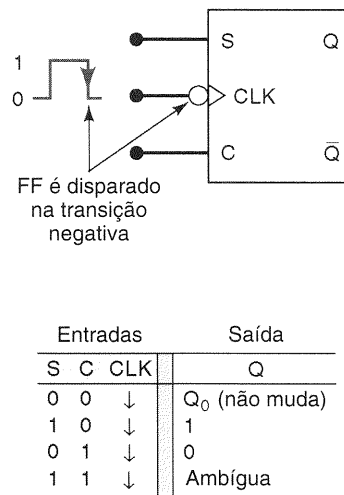


Fig. 5-18 Flip-flop S-C com clock que é disparado apenas nas transições negativas.

*É comum a utilização do termo original em inglês, *trigger*. (N. do T.)

negativa na entrada *CLK*. A pequena bolha junto com o triângulo na entrada *CLK* indica que este FF vai ser disparado quando houver uma transição de 1 para 0 na entrada *CLK*. O FF opera do mesmo modo que aquele disparado por transição positiva, exceto pelo fato de que sua saída muda de estado somente nas transições de descida dos pulsos de clock (pontos *b*, *d*, *f*, *h* e *j* na Fig. 5-17). Tanto os flip-flops disparados por transição negativa quanto aqueles disparados por transição positiva são usados em sistemas digitais.

Circuito Interno de um Flip-Flop S-C Disparado por Transição

Uma análise detalhada do circuito interno de um FF com clock não é necessária, uma vez que todos os tipos estão disponíveis como circuitos integrados. Apesar de nosso interesse estar no funcionamento externo dos flip-flops, podemos compreendê-lo melhor estudando uma versão simplificada dos circuitos internos dos flip-flops. Esta pode ser vista na Fig. 5-19.

O circuito pode ser dividido em três partes principais:

1. Um **latch NAND** formado pelas portas NAND-3 e NAND-4.

2. Um **circuito direcionador de pulsos** formado pelas portas NAND-1 e NAND-2.
3. Um **circuito detector de transição**.

Como pode ser visto na Fig. 5-19, o detector de transição produz um pulso estreito e positivo (*CLK**) que coincide com a transição de disparo na entrada *CLK*. O circuito direcionador de pulsos “direciona” este pulso estreito para a entrada SET ou para a entrada CLEAR, de acordo com os níveis presentes em *S* e *C*. Por exemplo, para *S* = 1 e *C* = 0, o sinal *CLK** passa através da porta NAND-1, sendo invertido e produzindo um pulso em nível BAIXO na entrada SET do latch, o que resulta em *Q* = 1. Com *S* = 0 e *C* = 1, o sinal *CLK** passa através da porta NAND-2, sendo invertido e produzindo um pulso em BAIXO na entrada CLEAR do latch, o que resulta em *Q* = 0.

A Fig. 5-20(a) mostra como o sinal de *CLK** é gerado para flip-flops disparados por transição positiva. O INVERSOR produz um atraso de alguns nanossegundos, de modo que as transições de \overline{CLK} ocorram um pouco depois daquelas de *CLK*. Uma porta AND produz na saída um pulso em ALTO apenas durante os poucos nanossegundos nos quais *CLK* e \overline{CLK} estão ambos em ALTO. Isto resulta em um pulso estreito

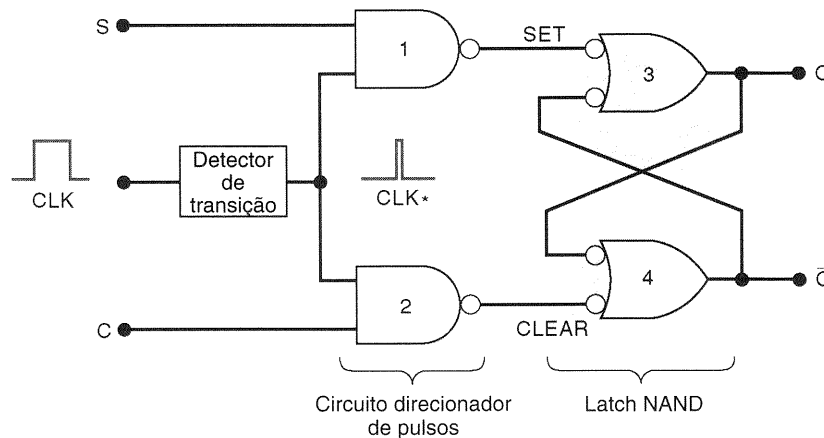


Fig. 5-19 Versão simplificada do circuito interno de um flip-flop disparado por transição.

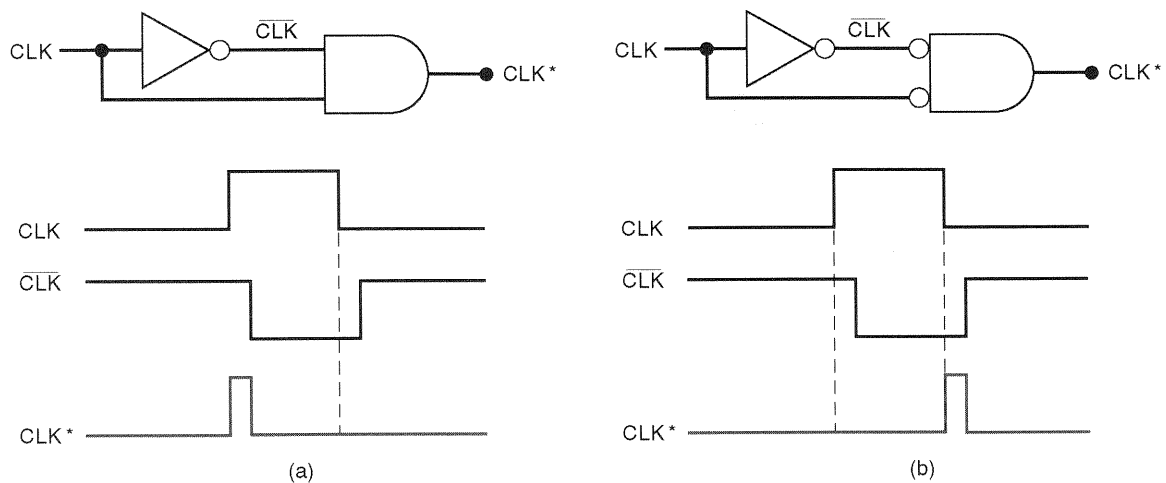


Fig. 5-20 Implementação de circuitos detectores de transição usados em flip-flops disparados por transição: (a) transição negativa; (b) transição positiva. A duração dos pulsos de *CLK** é geralmente de 2 a 5 nanossegundos.

to em CLK^* , que ocorre na subida do sinal de clock. A Fig. 5-20(b) mostra o arranjo necessário para produzir CLK^* na transição negativa para flip-flops que são disparados na descida.

Uma vez que o sinal CLK^* está em ALTO apenas por alguns nanossegundos, a saída Q é afetada por S e C apenas por um curto período, após a ocorrência da transição de disparo de CLK . É isto que dá aos flip-flops esta característica de disparo por transição.

Questões de Revisão

1. Suponha que as formas de onda da Fig. 5-17(c) são aplicadas às entradas do flip-flop da Fig. 5-18. O que acontece com Q no ponto b ?
2. Explique por que as entradas S e C afetam a saída Q somente durante a transição de disparo de CLK .

5-6 FLIP-FLOP J-K COM CLOCK

A Fig. 5-21(a) mostra um **flip-flop J-K com clock** que é disparado pela transição positiva do sinal de clock. As entradas J e K controlam o estado do FF do mesmo modo que as entradas S e C o fazem para um flip-flop S-C, mas com uma diferença muito importante: *a condição na qual $J = K = 1$ não resulta em um estado ambíguo na saída*. Para esta condição, o FF sempre irá para o seu estado *oposto* quando a transição positiva ocorrer. Isto é chamado de operação em **modo de**

comutação (toggle mode). Neste modo, se ambas as entradas J e K estão em ALTO, o FF muda de estado (comuta) a cada transição positiva do clock.

A tabela-verdade da Fig. 5-21(a) resume como um flip-flop J-K responde à transição positiva para cada combinação de J e K . Observe que a tabela-verdade é igual à do flip-flop S-C (Fig. 5-17), exceto para a condição $J = K = 1$. Esta condição resulta em $Q = \overline{Q}_0$, o que significa que o novo valor de Q será o inverso do que ele tinha antes da transição positiva. Esta operação é chamada de comutação.

O funcionamento desse flip-flop é ilustrado através das formas de onda da Fig. 5-21(b). Mais uma vez, consideramos que os tempos de setup e hold estão sendo respeitados.

1. Inicialmente, todas as entradas estão em 0, e consideramos que a saída Q está em 1; isto é $Q_0 = 1$.
2. Quando a transição positiva do primeiro pulso de clock ocorre (ponto a), temos a seguinte condição de entrada: $J = 0$ e $K = 1$ e, portanto, o FF será ressetado (irá para o estado $Q = 0$).
3. O segundo pulso de clock encontra $J = K = 1$ quando faz a sua transição positiva (ponto c). Isto faz com que o flip-flop *comute* para seu estado oposto, $Q = 1$.
4. No ponto e , tanto J como K são iguais a 0, e portanto o FF não muda de estado durante esta transição.
5. No ponto g , $J = 1$ e $K = 0$. Esta condição faz com que o FF vá para o estado $Q = 1$. Entretanto, Q já é igual a 1, e portanto o FF permanece neste estado.
6. No ponto i , $J = K = 1$, e portanto o FF comuta para seu estado oposto. A mesma coisa ocorre no ponto k .

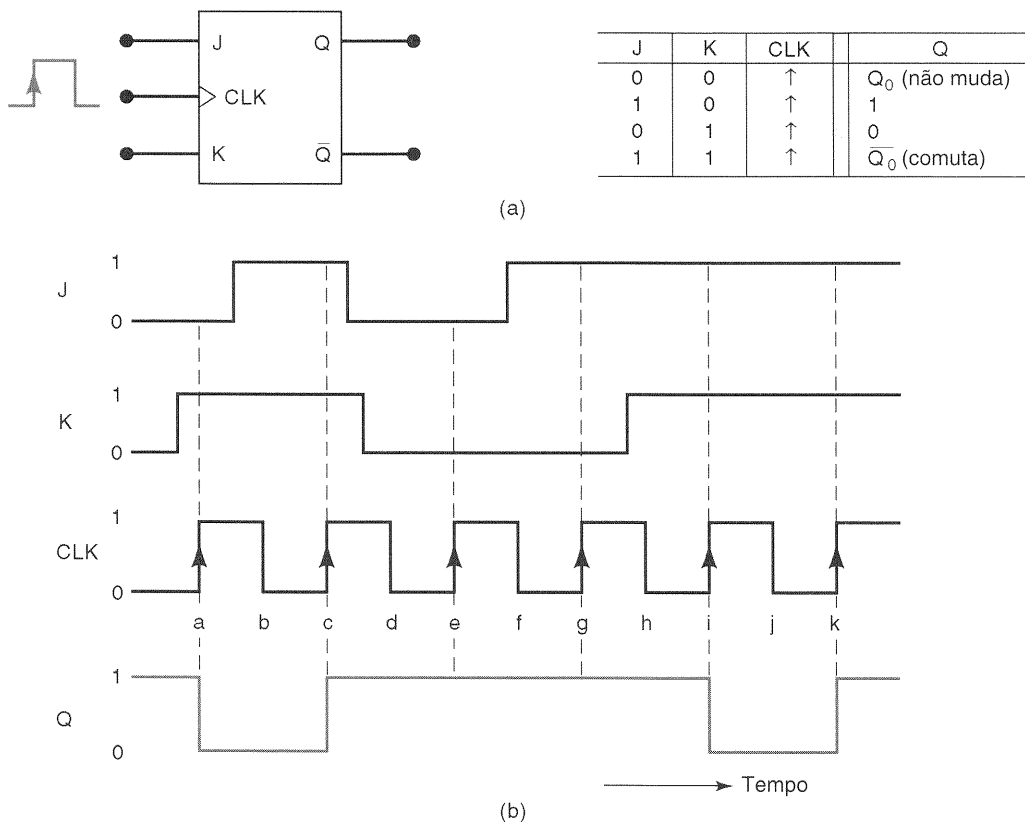


Fig. 5-21 (a) Flip-flop J-K com clock que responde somente às transições positivas do sinal de clock; (b) formas de onda.

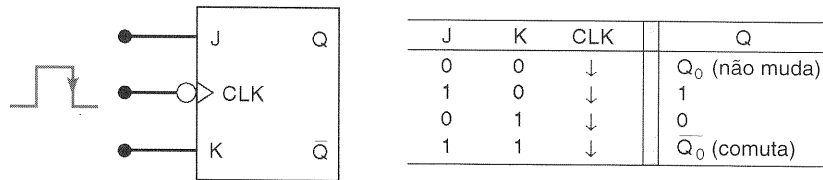


Fig. 5-22 Flip-flop J-K que dispara apenas nas transições negativas.

Analisando essas formas de onda, verificamos que o FF não é afetado pelas transições negativas dos pulsos de clock. Também podemos notar que os níveis presentes nas entradas J e K somente afetam a saída se uma transição positiva do sinal de clock ocorrer. As entradas J e K sozinhas jamais poderão alterar o estado do FF.

A Fig. 5-22 mostra o símbolo para um flip-flop com clock que é disparado na descida do sinal de clock. A pequena bolha na entrada CLK indica que este FF vai ser disparado quando o sinal na entrada CLK fizer uma transição de 1 para 0. Este FF funciona do mesmo modo que o FF disparado por transição positiva mostrado na Fig. 5-21, exceto pelo fato de que a saída vai mudar de estado apenas nas transições negativas do sinal de clock (pontos b, d, f, h e j). Ambos os tipos de flip-flops são bastante utilizados.

O flip-flop J-K é muito mais versátil que o flip-flop S-C porque não possui estados ambíguos. A condição de entrada onde $J = K = 1$ produz uma operação de comutação, bastante utilizada em todos os tipos de contadores binários. Em resumo, o flip-flop J-K pode fazer tudo que o flip-flop S-C pode, além de operar em modo de comutação.

Circuito Interno de um Flip-Flop J-K Disparado por Transição

Uma versão simplificada do circuito interno de um flip-flop J-K disparado por transição pode ser vista na Fig. 5-23. Ela contém as mesmas três partes que possuía o flip-flop S-C disparado por transição (Fig. 5-19). Na verdade, a única diferença entre estes dois circuitos está no fato de que as

saídas Q e \overline{Q} são realimentadas para o circuito direcionador de pulsos formado pelas portas NAND 1 e 2. Esta realimentação é que fornece ao flip-flop J-K a operação de comutação para a condição onde $J = K = 1$.

Vamos examinar a condição de comutação mais de perto, considerando que $J = K = 1$ e que a saída Q esteja em BAIXO quando o pulso de clock ocorre. Com $Q = 0$ e $\overline{Q} = 1$, a porta NAND 1 vai direcionar CLK^* (invertido) para a entrada SET do latch, fazendo com que a saída Q seja igual a 1. Se supusermos que a saída Q está em ALTO quando ocorre o pulso de clock, a porta NAND 2 vai direcionar CLK^* (invertido) para a entrada CLEAR do latch para produzir $Q = 0$. Logo, podemos dizer que a saída Q sempre vai para o estado oposto.

A fim de que a operação de comutação funcione como foi descrito anteriormente, o pulso CLK^* deve ser muito estreito. Ele deve retornar a 0 antes que as saídas Q e \overline{Q} comutem para seus novos valores, pois, caso contrário, os novos valores de Q e \overline{Q} vão fazer com que CLK^* comute as saídas do latch mais uma vez.

Questões de Revisão

1. *Falso* ou *verdadeiro*: Um flip-flop J-K pode ser usado como um flip-flop S-C, mas um flip-flop S-C não pode ser usado como um J-K.
2. Um flip-flop J-K tem alguma condição de entrada que seja ambígua?
3. Que condição de entrada para J-K sempre faz $Q = 1$ na ocorrência de uma transição de disparo na entrada CLK ?

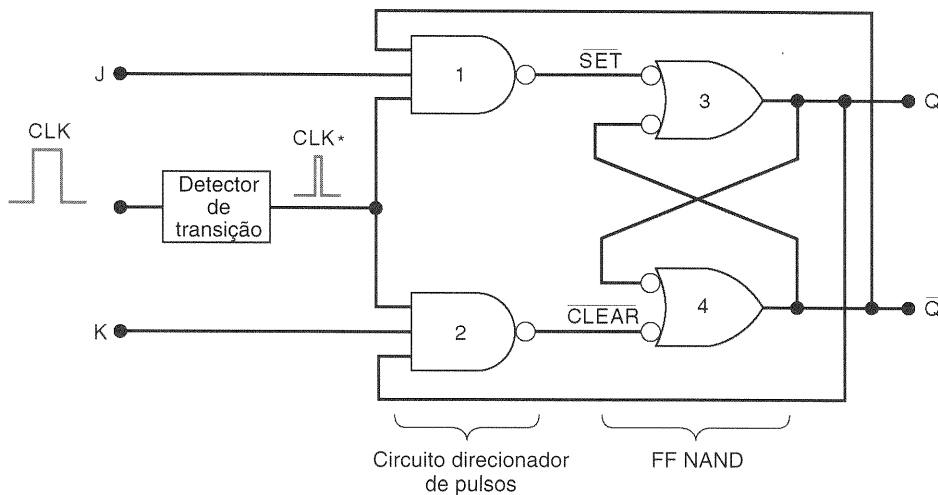


Fig. 5-23 Circuito interno de um flip-flop J-K disparado por transição.

5-7 FLIP-FLOP D COM CLOCK

A Fig. 5-24(a) mostra o símbolo e a tabela-verdade para um **flip-flop D com clock** que é disparado na transição positiva. Ao contrário dos flip-flops J-K e S-C, este flip-flop possui apenas uma entrada de controle síncrona, *D*, que é a inicial da palavra *dados*. A operação do flip-flop *D* é muito simples: *Q* irá para o mesmo estado presente na entrada *D* quando ocorrer uma transição positiva na entrada *CLK*. Em outras palavras, o nível presente em *D* é *armazenado* no flip-flop no instante em que a transição positiva ocorre. As formas de onda na Fig. 5-24(b) mostram esta operação.

Suponha que a saída *Q* está inicialmente em ALTO. Quando a primeira transição positiva ocorre no ponto *a*, a entrada *D* está em BAIXO, logo, *Q* irá para BAIXO. Mesmo que o nível na entrada *D* mude entre os pontos *a* e *b*, a saída não é afetada, pois *Q* está armazenando o nível lógico BAIXO que estava presente na entrada *D* no ponto *a*. Quando a transição positiva ocorre no ponto *b*, *Q* vai para ALTO, uma vez que *D* está em ALTO neste momento. *Q* armazena este nível ALTO até que a transição positiva que ocorre no ponto *c* faz com que a saída *Q* vá para BAIXO, uma vez

que *D* está em BAIXO neste momento. De modo semelhante, a saída *Q* assume os níveis presentes na entrada *D* quando ocorre uma transição positiva nos pontos *d*, *e*, *f* e *g*. Observe que a saída *Q* permanece em ALTO, no ponto *e*, porque *D* ainda está em ALTO.

Mais uma vez, é importante lembrar que a saída *Q* pode mudar de estado somente quando ocorrer uma transição positiva. Os valores presentes em *D* no intervalo entre transições positivas não têm influência na saída.

Um flip-flop *D* disparado por transição negativa opera do mesmo modo que acabamos de descrever, exceto pelo fato de que a saída *Q* receberá qualquer valor que estiver em *D* quando ocorrer uma transição negativa na entrada *CLK*. O símbolo para o flip-flop *D* que dispara em uma transição negativa tem uma pequena bolha na entrada *CLK*.

Implementação de um Flip-Flop D

Um flip-flop *D* disparado por transição pode ser facilmente implementado adicionando-se um INVERSOR ao flip-flop S-C como está mostrado na Fig. 5-25. Se você aplicar os dois valores possíveis de *D* a este circuito, irá verificar que a saída

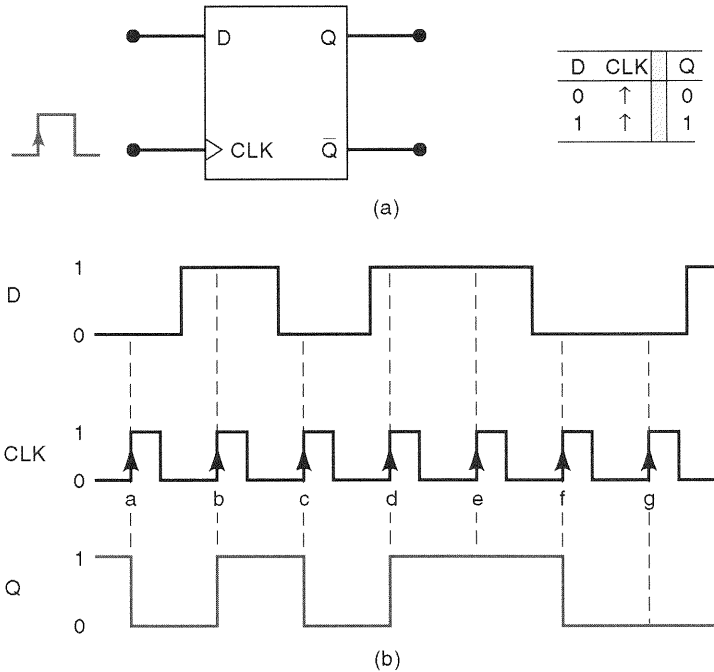


Fig. 5-24 (a) Flip-flop D que dispara apenas nas transições positivas; (b) formas de onda.

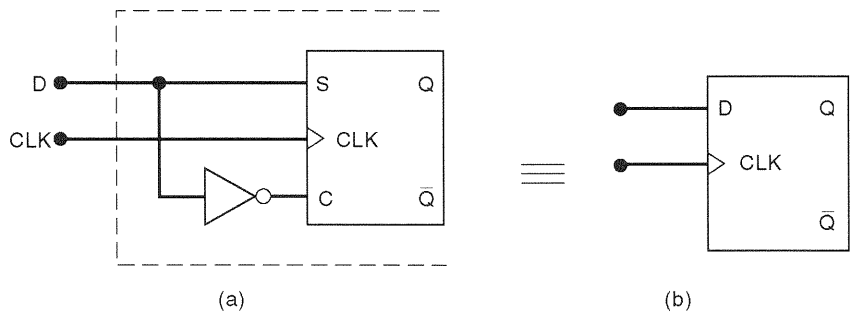


Fig. 5-25 Implementação de um flip-flop D disparado por transição a partir de um flip-flop S-C.

Q assume o nível lógico presente na entrada D quando uma transição positiva ocorre.

EXEMPLO 5-7

Como um flip-flop J-K pode ser modificado para operar como um flip-flop D?

Solução

Esta modificação pode ser vista na Fig. 5-26, e é a mesma que foi feita para o caso do flip-flop S-C na Fig. 5-25.

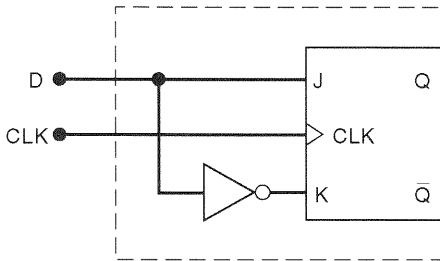


Fig. 5-26 Implementação de um flip-flop D disparado por transição a partir de um flip-flop J-K.

Transferência de Dados em Paralelo

Neste ponto, você deve estar se perguntando sobre a utilidade do flip-flop D, uma vez que a saída Q parece ter o mesmo valor que a entrada D . Esta afirmação não está inteiramente correta, pois a saída Q assume o valor da entrada D em determinados instantes, e portanto não é idêntica a D (como exemplo, veja as formas de onda na Fig. 5-24).

Na maioria das aplicações do flip-flop D, a saída Q deve assumir valores de sua entrada D em determinados instantes de tempo precisamente definidos. Um exemplo disto pode ser observado na Fig. 5-27. As saídas X , Y , Z de um circuito combinacional devem ser transferidas para os FFs Q_1 , Q_2 e Q_3 para armazenamento. Utilizando-se flip-flops D, os níveis lógicos presentes em X , Y e Z são transferidos, respectivamente, para Q_1 , Q_2 e Q_3 , mediante a aplicação de um pulso, chamado TRANSFER, nas entradas CLK dos flip-flops. Os FFs podem armazenar estes valores para serem processados posteriormente. Este é um exemplo de **transferência paralela** de dados binários, onde os bits X , Y e Z são transferidos *simultaneamente*.

Questões de Revisão

1. O que acontecerá com a forma de onda da saída Q na Fig. 5-24(b) se a entrada D for mantida permanentemente em nível BAIXO?
2. *Falso* ou *verdadeiro*: A saída Q será igual ao nível lógico presente na entrada D em todos os instantes.
3. Flip-flops J-K podem ser utilizados para transferência de dados em paralelo?

5-8 LATCH D (LATCH TRANSPARENTE)

O flip-flop disparado por transição utiliza um detector de transição para assegurar que a saída vai responder à entrada *soamente* quando uma transição de disparo do sinal de clock ocorrer. Se este detector não for usado, o circuito resultante vai operar de um modo diferente. Este circuito é chamado de **latch D** e seu circuito pode ser visto na Fig. 5-28(a).

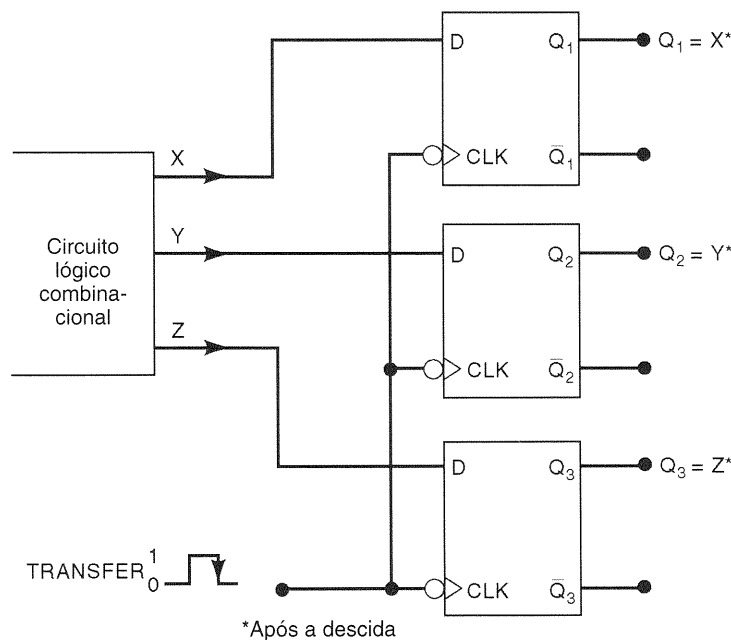


Fig. 5-27 Transferência de dados binários em paralelo usando flip-flops D.

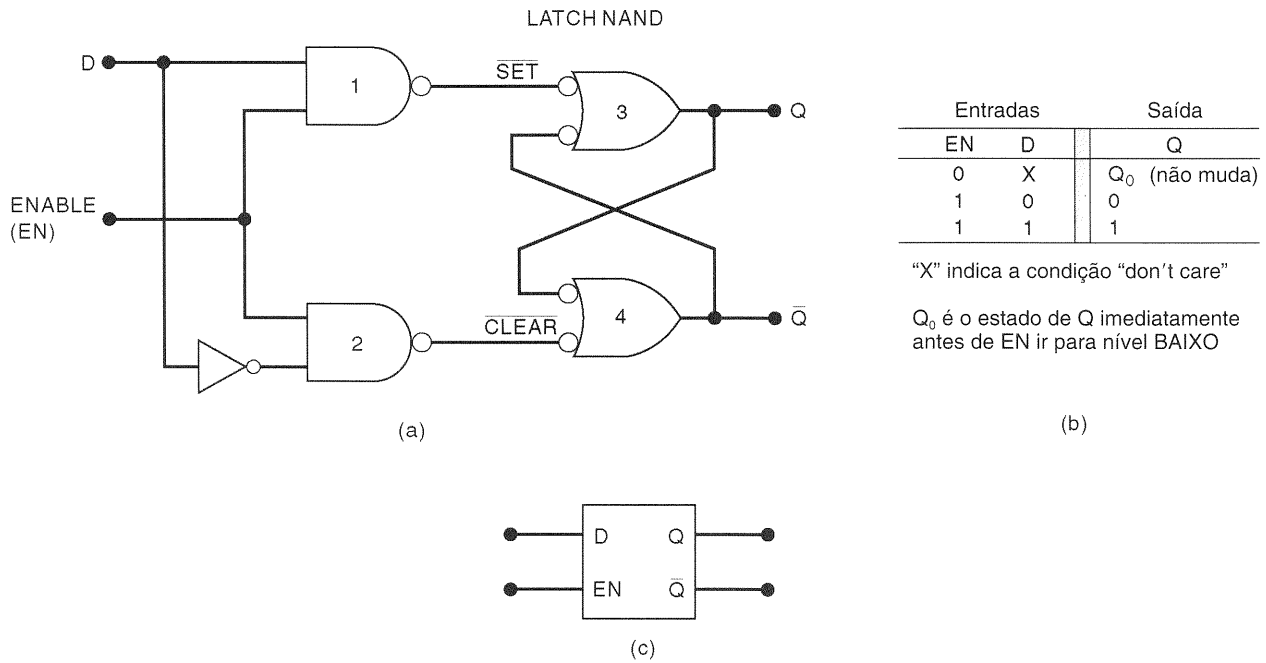


Fig. 5-28 Latch D: (a) estrutura; (b) tabela-verdade; (c) símbolo lógico.

O circuito contém um latch NAND e um circuito direcionador formado pelas portas NAND 1 e 2, mas não possui o detector de transição. A entrada em comum das portas direcionadoras é chamada de entrada de *habilitação* (do inglês *enable*, abreviando-se *EN*) em vez de ser chamada de entrada de clock, uma vez que seu efeito sobre as saídas *Q* e \bar{Q} não está restrito às transições. A operação do latch D é descrita a seguir:

- Quando *EN* está em ALTO, a entrada *D* vai produzir um nível BAIXO ou na entrada \overline{SET} ou na entrada \overline{CLEAR} do latch formados pelas portas NAND 3 e 4. Isto faz com que a saída *Q* fique no mesmo nível lógico que a entrada *D*. Se *D* mudar de estado enquanto *EN* estiver ALTO, *Q* acompanhará estas mudanças. Em outras palavras, enquanto *EN* = 1, a saída *Q* será igual à entrada *D*. Neste modo, diz-se que o latch é "transparente".
- Quando *EN* vai para o nível BAIXO, a entrada *D* é impedida de alterar o estado do latch NAND, uma vez que as saídas das portas direcionadoras estão ambas em ALTO. Logo, as saídas *Q* e \bar{Q} permanecerão no mesmo nível lógico em que estavam imediatamente antes de *EN* ir para o nível BAIXO. Em outras palavras, o valor das saídas está "fixo" neste nível, e não pode mudar de valor enquanto *EN* estiver em BAIXO, mesmo que *D* mude seu valor.

Esta operação está resumida na tabela-verdade da Fig. 5-28(b). O símbolo lógico para o latch D é mostrado na Fig. 5-28(c). Note que, apesar de a entrada *EN* operar de modo semelhante à entrada *CLK* em flip-flops disparados por transição, não existe o pequeno triângulo na entrada *EN*. Isto acontece porque o pequeno triângulo é usado estritamente para indicar entradas que podem causar mudanças na saída apenas quando uma transição ocorre. O latch D não é disparado por transição.

EXEMPLO 5-8

Determine a forma de onda para a saída *Q* do latch D com as formas de onda das entradas *EN* e *D* mostradas na Fig. 5-29. Suponha que inicialmente *Q* = 0.

Solução

Anteriormente ao instante *T*₁, *EN* está em BAIXO, e portanto a saída *Q* é mantida em nível 0 e não pode mudar de estado, mesmo que *D* mude. Durante o intervalo *T*₁ até *T*₂, *EN* está em ALTO, e assim a saída *Q* acompanha o sinal presente em *D*. Logo, *Q* vai para ALTO em *T*₁ e permanece neste estado porque *D* também não se altera. Quando *EN* volta a BAIXO em *T*₂, *Q* vai permanecer em ALTO, uma vez que era este nível lógico que estava em *D* no instante *T*₂, e permanece neste estado enquanto *EN* estiver em BAIXO.

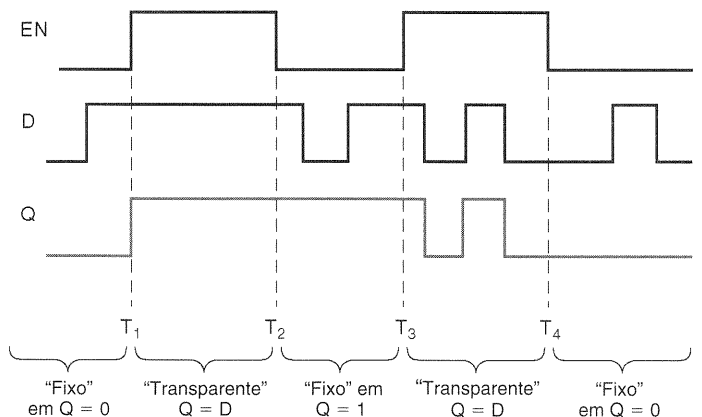


Fig. 5-29 Formas de onda do Exemplo 5-8 mostrando os dois modos de operação do latch D transparente.

No instante T_3 , EN vai novamente para ALTO, fazendo com que a saída Q acompanhe as mudanças na entrada D até T_4 , quando EN retorna a BAIXO. Durante o intervalo entre T_3 e T_4 , o latch D está “transparente”, uma vez que as variações na entrada D se propagam para a saída Q . Em T_4 , quando EN vai para BAIXO, Q permanece em BAIXO, pois era este o nível presente em D no instante T_4 . Após T_4 , as variações em D não afetam Q , uma vez que a saída está “fixa”, pois $EN = 0$.

Questões de Revisão

1. Descreva como a operação de um latch D é diferente da operação de um flip-flop disparado por transição.
2. *Falso* ou *verdadeiro*: Um latch D é “transparente” quando $EN = 0$.
3. *Falso* ou *verdadeiro*: Em um latch D , a entrada D pode afetar a saída apenas quando $EN = 1$.

5-9 ENTRADAS ASSÍNCRONAS

Para os flip-flops com clock que estamos estudando, as entradas S , C , J , K e D são chamadas de entradas de *controle*. Elas também são chamadas de *entradas síncronas*, porque seu efeito sobre a saída é sincronizado com a entrada CLK . Como já vimos, as entradas de controle síncronas devem ser usadas em conjunto com o sinal de clock para disparar o flip-flop.

A maioria dos flip-flops com clock também possui uma ou mais **entradas assíncronas** que operam independentemente das entradas síncronas e da entrada de clock. Estas entradas assíncronas podem ser usadas para colocar o flip-flop no estado 0 ou no estado 1, *em qualquer instante, independentemente das condições das outras entradas*. Em outras palavras, as entradas assíncronas são chamadas de **entradas de sobreposição**, pois se sobrepõem a todas as outras entradas para colocar o flip-flop em um determinado estado.

A Fig. 5-30 mostra um flip-flop J-K com duas entradas assíncronas identificadas como \overline{PRESET} e \overline{CLEAR} . Estas entradas são ativas em BAIXO, conforme indicam as bolhas presentes no símbolo do flip-flop. A tabela-verdade resume como estas entradas afetam a saída do flip-flop. Vamos examinar as várias possibilidades:

■ $\overline{PRESET} = \overline{CLEAR} = 1$. As entradas assíncronas estão inativas e o flip-flop está livre para responder às entradas J , K e CLK , ou seja a operação síncrona pode ser realizada.

■ $\overline{PRESET} = 0$; $\overline{CLEAR} = 1$. Como a entrada \overline{PRESET} está ativa, Q é *imediatamente* colocado em 1, quaisquer que sejam os níveis presentes nas entradas J , K e CLK . A entrada CLK não pode afetar o flip-flop enquanto $\overline{PRESET} = 0$.

■ $\overline{PRESET} = 1$; $\overline{CLEAR} = 0$. Como a entrada \overline{CLEAR} está ativa, Q é *imediatamente* limpo ($Q = 0$), quaisquer que sejam os níveis presentes nas entradas J , K e CLK . A entrada CLK não pode afetar o flip-flop enquanto $\overline{CLEAR} = 0$.

■ $\overline{PRESET} = \overline{CLEAR} = 0$. Esta condição não deve ser usada, pois pode resultar em uma resposta ambígua.

É importante perceber que essas entradas assíncronas respondem a níveis de tensão contínua (DC). Isto significa que se um nível 0 for mantido na entrada \overline{PRESET} , a saída Q permanecerá no estado $Q = 1$, independentemente do que estiver ocorrendo com as outras entradas. Do mesmo modo, um nível BAIXO constante em \overline{CLEAR} mantém o flip-flop no estado $Q = 0$. Então, podemos dizer que as entradas assíncronas podem ser utilizadas para manter o flip-flop em um determinado estado pelo tempo que desejarmos. Na maioria das vezes, entretanto, as entradas assíncronas são usadas para colocar o flip-flop no estado desejado através da aplicação de um pulso momentâneo.

Muitos dos flip-flops com clock que estão disponíveis em circuitos integrados possuem as duas entradas assíncronas, enquanto outros possuem apenas a entrada \overline{CLEAR} . Alguns flip-flops possuem as entradas assíncronas ativas em ALTO, em vez de ativas em BAIXO. Para estes casos, o símbolo do flip-flop não possui a bolha de inversão nas entradas assíncronas.

Designações para as Entradas Assíncronas

Os fabricantes de circuitos integrados ainda não concordaram quanto à nomenclatura a ser utilizada para as entradas assíncronas. As denominações mais comuns são PRE (abreviatura de PRESET) e CLR (abreviatura de CLEAR). As designações S_D (SET direto) e R_D (RESET direto) também são usadas. De agora em diante, usaremos as designações PRE e CLR para indicar as entradas assíncronas, uma vez que estas são as designações mais usadas. Quando estas entradas assíncronas são ativas em BAIXO, como geralmente são,

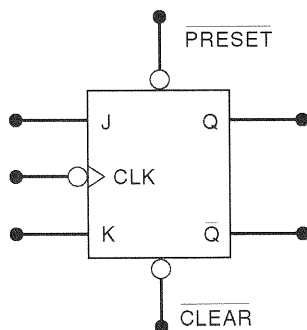


Fig. 5-30 Flip-flop J-K com clock e entradas assíncronas.

PRESET	CLEAR	Resposta do FF
1	1	Operação com clock*
0	1	$Q = 1$
1	0	$Q = 0$
0	0	Não usada

*Q irá responder a J, K e CLK

usaremos uma barra sobreposta para indicar esta condição, isto é, \overline{PRE} e \overline{CLR} .

Embora a maioria dos CIs de flip-flops possua pelo menos uma ou mais entradas assíncronas, existem algumas aplicações nas quais elas não são usadas. Neste caso, elas devem ser mantidas permanentemente em seu nível inativo. Muitas vezes durante o uso de flip-flops no restante do texto não mostraremos as entradas assíncronas não-utilizadas, e consideraremos que elas estão permanentemente conectadas ao seu nível lógico inativo.

EXEMPLO 5-9

A Fig. 5-31(a) mostra o símbolo de um flip-flop J-K que é disparado por transições negativas do sinal que está na entrada CLK e que possui entradas assíncronas ativas em BAIXO. Antes de prosseguir com este exemplo, observe o modo pelo qual as entradas são denominadas. Primeiro, note que o sinal de clock aplicado ao flip-flop é denominado de \overline{CLK} (a barra sobreposta indica que o sinal é ativo na tran-

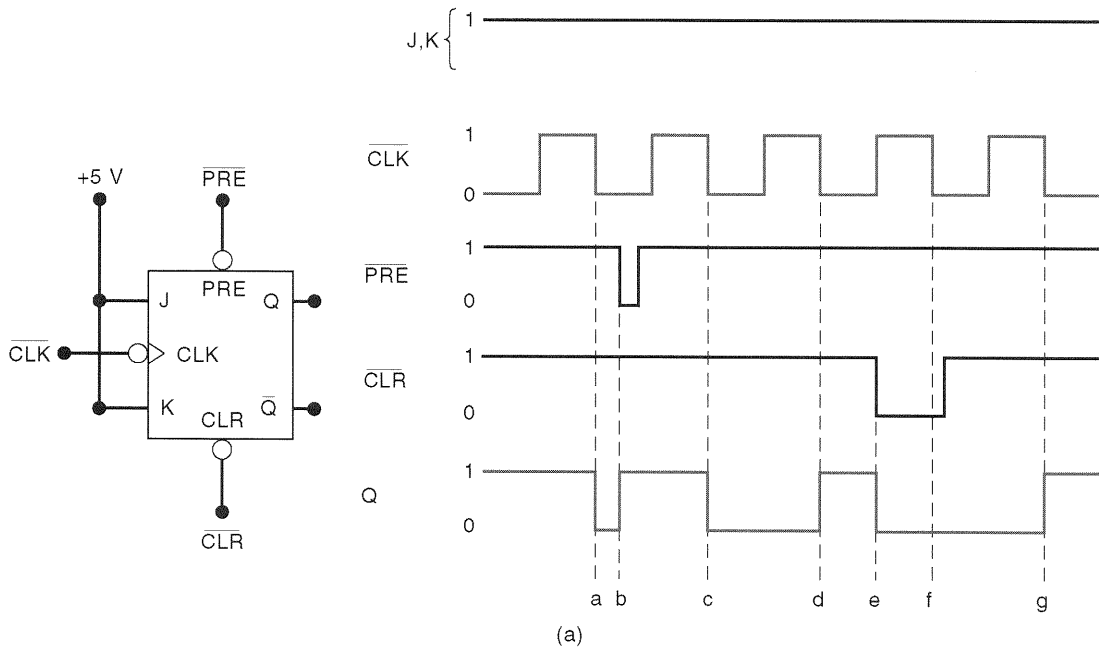
sição negativa), enquanto no outro lado da bolha, dentro do bloco, ele é denominado CLK . Do mesmo modo, as entradas assíncronas externas, ativas em BAIXO, são denominadas \overline{PRE} e \overline{CLR} , enquanto dentro do bloco, do outro lado da bolha, são denominadas PRE e CLR . O mais importante a ser lembrado é que a presença da bolha na entrada significa que esta responde a um nível lógico BAIXO.

As entradas J e K estão conectadas em ALTO neste exemplo. Determine a saída Q em função das formas de onda de entrada mostradas na Fig. 5-31(a). Suponha que a saída Q está inicialmente em ALTO.

Solução

Inicialmente, \overline{PRE} e \overline{CLR} estão em seu estado inativo ALTO, e portanto eles não terão efeito sobre Q . Quando a primeira transição negativa do sinal \overline{CLK} ocorre no ponto a , Q vai comutar para seu estado oposto (lembre-se de que $J = K = 1$ causa a troca de estado).

No ponto b , a entrada \overline{PRE} é pulsada em BAIXO. Isto faz com que o flip-flop seja *imediatamente* colocado no estado $Q = 1$. Observe que \overline{PRE} faz $Q = 1$ sem esperar por



Ponto	Operação
a	Comutação sincronizada com a descida de \overline{CLK}
b	Q é assincronamente colocado em 1 quando $\overline{PRE} = 0$
c	Comutação síncrona
d	Comutação síncrona
e	Q é assincronamente colocado em 0 quando $\overline{CLR} = 0$
f	\overline{CLR} se sobrepõe à transição negativa de \overline{CLK}
g	Comutação síncrona

(b)

Fig. 5-31 Formas de onda do Exemplo 5-9 mostrando como um flip-flop J-K com clock responde às entradas assíncronas.

uma transição negativa de \overline{CLK} . As entradas assíncronas operam independentemente de \overline{CLK} .

No ponto *c*, a transição negativa de \overline{CLK} vai novamente fazer com que a saída Q mude para seu estado oposto. Observe que \overline{PRE} retornou a seu estado inativo antes do ponto *c*. Do mesmo modo, a transição negativa do sinal \overline{CLK} no ponto *d* vai fazer com que a saída Q volte a um nível ALTO.

No ponto *e*, a entrada \overline{CLR} é pulsada em BAIXO e vai fazer *imediatamente* com que a saída Q seja igual a 0. Mais uma vez, isto acontece independentemente de \overline{CLK} .

Uma transição negativa de \overline{CLK} no ponto *f* não vai comutar Q , porque a entrada \overline{CLR} ainda está ativa. Um nível BAIXO em \overline{CLR} se sobrepõe à entrada \overline{CLK} e mantém $Q = 0$.

Quando ocorre uma transição negativa de \overline{CLK} no ponto *g*, isto faz com que a saída Q vá para o estado ALTO, uma vez que nenhuma das entradas assíncronas está ativa neste ponto.

Estes passos estão resumidos na Fig. 5-31(b).

Questões de Revisão

1. De que modo o funcionamento de uma entrada assíncrona difere da operação de uma entrada síncrona?
2. Um flip-flop D pode responder às suas entradas D e CLK enquanto $\overline{PRE} = 1$?
3. Enumere as condições necessárias para que um flip-flop J-K disparado por transição positiva e com entradas assíncronas ativas em BAIXO comute para seu estado oposto.

5-10 SÍMBOLOS IEEE/ANSI

Utilizamos os símbolos tradicionais para cada um dos latches e flip-flops que estudamos até o momento, e continuaremos a usar estes símbolos na maioria dos nossos diagramas de circuitos. Nesta seção, examinaremos os símbolos IEEE/

ANSI para estes mesmos dispositivos a fim de que você fique familiarizado com eles.

A Fig. 5-32(a) mostra o símbolo lógico para um latch D . Este é o símbolo IEEE/ANSI. Ele utiliza a letra "C" para designar a entrada ENABLE. Como veremos, a simbologia IEEE/ANSI utiliza a letra "C" para qualquer entrada que controle quando outras entradas terão efeito ou não sobre a saída. Como sabemos, o nível lógico aplicado na entrada ENABLE controla quando deve ser permitido que a entrada D altere o estado de Q e \overline{Q} . Observe que os símbolos Q e \overline{Q} estão colocados do lado de fora do bloco, e observe também o triângulo em \overline{Q} para indicar que esta é uma saída invertida. Este é o padrão para a simbologia IEEE/ANSI. Lembre-se de que este triângulo tem a mesma função das bolhas de inversão usadas nos símbolos mais antigos.

A Fig. 5-32(b) mostra o símbolo IEEE/ANSI para um CI específico, o latch quádruplo TTL 74LS375. Este CI contém quatro latches D que operam individualmente, do mesmo modo que descrevemos anteriormente. Este símbolo também se aplica aos CIs correspondentes em outras séries TTL e CMOS, como por exemplo o 74HC375.

Se examinarmos o símbolo lógico para este CI, podemos destacar vários pontos importantes. Em primeiro lugar, podemos notar que o símbolo contém quatro retângulos menores que representam os latches individuais. Observe também como é feita a indicação das entradas e saídas em cada latch. Por exemplo, a entrada D do latch superior é identificada como "1D", sua entrada de habilitação é chamada "C1" e suas saídas são denominadas $1Q$ e $1\overline{Q}$. Finalmente, observe que os dois latches superiores possuem uma entrada de habilitação em comum, isto é, C1 e C2 estão conectadas internamente a um mesmo ponto, que por sua vez está ligado a um único pino do CI. Do mesmo modo, os dois latches inferiores compartilham uma mesma entrada de habilitação.

A Fig. 5-33(a) mostra o símbolo IEEE/ANSI para um flip-flop J-K disparado por transição negativa e com entradas assíncronas. A entrada de clock é denominada "C" no interior do símbolo. Observe também que existem dois triângulos na entrada de clock. O primeiro está localizado no interior do bloco e indica que esta entrada é disparada por transição. O outro que está do lado de fora indica que o

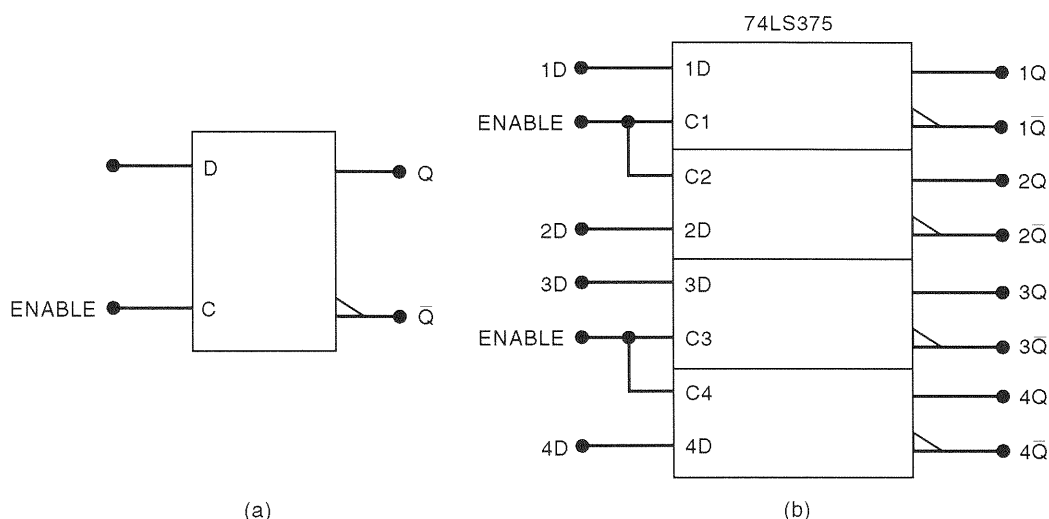


Fig. 5-32 Símbolos IEEE/ANSI para: (a) um latch D e (b) CI 74LS375, latch quádruplo.

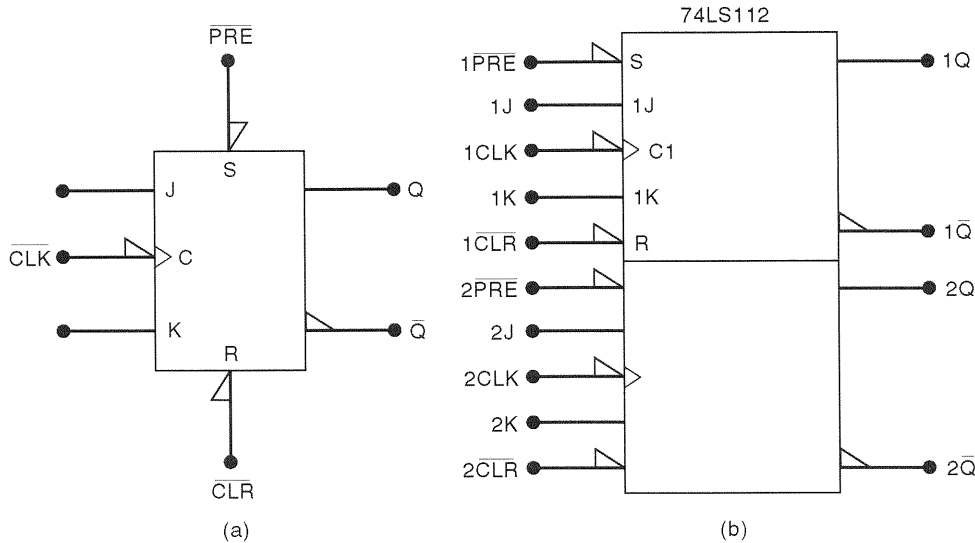


Fig. 5-33 Símbolos IEEE/ANSI para: (a) um flip-flop J-K disparado por transição e (b) CI 74LS112, flip-flop J-K duplo disparado por transição negativa.

flip-flop é disparado na transição negativa. As entradas \overline{PRE} e \overline{CLR} são ativas em BAIXO, como está simbolizado pelos triângulos retos. É interessante observar que a simbologia IEEE/ANSI utiliza as denominações “S” e “R” no interior do símbolo para indicar as entradas assíncronas SET e RESET, que são equivalentes a PRESET e CLEAR, respectivamente.

A Fig. 5-33(b) mostra o símbolo IEEE/ANSI para um CI que faz parte da série 74LS da família TTL. O 74LS112 é um flip-flop J-K duplo disparado por transição negativa com entradas assíncronas. Ele contém dois flip-flops como o que pode ser visto na Fig. 5-33(a). Observe como as entradas e saídas estão numeradas. Observe também que as denominações das entradas dentro dos retângulos aparecem ape-

nas no flip-flop superior. Fica subentendido que o flip-flop na parte inferior segue esta mesma disposição. Este mesmo símbolo se aplica ao CI 74HC112 da família CMOS.

A Fig. 5-34(a) mostra o símbolo IEEE/ANSI para um flip-flop D disparado na subida e com entradas assíncronas. Observe que não existe o triângulo reto na entrada de clock, uma vez que o flip-flop é disparado na transição positiva.

A Fig. 5-34(b) mostra o símbolo IEEE/ANSI para o CI 74HC175, que contém quatro flip-flops que compartilham uma entrada CLK e uma entrada \overline{CLR} . Os flip-flops não têm a entrada \overline{PRE} . Este símbolo contém retângulos separados para representar cada um dos flip-flops, e um **bloco de controle comum**, que é representado pelo retângulo com

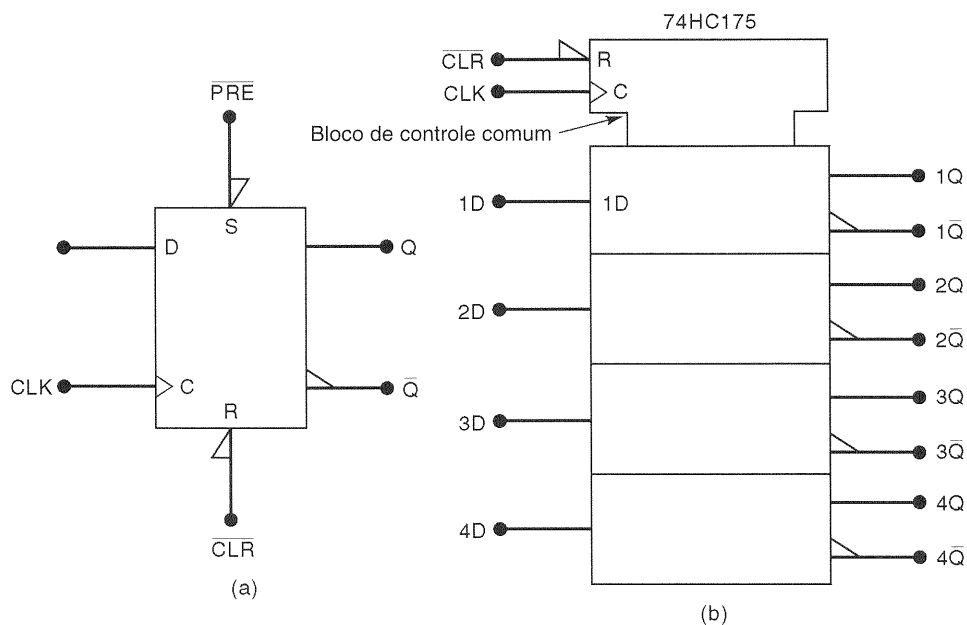


Fig. 5-34 Símbolos IEEE/ANSI para: (a) um flip-flop D disparado por transição e (b) CI 74HC175, flip-flop quádruplo com entradas comuns de clock e clear.

chanfros na parte superior do símbolo. Este bloco de controle comum é usado sempre que um CI possui uma ou mais entradas que são comuns a mais de um circuito no chip. No caso do 74HC175, as entradas CLK e \overline{CLR} são comuns a todos os flip-flops D existentes no CI. Isto significa que uma transição positiva na entrada CLK faz cada saída Q assumir o nível presente na sua respectiva entrada D . Isto também significa que um nível BAIXO em \overline{CLR} coloca todas as saídas Q em BAIXO.

Questões de Revisão

1. Explique o significado dos dois tipos de triângulos que podem fazer parte da simbologia IEEE/ANSI em uma entrada de clock.
2. Descreva o significado do bloco de controle comum.

5-11 CONSIDERAÇÕES SOBRE TEMPORIZAÇÃO EM FLIP-FLOPS

Os fabricantes de CIs de flip-flops especificam muitos parâmetros importantes de temporização e características que devem ser considerados antes que um FF possa ser usado em um circuito. Descreveremos os mais importantes e apresentaremos alguns exemplos reais de CIs de flip-flops das famílias lógicas TTL e CMOS.

Tempos de Setup e Hold

Os tempos de setup e hold já foram discutidos, e você deve lembrar da Seção 5-4 que eles representam restrições que devem ser satisfeitas para disparar confiavelmente um FF. A folha de características do fabricante do CI sempre especifica os valores *mínimos* de t_s e t_H .

Atrasos de Propagação

Sempre que um sinal causa a mudança de estado da saída de um FF, existe um atraso entre a aplicação do sinal e o momento em que a saída muda. A Fig. 5-35 ilustra os **atrasos de propagação** que ocorrem em resposta a uma transição positiva na entrada CLK . Repare que estes atrasos são medidos entre os pontos de 50% de amplitude das formas de onda de entrada e saída. Os mesmos tipos de atrasos acontecem em resposta a sinais aplicados nas entradas assíncronas (PRESET e CLEAR). As folhas de características dos fabricantes usualmente especificam os valores *máximos* para t_{PLH} e t_{PHL} .*

Os modernos CIs de flip-flops possuem atrasos de propagação que variam de uns poucos nanossegundos até por volta de 100 ns. Os valores de t_{PLH} e t_{PHL} geralmente não são os mesmos, e eles aumentam de modo diretamente propor-

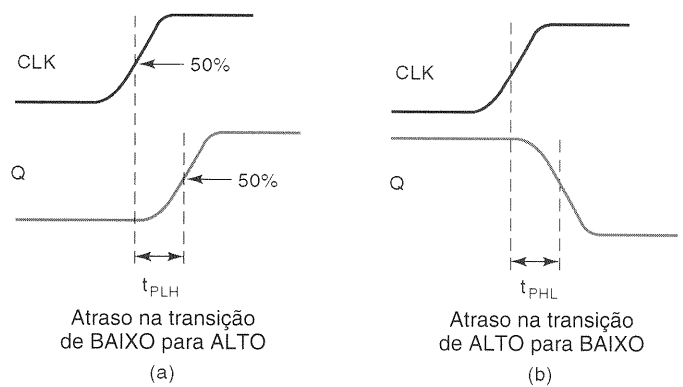


Fig. 5-35 Atrasos de propagação nos FFs.

cional ao número de cargas sendo acionadas pela saída Q . Os atrasos de propagação dos FFs têm um importante papel em determinadas situações que encontraremos mais adiante.

Freqüência Máxima de Clock, f_{MAX}

Esta é a freqüência mais alta que pode ser aplicada na entrada CLK de um FF e ainda dispará-lo confiavelmente. O limite f_{MAX} varia de FF para FF, mesmo entre os FFs que têm o mesmo número. Por exemplo, o fabricante do CI 7470 flip-flop J-K testa vários destes FFs e pode constatar que os valores para f_{MAX} ficam na faixa de 20 a 35 MHz. Ele então especifica a f_{MAX} *mínima* como 20 MHz. Isto pode parecer confuso, mas um pouco de raciocínio deve tornar claro que o fabricante está informando que ele não pode garantir que o FF 7470, que você vai usar no seu circuito, vai operar acima de 20 MHz; a maioria deles funcionará acima disto, mas alguns deles não. Entretanto, se o circuito operar abaixo de 20 MHz, ele garante que os FFs funcionarão corretamente.

Tempos de Duração em ALTO e BAIXO do Sinal de Clock

O fabricante também especifica o tempo de duração *mínimo* que o sinal de CLK deve permanecer em BAIXO antes de ir para ALTO, algumas vezes denominado $t_w(L)$, e o tempo mínimo que CLK deve ser mantido ALTO antes de retornar para BAIXO, algumas vezes chamado $t_w(H)$. Estes tempos são definidos na Fig. 5-36(a). O não-atendimento a estes requisitos de tempos mínimos pode resultar em disparos não-confiáveis. Note que estes valores de tempo são medidos entre os pontos a meio caminho das transições do sinal.

Largura dos Pulsos Assíncronos

O fabricante também especifica o tempo de duração *mínimo* que as entradas PRESET e CLEAR devem ser mantidas no seu estado ativo, de modo a setar ou ressetar confiavelmente o flip-flop. A Fig. 5-36(b) mostra $t_w(L)$ para entradas assíncronas ativas em BAIXO.

* t_p se refere a tempo de propagação, e as letras L e H são as iniciais de LOW (BAIXO) e HIGH (ALTO), logo t_{PLH} = tempo de propagação de LOW (BAIXO) para HIGH (ALTO), e t_{PHL} = tempo de propagação de HIGH (ALTO) para LOW (BAIXO). (N. do T.)

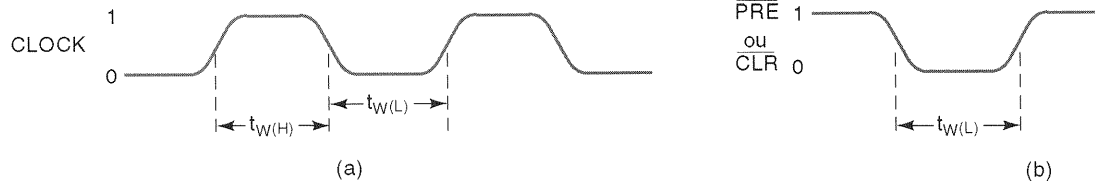


Fig. 5-36 (a) Tempos de duração do clock em BAIXO e em ALTO; (b) largura de pulso assíncrono.

Tempos de Transição do Clock

Para garantir um disparo confiável, os tempos de transição da forma de onda do clock (tempos de subida e descida) devem ser mantidos bem pequenos. Se o sinal de clock demorar muito para fazer sua transição de um nível para o outro, o FF pode disparar de modo errático ou simplesmente não disparar. Os fabricantes usualmente não relacionam os requisitos de tempos de transição máximos para cada circuito integrado de FF. Em vez disso, normalmente isto é dado como um requisito geral para todos os CIs de uma determinada família lógica. Por exemplo, os tempos de transição são geralmente ≤ 50 ns para dispositivos TTL e ≤ 200 ns para CMOS. Estes requisitos variam entre os diferentes fabricantes e entre as diversas subfamílias lógicas TTL e CMOS.

CIs Reais

Como exemplos práticos desses parâmetros de temporização, vamos dar uma olhada em vários circuitos integrados reais de FFs. Em particular, analisaremos os seguintes CIs:

- **7474** Duplo flip-flop D disparado pela borda (TTL padrão)
- **74LS112** Duplo flip-flop J-K disparado pela borda (TTL Schottky de baixa potência)
- **74C74** Duplo flip-flop D disparado pela borda (CMOS de porta metálica)
- **74HC112** Duplo flip-flop J-K disparado pela borda (CMOS de alta velocidade)

A Tabela 5-2 relaciona diversos parâmetros de temporização para cada um destes FFs, conforme apresentados nos manuais dos fabricantes. Todos os valores relacionados são valores *mínimos*, exceto para os atrasos de propagação, que

são valores *máximos*. Um exame da Tabela 5-2 revela dois aspectos interessantes.

1. Todos os FFs têm um t_H muito baixo; isto é típico na maioria dos modernos FFs disparados por transição.
2. A série 74HC de dispositivos CMOS tem valores de temporização comparáveis aos dos dispositivos TTL. A série 74C é muito mais lenta do que a série 74HC.

EXEMPLO 5-10

Com referência à Tabela 5-2, determine o seguinte:

- (a) Considere que a saída $Q = 0$. Quanto tempo demora para Q ir para ALTO quando uma transição positiva ocorre na entrada CLK de um 7474?
- (b) Suponha que a saída $Q = 1$. Quanto tempo demora para Q ir para BAIXO em resposta à entrada \overline{CLR} de um 74HC112?
- (c) Qual é o pulso mais estreito que pode ser aplicado na entrada \overline{CLR} de um FF 74LS112 para limpar a saída Q de modo confiável?
- (d) Qual dos FFs na Tabela 5-2 necessita que as entradas de controle permaneçam estáveis *depois* da ocorrência da transição ativa do clock?
- (e) Para quais FFs as entradas de controle devem ser mantidas estáveis, por um certo tempo mínimo, antes da transição ativa do clock?

Solução

- (a) A transição positiva faz Q ir de BAIXO para ALTO. O atraso do CLK para a saída Q é relacionado como $t_{PLH} = 25$ ns para o 7474.

TABELA 5-2 Parâmetros de temporização de flip-flops (em nanossegundos)

	TTL		CMOS	
	7474	74LS112	74C74	74HC112
t_S	20	20	60	25
t_H	5	0	0	0
t_{PHL}	de CLK para Q	40	24	200
t_{PLH}	de CLK para Q	25	16	200
t_{PHL}	de \overline{CLR} para Q	40	24	225
t_{PLH}	de \overline{PRE} para Q	25	16	225
$t_{W(L)}$	tempo em BAIXO de CLK	37	15	100
$t_{W(H)}$	tempo em ALTO de CLK	30	20	100
$t_{W(L)}$	para \overline{PRE} ou \overline{CLR}	30	15	60
f_{MAX}	em MHz	15	30	5

- (b) Para o 74HC112, o tempo necessário para Q ir de ALTO para BAIXO em resposta à entrada \overline{CLR} é apresentado como $t_{PHL} = 41$ ns.
- (c) Para o 74LS112, o pulso mais estreito para a entrada \overline{CLR} é relacionado como $t_w(L) = 15$ ns.
- (d) O 7474 é o único FF da Tabela 5-2 que tem um tempo de hold diferente de zero.
- (e) Todos os FFs têm o requisito de tempo de setup diferente de zero.

Questões de Revisão

1. Quais parâmetros de temporização dos FFs indicam o tempo que a saída Q leva para responder a uma entrada?
2. Verdadeiro ou falso: Um FF que tem f_{MAX} de 25 MHz pode ser disparado confiavelmente por qualquer forma de onda pulsada em CLK com uma frequência inferior a 25 MHz.

5-12 PROBLEMAS POTENCIAIS DE TEMPORIZAÇÃO EM CIRCUITOS COM FLIP-FLOPS

Em muitos circuitos digitais, a saída de um FF é conectada, diretamente ou através de portas lógicas, na entrada de outro FF, e ambos os FFs são disparados pelo mesmo sinal de clock. Isto representa um problema potencial de temporização. Uma situação típica está ilustrada na Fig. 5-37, onde a

saída de Q_1 está conectada na entrada J de Q_2 e ambos os FFs são disparados por suas entradas CLK pelo mesmo sinal.

O problema potencial de temporização é este: como Q_1 muda na descida do pulso de clock, a entrada J_2 de Q_2 estará mudando quando ele receber a mesma transição negativa. Isto pode levar a uma resposta imprevisível de Q_2 .

Vamos supor que inicialmente $Q_1 = 1$ e $Q_2 = 0$. Logo, o FF Q_1 tem $J_1 = K_1 = 1$, e Q_2 tem $J_2 = Q_1 = 1$ e $K_2 = 0$, antes da descida do pulso de clock. Quando a transição negativa ocorre, Q_1 comutará para o estado BAIXO, mas só vai realmente para BAIXO após o atraso de propagação, t_{PHL} . A mesma transição negativa vai disparar confiavelmente Q_2 para o estado ALTO desde que o t_{PHL} seja maior do que o tempo de hold de Q_2 , t_H . Se esta condição não for satisfeita, a resposta de Q_2 será imprevisível.

Felizmente, todos os FFs disparados por transição mais recentes possuem tempo de hold de 5 ns ou menos, e a maioria tem $t_H = 0$, o que significa que eles não têm a restrição do tempo de hold. Para estes FFs, as situações como a apresentada na Fig. 5-37 não representam um problema.

A menos que seja informado o contrário, em todos os circuitos com FFs que encontraremos neste livro, presumiremos que o requisito de tempo de hold do FF é pequeno o suficiente para que ele responda de maneira confiável, conforme a seguinte regra:

A saída do FF vai para o estado determinado pelos níveis lógicos presentes em suas entradas de controle síncronas imediatamente antes da transição de disparo do clock.

Se aplicamos esta regra à Fig. 5-37, obtemos que a saída Q_2 vai para um estado determinado pela condição $J_2 = 1$, $K_2 = 0$, que está presente imediatamente antes da transição nega-

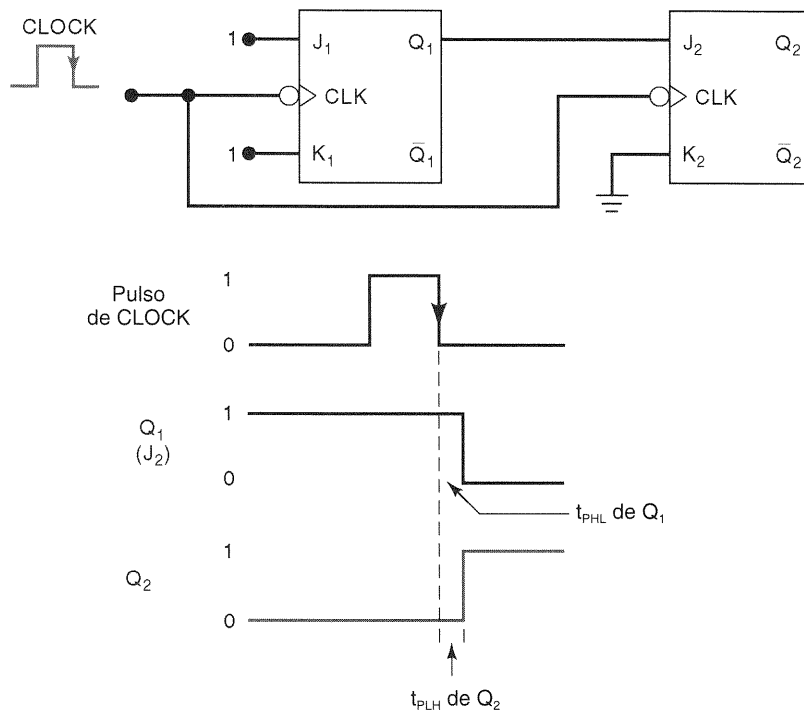


Fig. 5-37 Q_2 responderá adequadamente ao nível presente em Q_1 antes da descida do clock, desde que o tempo de hold de Q_2 , t_H , seja menor do que o atraso de propagação de Q_1 .

tiva do pulso de clock. O fato de J_2 estar mudando em resposta à mesma transição de descida não tem efeito algum.

EXEMPLO 5-11

Determine a saída Q para o flip-flop J-K disparado pela descida, para as formas de onda de entrada da Fig. 5-38. Suponha que $t_{H1} = 0$ e que inicialmente $Q = 0$.

Solução

O FF responderá apenas nos instantes de tempo T_2, T_4, T_6 e T_8 . Em T_2 , Q responde à condição $J = K = 0$ presente na entrada imediatamente antes de T_2 . Em T_4 , Q responde à condição $J = 1, K = 0$ presente na entrada imediatamente antes de T_4 . Em T_6 , Q responde à condição $J = 0, K = 1$ presente na entrada imediatamente antes de T_6 . Em T_8 , Q responde a $J = K = 1$.

5-13 FLIP-FLOPS MESTRE/ESCRAVO

Antes do desenvolvimento dos flip-flops disparados pela borda com requisito de tempo de hold muito pequeno ou nulo, problemas de temporização, tais como o da Fig. 5-37, eram freqüentemente tratados utilizando-se uma classe de FFs denominada **flip-flops mestre/escravo**. Um FF mestre/escravo na verdade contém dois FFs, um mestre e um escravo. Na subida do sinal CLK , os níveis nas entradas de controle (D, J, K) são usados para determinar a saída do mestre. Quando o sinal CLK vai para BAIXO, o estado do mestre é transferido para o escravo, cujas saídas são Q e \bar{Q} . Deste modo, Q e \bar{Q} mudam logo após a descida do clock. Estes flip-flops do tipo mestre/escravo funcionam de modo similar aos FFs disparados por transição negativa, exceto por uma desvantagem importante: as entradas de controle devem ficar estáveis enquanto CLK está em ALTO, ou uma operação imprevisível pode ocorrer. Este problema com os FFs mestre/escravo foi resolvido com uma versão mestre/escravo melhorada denominada *mestre/escravo com travamento de dados (data lockout)*.

O FF mestre/escravo tornou-se obsoleto, embora você possa encontrá-lo em equipamentos mais antigos. Exemplos deste tipo são os CIs TTL padrão 7473, 7476 e 74107, além das versões com travamento de dados 74110 e 74111. As novas tecnologias de CIs (74LS, 74AS, 74ALS, 74HC, 74HCT) não incluem FFs do tipo mestre/escravo nas suas séries. Na verdade, o 74LS76 e o 74LS107 são fabricados como FFs disparados pela borda, embora os componentes da série padrão sejam do tipo mestre/escravo.

Para a maioria dos casos, se você encontrar um FF mestre/escravo num equipamento, você pode analisá-lo como um FF disparado pela borda de descida.

5-14 APLICAÇÕES COM FLIP-FLOPS

No início do capítulo, apresentamos alguns exemplos de como os flip-flops com portas NAND e os flip-flops com portas NOR são usados para, respectivamente, eliminar o problema de trepidação de chave (Exemplo 5-2) e registro de evento (Exemplo 5-4). Estes simples FFs sem clock são de algum modo limitados em suas aplicações. FFs com clock oferecem ao projetista um grupo versátil de dispositivos que têm numerosas aplicações. Vamos introduzir superficialmente as aplicações mais comuns nas próximas seções, e nos aprofundaremos em capítulos subseqüentes.

5-15 SINCRONIZAÇÃO DE FLIP-FLOPS

A maioria dos sistemas digitais é predominantemente síncrona em sua operação, já que a maioria dos sinais muda de estado em sincronismo com as transições do clock. Em muitos casos, entretanto, existe um sinal externo que não é sincronizado com o clock; em outras palavras, ele é assíncrono. Sinais assíncronos ocorrem freqüentemente como resultado da atuação de um operador humano em uma chave de entrada em momentos aleatórios em relação ao sinal de clock. Esta ação randômica pode produzir resultados imprevisíveis e indesejáveis. O exemplo seguinte ilustra como um FF pode ser usado para sincronizar uma entrada assíncrona.

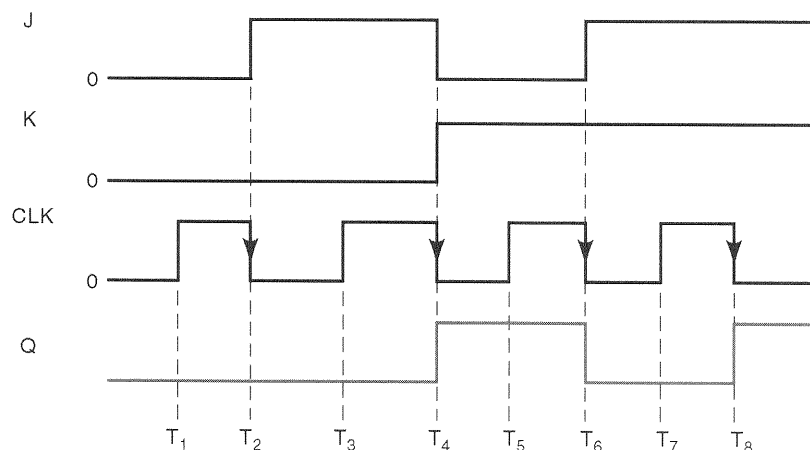


Fig. 5-38 Exemplo 5-11.

EXEMPLO 5-12

A Fig. 5-39(a) mostra uma situação em que o sinal de entrada A é gerado por uma chave sem trepidação que é acionada por um operador (um circuito para eliminar o efeito de trepidação da chave foi apresentado anteriormente no Exemplo 5-2). O sinal A vai para ALTO quando o operador aciona a chave e vai para BAIXO quando o operador libera a chave. Esta entrada A é usada para controlar a passagem do sinal de clock através da porta AND, de modo que pulsos de clock apareçam na saída X somente enquanto A for ALTO.

O problema com este circuito é que o sinal A é assíncrono e, portanto, pode mudar de estado em qualquer instante de tempo em relação ao sinal de clock, pois os momentos em que o operador atua ou libera a chave são essencialmente randômicos. Isto pode produzir pulsos de clock *parciais* na saída X se qualquer transição de A ocorrer enquanto o sinal de clock estiver em ALTO, conforme mostram as formas de onda da Fig. 5-39(b).

Esse tipo de saída normalmente é inaceitável, e portanto um método para prevenir o aparecimento de pulsos parciais em X deve ser desenvolvido. Uma solução é mostrada na Fig. 5-40(a). Descreva como este circuito resolve o problema e desenhe a forma de onda de X para a mesma situação da Fig. 5-39(b).

Solução

O sinal A é conectado à entrada D do FF Q , que por sua vez é disparado pela descida do sinal de clock. Assim, quando A vai para ALTO, Q só vai para ALTO na próxima descida do clock no instante T_1 . Este nível ALTO em Q habilita a porta AND a passar os pulsos de clock *completos* subsequentes para X , conforme mostra a Fig. 5-40(b).

Quando A retorna para BAIXO, Q só vai para BAIXO na próxima descida do clock em T_2 . Logo, a porta AND só vai inibir os pulsos de clock após o pulso de clock que termina em T_2 passar através de X . Assim, a saída X contém somente pulsos de clock completos.

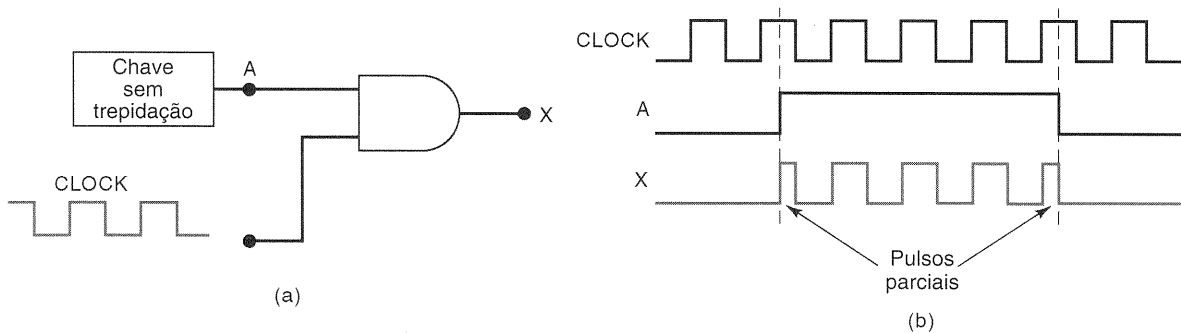


Fig. 5-39 O sinal assíncrono A pode produzir pulsos parciais em X .

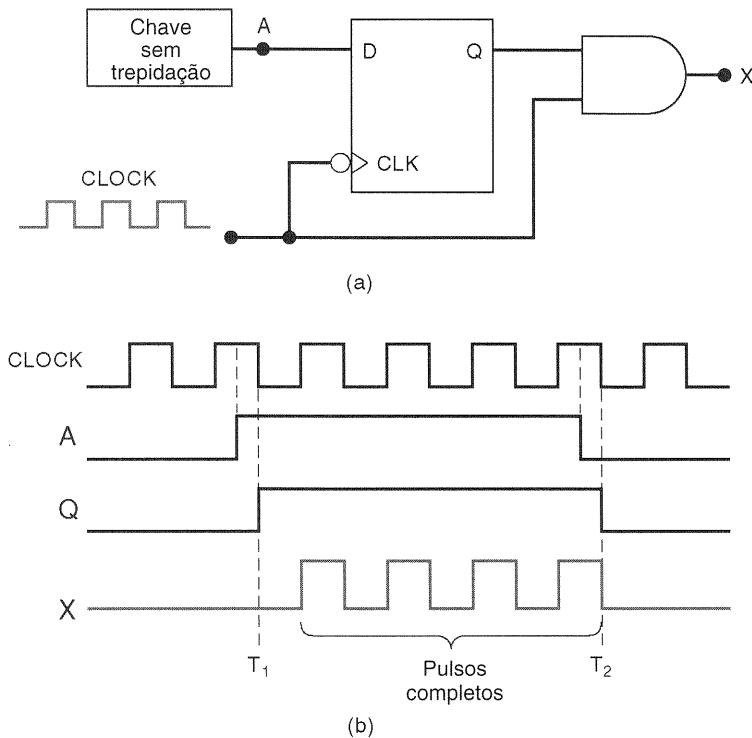


Fig. 5-40 Um flip-flop D disparado por transição é usado para sincronizar a habilitação da porta AND com a descida do clock.

5-16 DETECTANDO UMA SEQÜÊNCIA DE ENTRADA

Em diversas situações uma saída deve ser ativada somente quando as entradas foram ativadas em uma certa seqüência. Isto não pode ser realizado usando apenas a lógica combinacional, pois requer a capacidade de armazenamento dos FFs.

Por exemplo, uma porta AND pode ser usada para determinar quando duas entradas A e B estão ambas em ALTO, mas sua saída responderá do mesmo modo, não importando qual das entradas foi para ALTO primeiro. Mas suponha que desejamos gerar uma saída em ALTO *somente* se A for para ALTO e, então, um tempo depois, B for para ALTO. Um modo de realizar isto é mostrado na Fig. 5-41(a).

As formas de onda das Fig. 5-41(b) e (c) mostram que a saída Q vai para ALTO somente se A vai para ALTO antes que B vá para ALTO. Isto é porque A deve estar em ALTO de modo que a saída Q vá para ALTO na subida de B .

Para que este circuito funcione adequadamente, A deve ir para ALTO antes de B , pelo menos por um intervalo de tempo igual ao tempo de setup do FF.

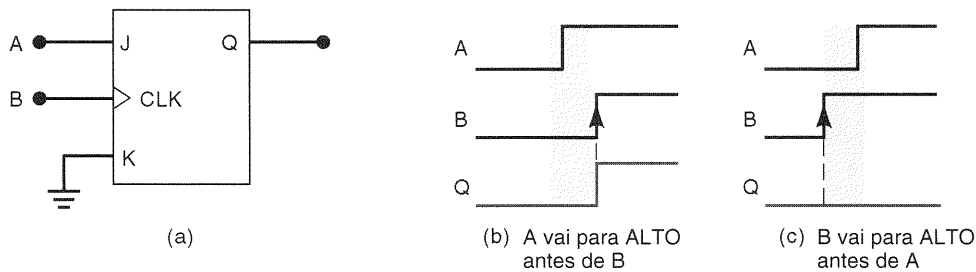


Fig. 5-41 Flip-flop J-K com clock usado para responder a uma determinada seqüência de entradas.

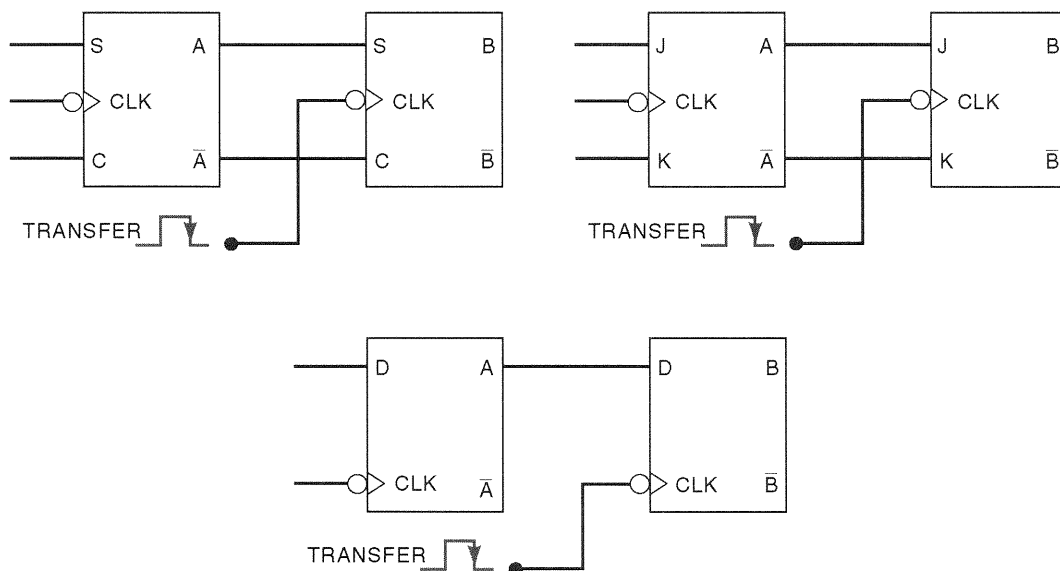


Fig. 5-42 Operação de transferência de dados síncrona em diversos tipos de FFs.

5-17 ARMAZENAMENTO E TRANSFERÊNCIA DE DADOS

Com certeza, a utilização mais comum dos flip-flops é no armazenamento de dados ou informações. Os dados podem representar valores numéricos (como por exemplo números binários, números codificados em BCD), e são geralmente armazenados em grupos de flip-flops chamados **registadores**.

A operação mais freqüentemente executada com as informações armazenadas em um flip-flop ou em um registrador é a operação de **transferência de dados**. Isto envolve a transferência de informações entre um flip-flop (ou um registrador) e um outro. A Fig. 5-42 ilustra como uma transferência de dados pode ser feita usando flip-flops com clock dos tipos J-K, S-C ou D. Em cada caso, o valor lógico que está atualmente armazenado no FF A é transferido para o FF B na transição negativa do pulso TRANSFER. Portanto, após esta transição, a saída B terá o mesmo valor da saída A .

As operações de transferência vistas na Fig. 5-42 são exemplos de **transferência síncrona**, uma vez que ape-

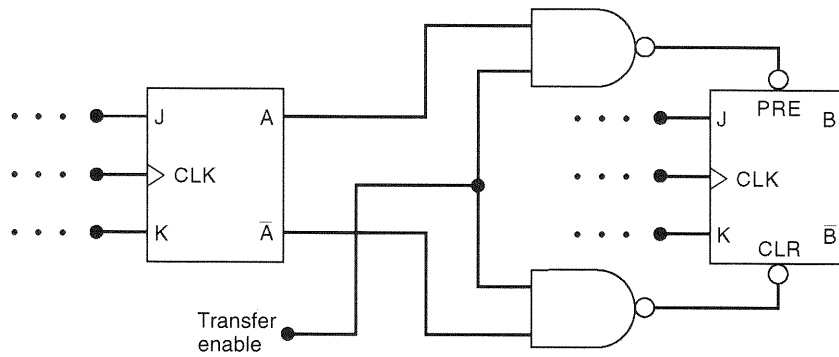


Fig. 5-43 Operação de transferência de dados assíncrona.

nas as entradas de controle síncronas e a entrada de clock foram utilizadas para realizar a transferência. Uma operação de transferência também pode ser realizada utilizando-se as entradas assíncronas de um flip-flop. A Fig. 5-43 mostra como uma **transferência assíncrona** pode ser feita utilizando-se as entradas PRESET e CLEAR de qualquer tipo de flip-flop. Neste caso, as entradas assíncronas são ativas em BAIXO. Quando a linha TRANSFER ENABLE é mantida em BAIXO, as saídas das portas NAND são mantidas em ALTO, não tendo nenhum efeito sobre a saída do flip-flop. Quando a linha TRANSFER ENABLE vai para ALTO, uma das saídas das portas NAND vai para nível BAIXO, dependendo do estado das saídas A e \bar{A} . Este nível BAIXO vai setar ou ressetar o FF B para o mesmo estado do FF A. Esta transferência assíncrona é feita independentemente das entradas síncronas e do clock. A transferência assíncrona é também chamada de **transferência por interferência**, porque o dado que está sendo transferido “interfere” no FF B, mesmo que suas entradas síncronas estejam ativas.

Transferência Paralela de Dados

A Fig. 5-44 mostra uma transferência de dados de um registrador para outro usando flip-flops do tipo D. O registrador X é composto dos FFs X_1 , X_2 e X_3 e o registrador Y é composto dos FFs Y_1 , Y_2 e Y_3 . Quando o pulso de transferência é aplicado, o nível armazenado em X_1 é transferido para Y_1 , o de X_2 para Y_2 e o de X_3 para Y_3 . A transferência do conteúdo do registrador X para o registrador Y é síncrona. Ela também é chamada de **transferência paralela**, uma vez que o conteúdo de X_1 , X_2 e X_3 foi transferido *simultaneamente* para Y_1 , Y_2 e Y_3 . Se uma **transferência serial** fosse realizada, o conteúdo do registrador X seria transferido, um bit de cada vez, para o registrador Y. Falaremos mais sobre este assunto na próxima seção.

É importante entender que a transferência paralela não altera o conteúdo do registrador que é a fonte das informações a serem transmitidas. Por exemplo, na Fig. 5-44, se os valores contidos nos registradores antes da ocorrência do pulso TRANSFER são $X_1X_2X_3 = 101$ e $Y_1Y_2Y_3 = 011$, após o

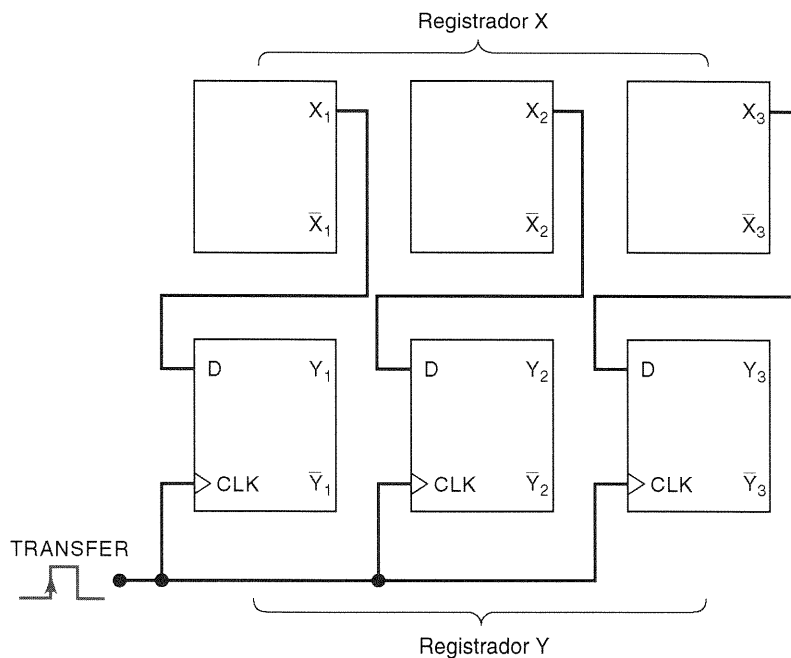


Fig. 5-44 Transferência paralela do conteúdo do registrador X para o registrador Y.

pulso TRANSFER, o conteúdo de ambos os registradores será 101.

Questões de Revisão

1. *Verdadeiro* ou *falso*: A transferência de dados assíncronos usa a entrada *CLK*.
2. Que tipo de flip-flop é o mais indicado para transferências síncronas porque necessita de um menor número de ligações entre um flip-flop e outro?
3. Se os flip-flops J-K fossem usados como os registradores na Fig. 5-44, quantas ligações seriam necessárias para conectar um registrador ao outro?
4. *Verdadeiro* ou *falso*: A transferência de dados síncrona necessita de menos circuitos que o modo assíncrono.

5-18 TRANSFERÊNCIA SERIAL DE DADOS: REGISTRADORES DE DESLOCAMENTO

Antes de descrevermos a operação de transferência serial de dados, devemos, primeiro, estudar a configuração bási-

ca de um *registrador de deslocamento*. Um **registrador de deslocamento** é um grupo de flip-flops interligados de tal forma que os números binários armazenados nos FFs são deslocados de um FF para o próximo, a cada pulso de clock. Você, sem dúvida, já viu registradores de deslocamento funcionando em dispositivos como uma calculadora eletrônica, onde os dígitos mostrados no display se deslocam toda vez que se fornece um novo número pelo teclado. Esta operação é similar à de um registrador de deslocamento.

A Fig. 5-45(a) mostra uma maneira de organizar flip-flops J-K para fazê-los funcionar como um registrador de deslocamento de 4 bits. Observe que os FFs estão conectados de tal modo que o valor da saída X_3 é transferido para X_2 , o de X_2 é transferido para X_1 e o de X_1 para X_0 . Isto significa que, quando ocorre uma transição negativa do pulso de deslocamento, cada FF assume o valor armazenado anteriormente pelo FF que está à sua esquerda. O flip-flop X_3 assume o valor determinado pelas condições presentes em suas entradas J e K quando a transição negativa ocorre. Por enquanto, vamos considerar que as entradas J e K são acionadas pelo sinal DATA IN, cuja forma de onda pode ser vista na Fig. 5-45(b). Também admitiremos que todos os flip-flops estão no estado 0 antes de os pulsos de deslocamento serem aplicados.

As formas de onda na Fig. 5-45(b) mostram como os dados de entrada são deslocados da esquerda para a direi-

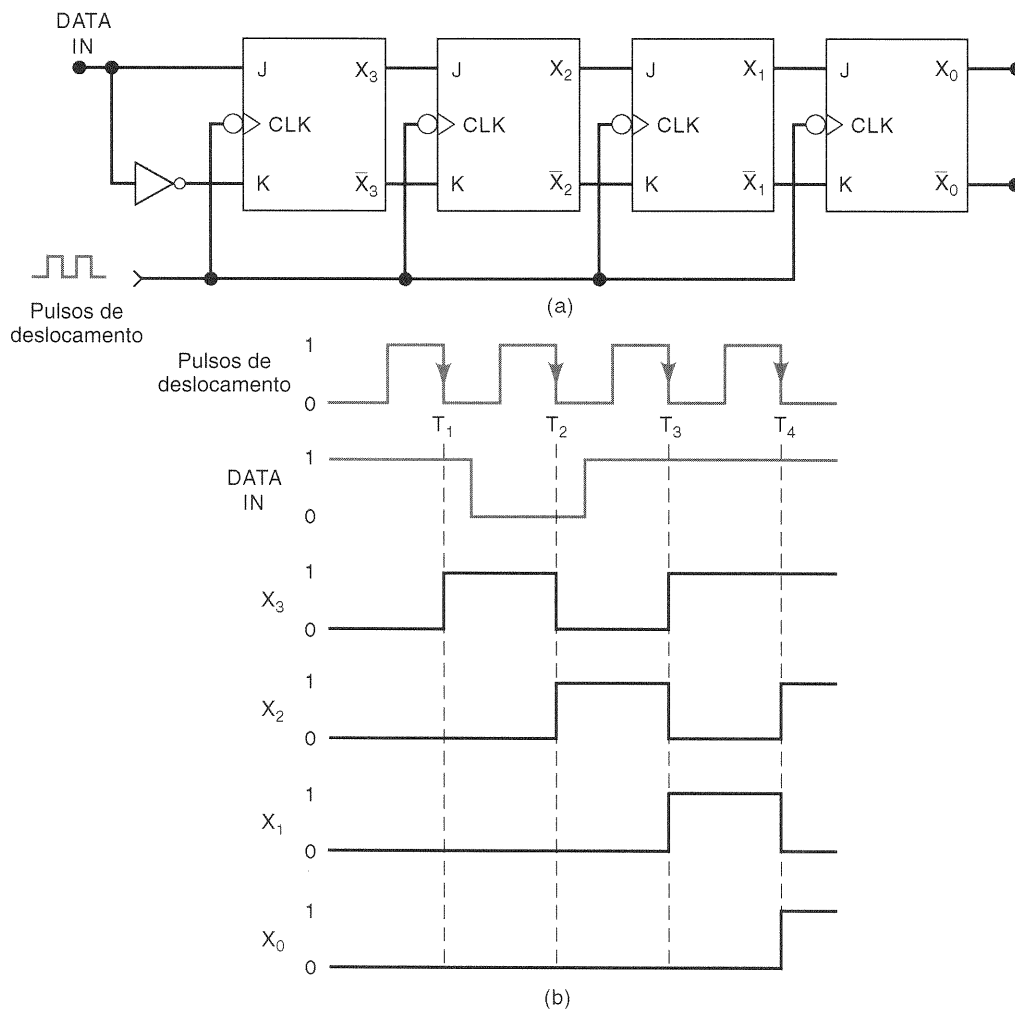


Fig. 5-45 Registrador de deslocamento de quatro bits.

ta, de um flip-flop para outro, à medida que os pulsos de deslocamento são aplicados. Quando a primeira transição negativa ocorre em T_1 , cada um dos flip-flops X_2 , X_1 e X_0 tem como condições de entrada $J = 0$ e $K = 1$, por causa do estado do flip-flop que está à sua esquerda. O flip-flop X_3 tem $J = 1$ e $K = 0$ devido ao valor de DATA IN. Então, em T_1 , apenas X_3 vai para ALTO, enquanto todos os outros permanecem em BAIXO. Quando a segunda transição ocorre em T_2 , o flip-flop X_3 tem $J = 0$ e $K = 1$ por causa de DATA IN. O flip-flop X_2 tem $J = 1$ e $K = 0$, por causa do nível ALTO presente em X_3 . Os flip-flops X_1 e X_0 ainda têm $J = 0$ e $K = 1$. Então, em T_2 apenas o FF X_2 vai para ALTO, FF X_3 vai para BAIXO e os FFs X_1 e X_0 permanecem em BAIXO.

Um raciocínio semelhante pode ser usado para determinar como as formas de onda mudam em T_3 e em T_4 . Observe que, em cada transição negativa dos pulsos de deslocamento, a saída de cada FF assume o nível que estava presente na saída do FF que está à sua esquerda, imediatamente *antes* da transição negativa. Obviamente, X_3 assume o valor que estava em DATA IN imediatamente antes da transição negativa.

Exigência Quanto ao Tempo de Hold

Neste arranjo de registrador de deslocamento, é necessário que os FFs tenham um tempo de hold muito pequeno, porque existirão momentos em que as entradas J e K estarão mudando de estado quase ao mesmo tempo que a transição na entrada CLK . Por exemplo, a saída X_3 muda de 1 para 0 em resposta à transição negativa em T_2 , fazendo com que as entradas J e K , de X_2 , mudem enquanto o nível na entrada CLK está mudando. Na verdade, devido ao atraso de propagação de X_3 , as entradas J e K de X_2 não mudarão por um breve período após a transição negativa. Por esta razão, um registrador de deslocamento deve ser implemen-

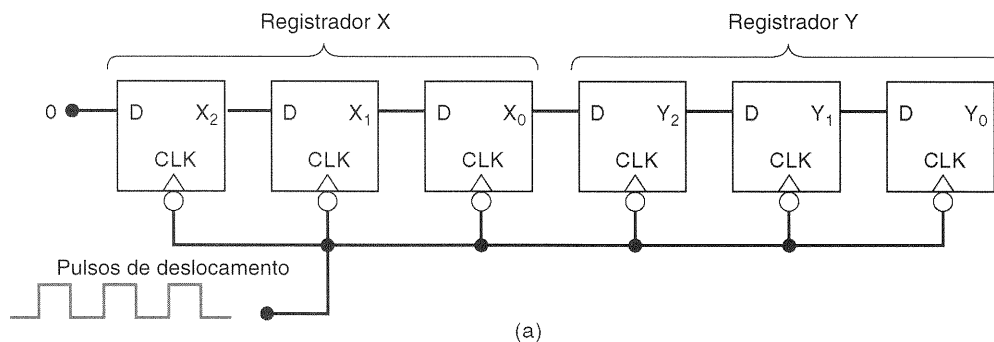
tado usando FFs disparados por transição, cujo valor de t_{11} seja menor que o atraso de propagação (da saída em relação ao CLK). Este último requisito é tranqüilamente satisfeito pela maioria dos mais modernos FFs disparados por transição.

Transferência Serial entre Registradores

A Fig. 5-46(a) mostra dois registradores de deslocamento de três bits conectados de tal modo que o conteúdo do registrador X seja transferido serialmente (deslocado) para o registrador Y . Estamos usando flip-flops D para cada registrador porque este necessita de um menor número de ligações do que os flip-flops J-K. Observe como X_0 , o último FF do registrador X , está conectado à entrada D de Y_2 , o primeiro FF do registrador Y . Portanto, quando os pulsos de deslocamento são aplicados, a transferência de informação ocorre da seguinte maneira: $X_2 \rightarrow X_1 \rightarrow X_0 \rightarrow Y_2 \rightarrow Y_1 \rightarrow Y_0$. O flip-flop X_2 vai para o estado determinado por sua entrada D . Por enquanto, D será mantido em BAIXO, fazendo com que X_2 vá para BAIXO no primeiro pulso e depois permaneça neste estado.

Para ilustrar, vamos considerar que antes de os pulsos de deslocamento serem aplicados o conteúdo do registrador X seja 101 (isto é, $X_2 = 1$, $X_1 = 0$, $X_0 = 1$) e o do registrador Y , 000. Veja a tabela na Fig. 5-46(b), que mostra como os estados de cada flip-flop mudam à medida que os pulsos de deslocamento são aplicados. A partir desta tabela, podemos notar que:

1. Na transição negativa de cada pulso, cada FF assume o valor que foi armazenado no FF à sua esquerda, antes da ocorrência do pulso.
2. Após *três* pulsos, o 1 que estava inicialmente em X_2 está agora em Y_2 , o 0 que estava inicialmente em X_1 está em



X_2	X_1	X_0	Y_2	Y_1	Y_0	
1	0	1	0	0	0	← Antes de os pulsos serem aplicados
0	1	0	1	0	0	← Depois do primeiro pulso
0	0	1	0	1	0	← Depois do segundo pulso
0	0	0	1	0	1	← Depois do terceiro pulso

Fig. 5-46 Transferência serial de informação do registrador X para o registrador Y .

Y_1 e o 1 que estava inicialmente em X_0 está agora em Y_0 . Em outras palavras, o 101 armazenado no registrador X foi deslocado para o registrador Y , o conteúdo do registrador X é agora 000, e portanto ele perdeu seu valor inicial.

3. A transferência completa de três bits necessita de três pulsos de deslocamento.

EXEMPLO 5-13

Suponha os mesmos valores iniciais para os registradores X e Y da Fig. 5-46. O que acontece com o conteúdo de cada FF após a ocorrência do sexto pulso de deslocamento?

Solução

Se continuarmos o processo mostrado na Fig. 5-46(b) por mais três pulsos, vamos verificar que todos os FFs estarão em 0 após o sexto pulso. Uma outra maneira de se chegar a esta conclusão é a seguinte: o nível 0 constante na entrada D do flip-flop X_2 é deslocado a cada pulso, assim após seis pulsos os registradores estão preenchidos com 0s.

Operação de Deslocamento para a Esquerda

Os FFs na Fig. 5-46 podem ser facilmente conectados para que a informação seja deslocada da direita para a esquerda. Não existe nenhuma vantagem de fazer o deslocamento em um sentido em vez do outro. O sentido a ser escolhido pelo projetista dependerá da natureza da aplicação, como veremos a seguir.

Transferência Paralela Versus Serial

Na **transferência paralela**, todas as informações são transmitidas simultaneamente na ocorrência de um *único* pulso de transferência (Fig. 5-44), não importando o número de bits que estejam sendo transferidos. Na **transferência serial**, exemplificada na Fig. 5-46, a transferência completa de N bits de informação necessita de N pulsos de clock (três bits necessitam de três pulsos, quatro bits necessitam de quatro pulsos e assim por diante). Portanto, a transferência paralela é muito mais rápida do que a transferência serial utilizando registradores de deslocamento.

Na transferência paralela, a saída de cada FF no registrador X está conectada à entrada do FF correspondente no registrador Y . Na transferência serial, apenas o último FF no registrador X é conectado ao registrador Y . Portanto, de modo geral, a transferência paralela requer um maior número de interconexões entre o registrador emissor (X) e o receptor (Y) do que a transferência serial. Esta diferença torna-se mais significativa quando um grande número de bits de informação deve ser transferido. Esta consideração também é importante quando os registradores emissor e receptor estão distantes um do outro, pois isto determina quantas linhas de transmissão (fios) serão necessárias para a transmissão da informação.

A escolha de um tipo particular de transmissão (paralela ou serial) depende da aplicação e das especificações fornecidas. Geralmente, uma combinação dos dois tipos é utilizada para tirar proveito da *velocidade* da transferência paralela e da *economia e simplicidade* da transmissão serial. Adiante falaremos mais sobre transferência de informações.

Questões de Revisão

1. *Verdadeiro ou falso*: O método mais rápido de transferir dados de um registrador para o outro é através da transferência paralela.
2. Qual é a maior vantagem da transferência serial sobre a paralela?
3. Observe a Fig. 5-46. Considere que os valores iniciais dos registradores são: $X_2 = 0$, $X_1 = 1$, $X_0 = 0$, $Y_2 = 1$, $Y_1 = 1$ e $Y_0 = 0$. Você também deve considerar que a entrada D de X_2 é mantida em ALTO. Determine o valor da saída de cada flip-flop após o quarto pulso de deslocamento.
4. Em que tipo de transferência de dados o emissor não perde os dados transferidos?

5-19 DIVISÃO DE FREQUÊNCIA E CONTAGEM

Observe a Fig. 5-47(a). Cada FF tem suas entradas J e K em nível 1, e portanto ele irá mudar de estado (comutar) sempre que o sinal em sua entrada CLK for de ALTO para BAIXO. Os pulsos de clock são aplicados apenas na entrada CLK do FF Q_0 . A saída de Q_0 está conectada à entrada CLK de Q_1 , e a saída de Q_1 , por sua vez, está conectada à entrada CLK de Q_2 . As formas de onda na Fig. 5-47(b) mostram como os FFs mudam de estado à medida que os pulsos são aplicados. Vamos destacar alguns pontos importantes:

1. O flip-flop Q_0 comuta na descida de cada pulso de clock. Portanto, a forma de onda da saída Q_0 tem uma frequência que é exatamente igual à metade da frequência do sinal de clock.
2. O flip-flop Q_1 comuta toda vez que a saída Q_0 vai de ALTO para BAIXO. A forma de onda de Q_1 tem frequência igual à metade da frequência da saída Q_0 e, portanto, um quarto da frequência do sinal de clock.
3. O flip-flop Q_2 comuta cada vez que a saída Q_1 vai de ALTO para BAIXO, logo, a forma de onda de Q_2 tem frequência igual à metade da frequência de Q_1 e, portanto, um oitavo da frequência do sinal de clock.
4. Cada forma de onda é uma onda quadrada (50% de taxa de ciclo*).

Conforme foi descrito anteriormente, cada FF divide a frequência de entrada por 2. Portanto, se adicionássemos um quarto FF a esta cadeia, ele teria frequência igual a um

*Taxa de ciclo é a razão entre o tempo em nível ALTO e o período da forma de onda. É comum a utilização do termo em inglês, *duty cycle*. (N. do T.)

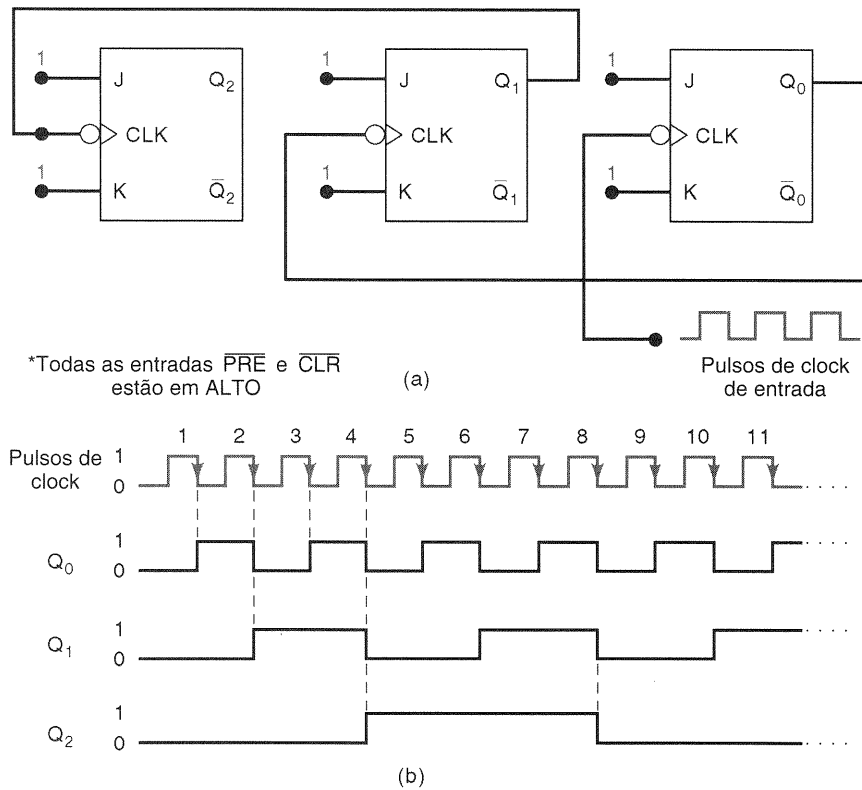


Fig. 5-47 Flip-flops J-K conectados para formar um contador de três bits (módulo 8).

dezesesseis avos da frequência do sinal de clock, e assim por diante. Usando o número apropriado de FFs, este circuito poderia dividir uma frequência por qualquer potência de 2. Especificamente, utilizando N flip-flops produziríamos uma frequência de saída no último flip-flop que seria igual a $1/2^N$ da frequência de entrada.

Esta aplicação de flip-flops é chamada de **divisão de frequência**. Muitas aplicações necessitam de divisão de frequência. Por exemplo, seu relógio de pulso, que é sem dúvida um relógio “quartz”. Falaremos mais sobre osciladores a cristal mais adiante neste capítulo, mas o termo *relógio quartz* significa que um cristal de quartzo é utilizado, em um oscilador, para gerar uma frequência bastante estável. A frequência natural de ressonância do cristal de quartzo do seu relógio é em torno de 1 MHz ou mais. Para que o mostrador dos segundos seja atualizado a cada 1 segundo, a frequência do oscilador é *dividida* para gerar uma frequência de saída bastante estável e precisa de 1 Hz.

Operação de Contagem

Além de funcionar como um divisor de frequência, o circuito da Fig. 5-47 também funciona como um **contador binário**. Isto pode ser demonstrado observando-se a seqüência de estados dos FFs após a ocorrência de cada pulso de clock. A Fig. 5-48 apresenta os resultados em uma **tabela de estados**. Vamos dizer que $Q_2Q_1Q_0$ representam um número binário onde Q_2 está na posição 2^2 , Q_1 está na posição 2^1 e Q_0 está na posição 2^0 . Os primeiros oito estados de $Q_2Q_1Q_0$ devem ser reconhecidos como a seqüência de contagem binária de 000 a 111. Após a primeira transi-

ção negativa, os FFs estão no estado 001 ($Q_2 = 0$, $Q_1 = 0$ e $Q_0 = 1$), que representa 001_2 (equivalente ao decimal 1). Após a segunda transição negativa, os FFs estão no estado 010₂, que é equivalente a 2₁₀. Após três pulsos, eles estão em 011₂ = 3₁₀; após quatro pulsos, eles estão em 100₂ = 4₁₀ e assim sucessivamente, até que após 7 pulsos eles estão em 111₂ = 7₁₀. Na oitava transição negativa, os FFs retornam

2^2	2^1	2^0	
Q_2	Q_1	Q_0	
0	0	0	Antes dos pulsos de clock serem aplicados
0	0	1	Após pulso #1
0	1	0	Após pulso #2
0	1	1	Após pulso #3
1	0	0	Após pulso #4
1	0	1	Após pulso #5
1	1	0	Após pulso #6
1	1	1	Após pulso #7
0	0	0	Após pulso #8 retorna a 000
0	0	1	Após pulso #9
0	1	0	Após pulso #10
0	1	1	Após pulso #11
.	.	.	.
.	.	.	.

Fig. 5-48 A tabela de estados dos flip-flops mostra a seqüência de contagem binária.

ao estado 000, e a seqüência binária se repete para os pulsos seguintes.

Então, para os primeiros sete pulsos de entrada, o circuito funciona como um contador binário, no qual o estado dos FFs representa o número binário equivalente ao número de pulsos que já ocorreram. Este contador pode contar até $111_2 = 7_{10}$ antes de retornar a 000.

Diagrama de Transição de Estados

Uma outra maneira de mostrar como os estados dos FFs mudam após cada pulso de clock é utilizar o **diagrama de transição de estados**, como pode ser visto na Fig. 5-49. Cada círculo representa um estado possível, como está indicado pelo número binário que está dentro do círculo. Por exemplo, o círculo que contém o número 100 representa o estado 100 (isto é, $Q_2 = 1, Q_1 = Q_0 = 0$).

As setas que ligam um círculo a outro mostram como um estado muda para outro quando o pulso de clock é aplicado. Apenas olhando para um estado em particular, podemos ver o estado que o precede e aquele que o sucede. Por exemplo, olhando para o estado 000, podemos ver que este estado é alcançado sempre que a contagem é 111 e um pulso de clock é aplicado. De modo semelhante, podemos ver que o estado 000 é sempre seguido pelo estado 001.

Usaremos os diagramas de transição de estados para nos ajudar a descrever, analisar e projetar contadores e outros circuitos seqüenciais.

Módulo do Contador

O contador da Fig. 5-47 possui $2^3 = 8$ estados diferentes (000 a 111). Dizemos que este é um contador de *módulo 8*, onde o valor do **módulo** indica o número de estados da seqüência binária. Se um quarto FF fosse adicionado, a seqüência de estados contaria, em binário, de 0000 a 1111, num total de 16 estados. Este seria um contador de *módulo*

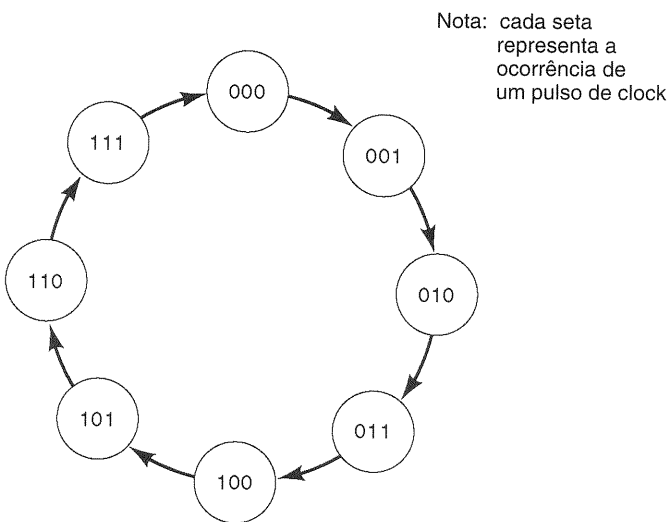


Fig. 5-49 O diagrama de transição de estados mostra como os estados do contador mudam a cada pulso de clock.

16. De um modo geral, se N flip-flops estão conectados na configuração mostrada na Fig. 5-47, o contador resultante terá 2^N estados diferentes, e portanto será um contador de módulo 2^N . Ele será capaz de contar até $2^N - 1$ antes de retornar ao estado 0.

O módulo de um contador também indica a relação entre a freqüência de entrada e a freqüência de saída no último flip-flop. Por exemplo, um contador de quatro bits possui quatro FFs, onde cada um representa um dígito binário (bit) e é um contador de módulo 16. Ele pode contar até 15 ($2^4 - 1$), e também pode ser usado para dividir a freqüência de entrada por 16 (o módulo do contador).

Estudamos apenas um contador binário elementar. Estudaremos contadores com muito mais detalhes no Capítulo 7.

EXEMPLO 5-14

Consideremos que o contador de módulo 8 da Fig. 5-47 está no estado 101. Qual será o estado (a contagem) após 13 pulsos terem sido aplicados?

Solução

Localize o estado 101 no diagrama de transição de estados. Siga o diagrama por 8 mudanças de estado. Você deve ter retornado ao estado 101. Agora continue por mais cinco mudanças de estado (fazendo um total de 13). Você deve estar agora no estado 010.

Observe que, como este é um contador de módulo 8, ele necessita de oito transições de estado para fazer uma excursão completa no diagrama e retornar ao estado inicial.

EXEMPLO 5-15

Considere um circuito contador que possui seis FFs conectados segundo o diagrama da Fig. 5-47 (isto é, $Q_5, Q_4, Q_3, Q_2, Q_1, Q_0$).

- (a) Determine o módulo do contador.
- (b) Determine a freqüência na saída do último FF (Q_5) quando a freqüência de entrada é 1 MHz.
- (c) Qual é a faixa de contagem para este contador?
- (d) Suponha que o estado (contagem) inicial é 000000. Qual será o estado deste contador após 129 pulsos?

Solução

- (a) Módulo = $2^6 = 64$.
- (b) A freqüência na saída do último FF será igual à freqüência de entrada do clock dividida pelo módulo do contador, isto é,

$$f(\text{em } Q_5) = \frac{1 \text{ MHz}}{64} = 15,625 \text{ kHz}$$

- (c) O contador irá contar de 000000_2 até 111111_2 (0 a 63_{10}) num total de 64 estados. Observe que o número de estados é igual ao módulo do contador.
- (d) Uma vez que este é um contador de módulo 64, a cada 64 pulsos de clock o contador é trazido ao seu estado

inicial. Portanto, após 128 pulsos de clock, a contagem retorna para 000000. O 129º pulso coloca o contador no estado 000001.

Questões de Revisão

1. Um sinal de clock de 20 kHz é aplicado a um flip-flop J-K com $J = K = 1$. Qual é a frequência do sinal de saída do FF?
2. Quantos FFs são necessários para construir um contador que seja capaz de contar de 0 a 255_{10} ?
3. O que é o módulo de um contador?
4. Qual é a saída do oitavo FF quando a frequência de entrada do clock é de 512 kHz?
5. Se este contador começa em 00000000, qual será o seu estado após 520 pulsos?

5-20 APLICAÇÃO EM MICROCOMPUTADOR

Estamos apenas iniciando o nosso estudo de sistemas digitais e por isto você ainda não aprendeu muito sobre microprocessadores e microcomputadores. Entretanto, você pode entender como FFs são utilizados em uma aplicação controlada por microprocessador, sem se preocupar com todos os detalhes referentes à aplicação que você precisará saber mais tarde.

A Fig. 5-50 mostra uma unidade microprocessadora (MPU) onde suas saídas são usadas para transferir dados binários para o registrador X , que é constituído de 4 flip-flops do tipo D, X_3 , X_2 , X_1 e X_0 . Um conjunto de saídas da MPU fornece o *endereço* e é formado pelas saídas A_{15} , A_{14} , A_{13} , A_{12} , A_{11} , A_{10} , A_9 e A_8 . A maioria das MPUs possui pelo menos 16 linhas de endereço disponíveis, mas nem sempre todas elas são usadas. Um segundo conjunto de saídas da MPU é composto de quatro *linhas de dados* D_3 , D_2 , D_1 e D_0 . A maioria das MPUs tem pelo menos oito linhas de dados disponíveis. O outro sinal da MPU é o sinal de clock, CP .

Lembre-se de que a MPU é a unidade central de processamento de um microcomputador, e sua função principal é executar um conjunto de instruções (programa) armazenado na memória do computador. Uma das instruções, que ele pode executar, é aquela que diz à MPU para transferir um número binário de um registrador de armazenamento interno da MPU para um outro registrador externo X . A execução desta instrução se dá nas seguintes etapas:

1. O endereço apropriado é colocado nas linhas de endereço (A_3 a A_8) para selecionar o registrador X como destino dos dados a serem transferidos.
2. O número binário é colocado nas linhas de dados (D_3 a D_0).
3. Uma vez que as linhas de endereços e dados estão estáveis, a MPU gera o pulso de clock CP para o registrador, completando a transferência paralela de dados para X .

Existem muitas situações em que a MPU, sob o controle de um programa, transfere dados para registradores externos para controlar eventos externos. Por exemplo, as saídas dos FFs de um registrador podem ligar e desligar (através de circuitos de interface apropriados) dispositivos eletromecânicos como solenóides, relés, motores etc. Os dados que são enviados pela MPU para o registrador vão determinar que dispositivos devem estar ligados e quais devem estar desligados. Um outro exemplo bastante comum, é aquele que um registrador é utilizado para armazenar um número binário que servirá de entrada para um conversor digital-analógico (conversor D/A). A MPU transfere este número binário para o registrador, e o conversor gera uma tensão analógica que pode ser usada para controlar algo, como a posição de um feixe de elétrons em um tubo de imagem ou a velocidade de um motor.

EXEMPLO 5-16

- (a) Que endereço deve ser gerado pela MPU para que os dados sejam transferidos para o registrador X ?
- (b) Considere que X_3 - $X_0 = 0110$, A_{15} - $A_8 = 11111111$ e D_3 - $D_0 = 1011$. Qual será o conteúdo de X após o pulso de CP ?

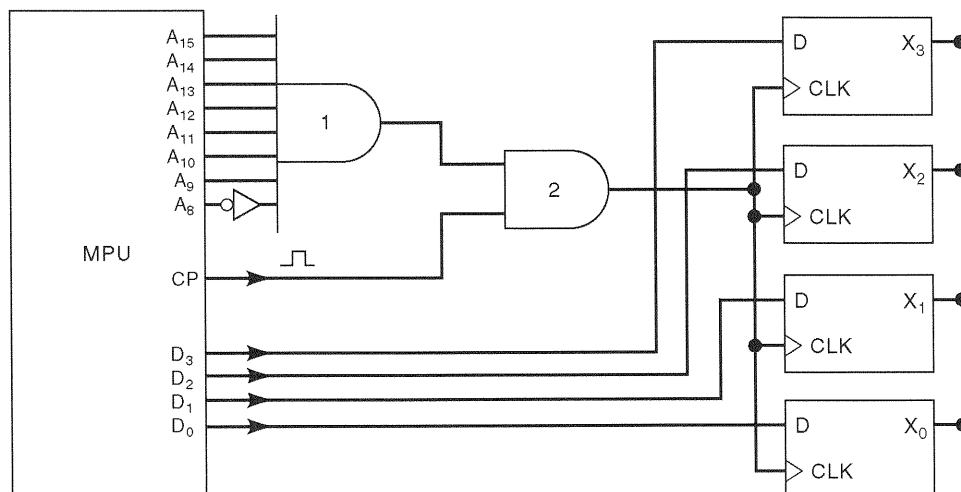


Fig. 5-50 Exemplo de um microprocessador transferindo dados binários para um registrador externo.

Solução

- (a) Para que os dados sejam transferidos para X , o pulso de clock deve passar pela porta AND 2 para chegar às entradas CLK dos FFs. Isto acontecerá se a entrada superior da porta AND 2 estiver em ALTO. Isto significa que todas as entradas da porta AND 1 devem estar em ALTO, isto é, A_{15} até A_8 devem ser iguais a 1 e A_8 deve ser 0. Portanto, a presença do endereço 11111110 é necessária para permitir que os dados sejam transferidos para X .
- (b) Com $A_8 = 1$, o nível BAIXO na entrada da porta AND 1 vai impedir que CP chegue à porta AND 2, e portanto os FFs não serão disparados e o conteúdo do registrador não será alterado.

Questão de Revisão

1. Mostre como o 74HC175 da Fig. 5-34 pode ser usado como o registrador X da Fig. 5-50.

5-21 DISPOSITIVOS SCHMITT-TRIGGER

Um circuito **Schmitt-trigger** não é classificado como um flip-flop, mas possui um certo tipo de característica de memória que o torna bastante útil em determinadas situações. Uma destas situações está mostrada na Fig. 5-51(a). Neste caso, um INVERSOR comum está sendo acionado por uma entrada lógica que possui tempos de transição relativamente longos. Quando estes tempos de transição ultrapassam o valor máximo permitido (este depende de cada família lógica em particular), podem ocorrer oscilações nas saídas de portas lógicas e de INVERSORES à medida que o sinal de entrada passa pelo intervalo de indeterminação. Estas mesmas condições de entrada podem produzir disparos inesperados de flip-flops.

Um dispositivo que possui uma entrada do tipo Schmitt-trigger é projetado para aceitar sinais cuja transição é lenta e fornecer uma saída livre de oscilações. Esta saída geralmente possui tempos de transição muito rápidos (geralmente 10 ns) e é independente das características do sinal de entrada. A Fig. 5-51(b) mostra um INVERSOR Schmitt-trigger e sua resposta a uma entrada que varia lentamente.

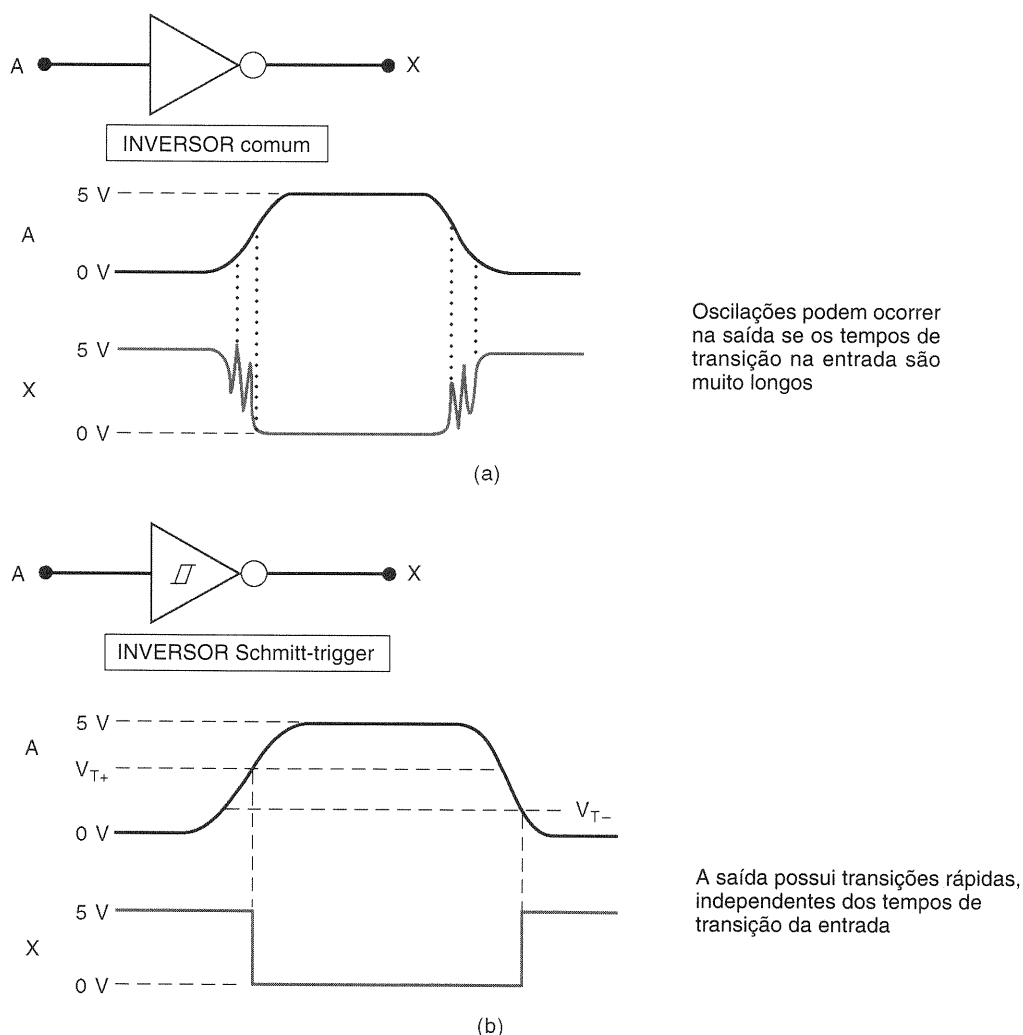


Fig. 5-51 (a) Se os tempos de transição são muito longos, a saída de um dispositivo lógico pode oscilar ou mudar de estado de modo imprevisível; (b) um dispositivo lógico com entradas do tipo Schmitt-trigger produzirá uma saída com transições rápidas.

Se você examinar as formas de onda da Fig. 5-51(b), deve notar que a saída não muda de ALTO para BAIXO até que a entrada ultrapasse a tensão de *limiar superior*, V_{T+} . Uma vez que a saída está em BAIXO, ela permanece neste estado, mesmo que a entrada caia abaixo de V_{T+} (esta é a característica de memória) e até que ela caia abaixo da tensão de *limiar inferior*, V_{T-} . Os valores destes dois limiares variam de uma família lógica para outra, mas V_{T-} sempre será menor que V_{T+} .

O INVERSOR Schmitt-trigger, e todos os outros dispositivos que possuem entradas deste tipo, utilizam um símbolo especial, mostrado na Fig. 5-51(b), para indicar que elas podem responder, de modo confiável, a entradas que variam lentamente. Os projetistas de circuitos lógicos usam CIs com entradas Schmitt-trigger para converter sinais que variam lentamente em sinais com transições rápidas e que podem acionar entradas de CIs comuns.

Vários CIs estão disponíveis com entradas Schmitt-trigger. O 7414, 74LS14 e o 74HC14 são CIs INVERSORES sêxtuplos com entradas Schmitt-trigger. O 74LS13 e o 74HC13 são CIs NANDs duplos de quatro entradas Schmitt-trigger.

Questões de Revisão

1. O que pode ocorrer quando um sinal com transições lentas é aplicado a um CI com entradas comuns?
2. Como um dispositivo lógico Schmitt-trigger opera de modo diferente ao de um dispositivo lógico comum?

5-22 MULTIVIBRADOR MONOESTÁVEL

Um circuito digital que está de algum modo relacionado com o flip-flop é o **monoestável** (abreviado MONO). Como o FF, o MONO possui duas saídas Q e \bar{Q} , que são o inverso uma da outra. Ao contrário do FF, o MONO possui apenas um estado de saída *estável* (normalmente $Q = 0$, $\bar{Q} = 1$), onde ele permanece até que seja disparado por um sinal de entrada. Uma vez disparado, o MONO muda para o estado oposto ($Q = 1$, $\bar{Q} = 0$). Ele permanece neste **estado quase-estável** por um período fixo de tempo t_p , que é geralmente definido pela constante de tempo RC , calculada a partir dos valores dos componentes externos R_T e C_T . Depois de um tempo t_p , os pulsos de saída OS retornam ao seu estado de repouso até serem disparados outra vez.

Existem dois tipos de MONOs disponíveis em circuitos integrados: os **MONOs redispáráveis*** e os **MONOs não-redispáráveis**.

Monoestável Não-redispárável

As formas de onda na Fig. 5-52(b) mostram a operação de um monoestável não-redispárável que é disparado na transição positiva da entrada T . Existem pontos importantes que devemos destacar:

1. As transições positivas nos pontos a , b , c e e vão disparar o MONO para o seu estado quase-estável por um in-

tervalo t_p , após o qual ele automaticamente retorna ao estado estável.

2. As transições positivas nos pontos d e f não têm efeito no MONO porque este já se encontra no estado quase-estável. O MONO só pode ser disparado no seu estado estável.
3. A duração do pulso de saída é sempre a mesma, e independente da duração dos pulsos de entrada. Como afirmamos anteriormente, t_p depende apenas de R_T , C_T e do circuito interno do MONO. Um MONO típico possui um t_p que é dado pela expressão $t_p = 0,7 R_T C_T$.

Monoestável Redispárável

O MONO redispárável funciona de modo similar ao MONO não-redispárável, mas com uma grande diferença: *ele pode ser disparado novamente durante seu estado quase-estável, iniciando um novo pulso de saída de duração t_p* . A Fig. 5-53(a) compara a resposta de ambos os tipos de monoestáveis com $t_p = 2$ ms. Vamos examinar estas formas de onda.

Ambos os tipos de MONO respondem ao primeiro pulso de disparo em $t = 1$ ms, indo para ALTO por 2 ms, e retornando depois a BAIXO. O segundo pulso de disparo, em $t = 5$ ms, dispara os dois monoestáveis que vão para ALTO. O terceiro pulso, em $t = 6$ ms, não tem efeito sobre o MONO não-redispárável, uma vez que ele já se encontra no seu estado quase-estável. Entretanto, este pulso vai *disparar* o MONO redispárável, que permanece em ALTO por 2 ms *após* este terceiro pulso.

Um MONO redispárável gera um pulso de saída de duração t_p toda vez que um pulso de disparo é aplicado, independentemente do estado atual de sua saída Q . Na verdade, o pulso de disparo pode ser aplicado em uma taxa alta o suficiente para que o MONO seja sempre redispárado antes do fim do intervalo t_p , fazendo com que a saída Q permaneça em ALTO. Isto é mostrado na Fig. 5-53(b), onde oito pulsos, com intervalo de 1 ms entre eles, são aplicados. A saída Q retorna para BAIXO somente 2 ms após o último pulso de disparo.

Dispositivos Reais

Vários CIs de monoestáveis estão disponíveis, tanto na versão redispárável quanto na versão não-redispárável. O 74121 é um CI com um único monoestável não-redispárável. O 74221, 74LS221 e o 74HC221 são CIs com dois monoestáveis não-redispáráveis. O 74122 e o 74LS122 são CIs com um único monoestável redispárável. O 74123, 74LS123 e o 74HC123 são CIs com dois monoestáveis redispáráveis.

A Fig. 5-54(a) mostra o símbolo tradicional para o 74121, CI com um monoestável não-redispárável. Observe que ele contém portas lógicas internas para permitir que as entradas A_1 , A_2 e B possam disparar o MONO de várias maneiras. A entrada B é do tipo Schmitt-trigger e portanto permite que sinais com transições lentas disparem o MONO de modo confiável. Os pinos indicados por R_{INT} , R_{EXT}/C_{EXT} e C_{EXT} são usados para conectar o capacitor e o resistor externos, com valores escolhidos para obter a duração desejada para o pulso de saída. A Fig. 5-54(b) é o símbolo IEEE/ANSI para

*É bastante comum o uso do termo "retrigável" (oriundo da palavra inglesa *retriggerable*) como sinônimo de redispárável. (N. do T.)

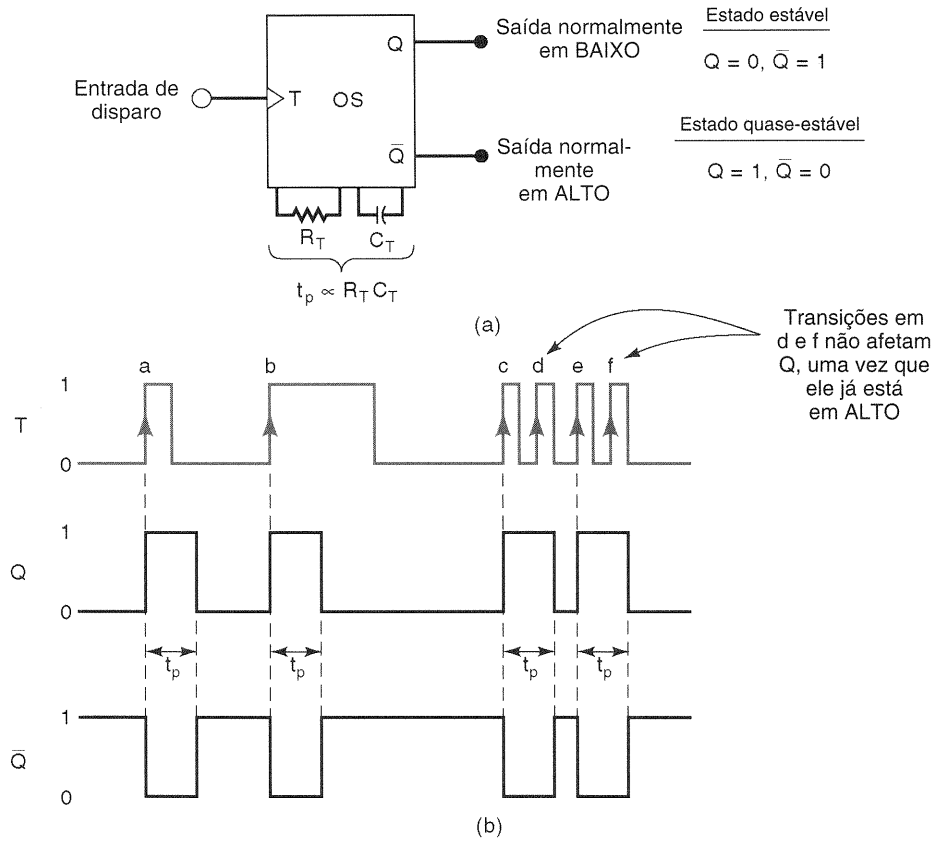


Fig. 5-52 Símbolo de um MONO e suas formas de onda típicas para a operação no modo não-redisparável.

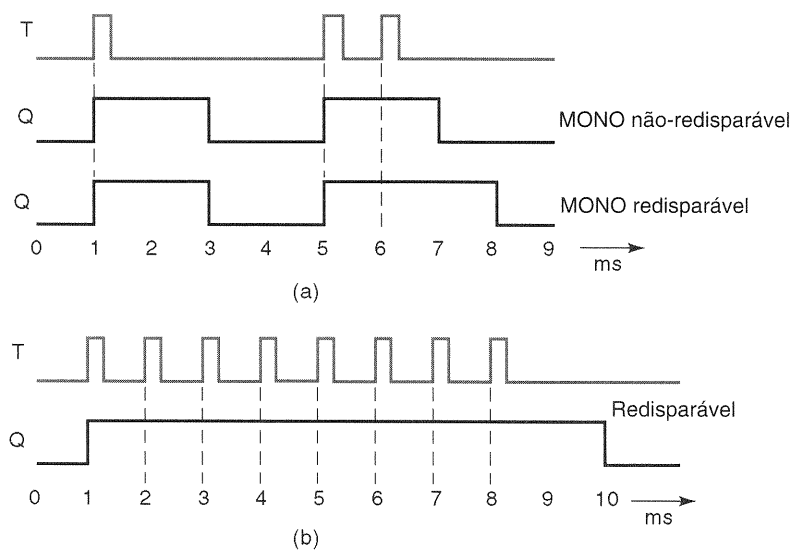


Fig. 5-53 (a) Comparação das respostas de MONOs redisparáveis e não-redisparáveis para $t_p = 2$ ms; (b) MONO redisparável inicia um novo intervalo t_p toda vez que recebe um pulso de disparo.

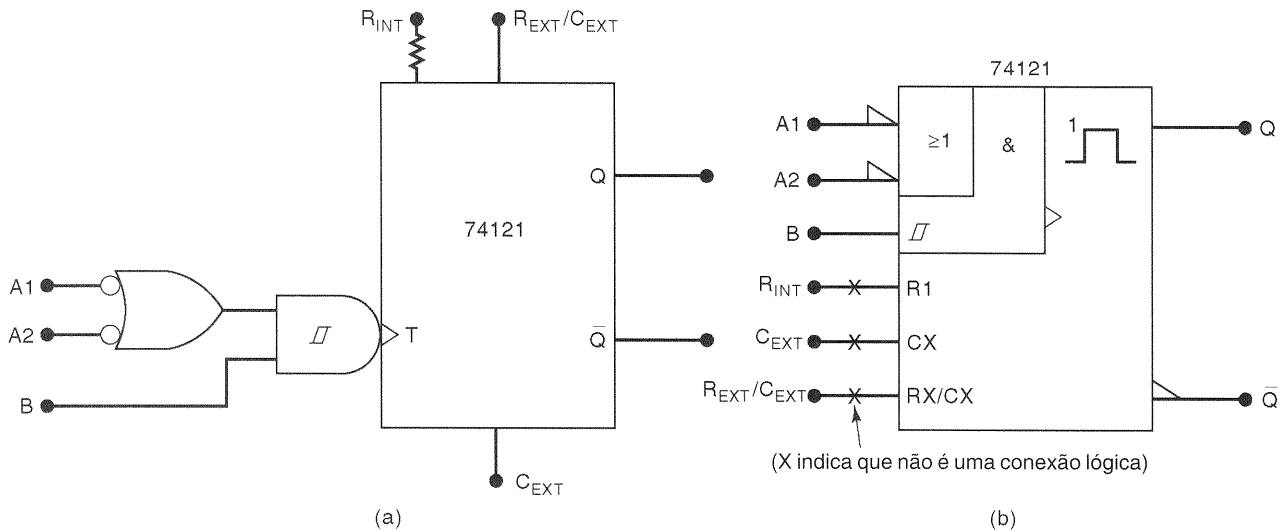


Fig. 5-54 Símbolos para o MONO não-redesparável 74121. (a) tradicional; (b) IEEE/ANSI.

o MONO não-redesparável 74121. Observe como este símbolo representa as portas lógicas. Observe também a presença de um pequeno pulso com o número 1 na frente. Isto indica que este dispositivo é um MONO não-redesparável. O símbolo IEEE/ANSI para um MONO redesparável nunca teria o número 1 na frente do pulso.

Multivibrador Monoestável

O monoestável tem este nome porque possui apenas um estado estável. Monoestáveis têm poucas aplicações na maioria dos sistemas síncronos, e projetistas experientes geralmente os evitam porque são susceptíveis a falsos disparos por ruídos espúrios. Eles são utilizados, geralmente, em aplicações simples de temporização. Vários exercícios no fim do capítulo mostram como um MONO é usado.

Questões de Revisão

1. Na ausência do pulso de disparo, qual será o estado da saída do MONO?
2. *Verdadeiro* ou *falso*: Quando um MONO não-redesparável se encontra no seu estado quase-estável, um pulso de disparo não afeta a saída.
3. O que determina o valor de t_p para um MONO?
4. Descreva como os MONOs redesparáveis funcionam de modo diferente dos não-redesparáveis.

5-23 ANÁLISE DE CIRCUITOS SEQÜENCIAIS

Muitos circuitos lógicos contêm FFs, MONOs e portas lógicas conectados para realizar uma operação específica. Frequentemente, um sinal de clock principal é usado para fazer com que os níveis lógicos do circuito passem por uma seqüência particular de estados. De um modo geral, pode-

mos analisar estes circuitos seqüenciais adotando o procedimento mostrado no exemplo a seguir.

EXEMPLO 5-17

Considere o circuito da Fig. 5-55. Inicialmente, todas as saídas dos FFs estão no estado 0, antes de os pulsos de clock serem aplicados. Estes pulsos são repetidos na frequência de 1kHz. Determine as formas de onda de X, Y, Z e W por oito ciclos de clock.

Solução

Passo 1. Examine o circuito. Procure por configurações familiares, como contadores, registradores de deslocamento etc.

Os FFs X, Y e Z estão conectados como um contador de três bits que irá contar os pulsos de clock, desde que as entradas J e K do FF Z, que são acionadas pela saída da porta NAND, W, estejam em ALTO. As entradas da porta NAND são acionadas pelas saídas X, Y e Z.

Passo 2. No diagrama do circuito, escreva os níveis lógicos presentes em cada saída e cada entrada antes da ocorrência do primeiro pulso de clock.

Os FFs estão inicialmente no estado 0. As entradas da porta NAND estão em 0, 1 e 1, respectivamente, e portanto W está em ALTO. Todas as entradas J e K estão em 1. Estes estados estão mostrados no diagrama do circuito.

Passo 3. Utilizando estas condições, determine os novos estados de cada FF em resposta ao primeiro pulso de clock.

Na descida do primeiro pulso de clock, Z vai comutar para o estado 1 e X e Y permanecem em BAIXO. Veja as formas de onda na Fig. 5-55.

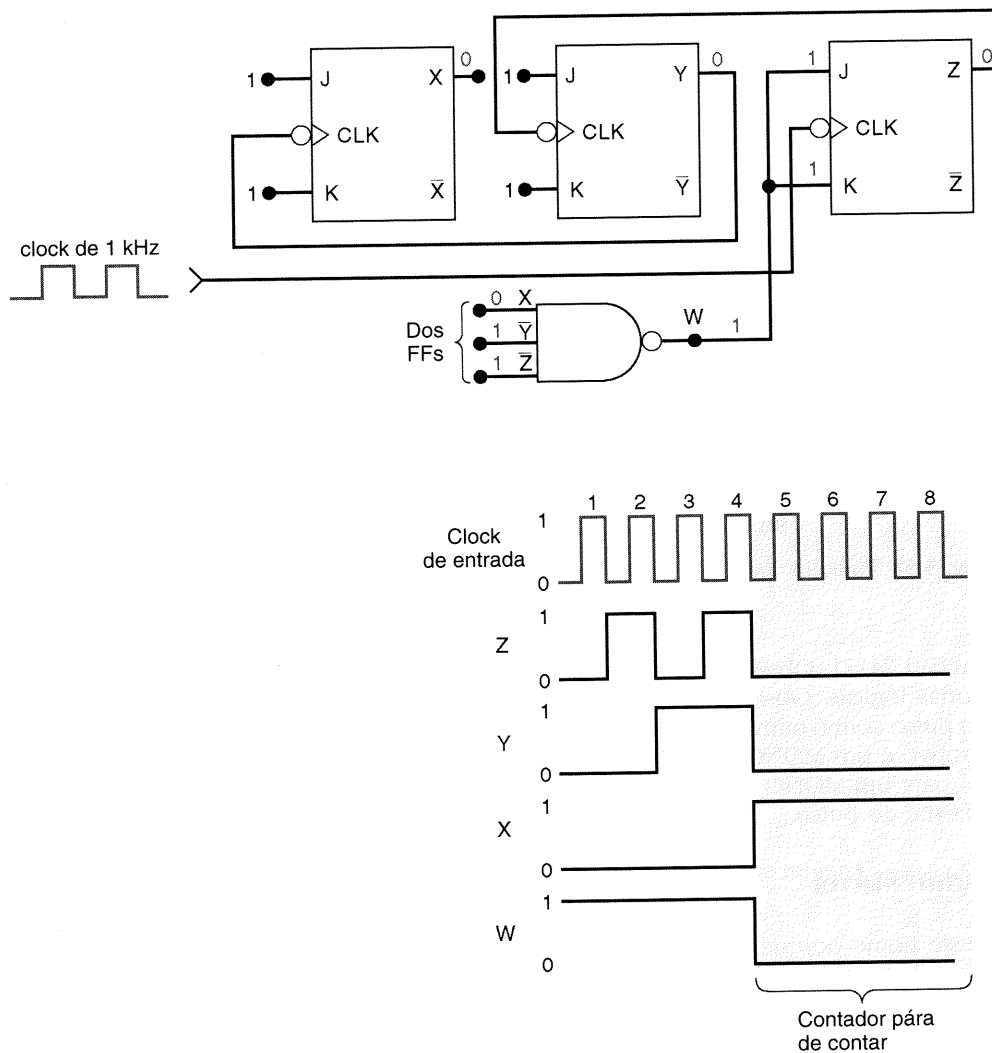


Fig. 5-55 Exemplo 5-17.

Passo 4. Volte e repita os passos 2 e 3 para o segundo pulso de clock, para o terceiro pulso e assim por diante.

Com Z agora em 1, as entradas da porta NAND estão em 0, 1 e 0, respectivamente, de modo que antes do segundo pulso de clock W ainda está em ALTO, todas as entradas J e K estão em ALTO e cada FF está pronto para comutar (você pode querer atualizar estes níveis no diagrama). A descida do segundo pulso de clock faz com que Z mude de 1 para 0. A transição negativa em Z, por sua vez, comuta Y de 0 para 1. X permanece em 0. Veja as formas de onda.

Antes do terceiro pulso de clock, as entradas da porta NAND são 0, 0 e 1, respectivamente, de modo que W ainda está em ALTO e todas as entradas J e K estão também em ALTO. O terceiro pulso de clock comuta Z de 0 para 1, enquanto X e Y permanecem inalterados. Veja as formas de onda.

Antes do quarto pulso de clock, as entradas da porta NAND estão todas em 0, e portanto a saída W e todas as entradas J e K ainda estão em ALTO. O quarto pulso comuta Z de 1 para 0, o que, por sua vez, comuta Y de 1 para 0, fazendo com que X comute de 0 para 1. Veja as formas de onda.

Antes do quinto pulso de clock, as entradas da porta NAND estão todas em 1, de modo que a saída W está em BAIXO. Isto faz com que as entradas J e K do FF Z estejam em BAIXO, portanto sua saída não se altera. O quinto pulso de clock não vai ter qualquer efeito em Z, e nenhum dos níveis lógicos no circuito vai mudar. Na verdade, nenhuma das transições negativas a seguir causará mudança alguma, pois o contador está impedido de contar. Veja as formas de onda.

5-24 CIRCUITOS GERADORES DE CLOCK

Flip-flops possuem dois estados estáveis e, portanto, podem ser chamados de multivibradores biestáveis. Monoestáveis são chamados assim porque possuem apenas um estado estável. Um terceiro tipo é chamado de **multivibrador astável**. A saída deste tipo de circuito lógico oscila entre dois estados instáveis. Ele é bastante útil para gerar sinais de clock em sistemas digitais síncronos.

Vários tipos de multivibradores astáveis são de uso comum. Apresentaremos três deles, sem fazer qualquer tenta-

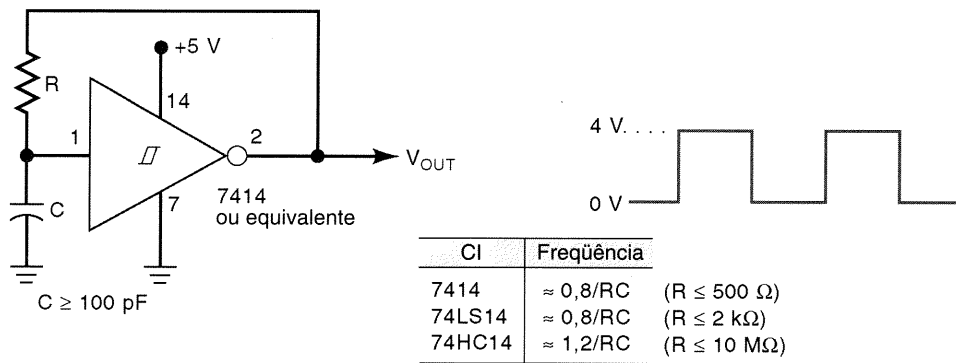


Fig. 5-56 Oscilador Schmitt-trigger usando um INVERSOR 7414. Um Schmitt-trigger NAND 7413 também pode ser usado.

tiva de analisar seu funcionamento. Eles são apresentados para que você possa construir um circuito gerador de clock, caso precise de um, para um projeto ou para testar circuitos no laboratório.

Oscilador Schmitt-Trigger

A Fig. 5-56 mostra como um INVERSOR Schmitt-trigger pode ser conectado como um oscilador. O sinal V_{OUT} é aproximadamente uma onda quadrada com uma freqüência que depende dos valores de R e C . A relação entre a freqüência e o valor da constante RC está mostrada na Fig. 5-56 para três tipos de INVERSORES Schmitt-trigger. Observe os limites máximos do valor de resistência para cada dispositivo. O circuito não funcionará se o valor da resistência não estiver abaixo destes limites.

mostra como componentes externos podem ser conectados ao 555 para que ele funcione como um oscilador. Sua saída é uma forma de onda retangular repetitiva, que comuta entre dois níveis lógicos, e com o tempo de permanência em cada um destes níveis determinado pelos valores de R e C . As fórmulas para os tempos t_1 e t_2 e para o período total, T , podem ser vistas na figura. A freqüência do oscilador é, obviamente, igual ao inverso de T . As fórmulas apresentadas indicam que t_1 e t_2 não podem ser iguais, a não ser que R_A seja igual a zero. Isto não pode ser feito sem produzir um excesso de corrente através do dispositivo, o que significa que é impossível produzir uma onda quadrada perfeita com 50% de taxa de ciclo. É possível, entretanto, chegar bem próximo de 50% fazendo com que $R_B \gg R_A$ (desde que você mantenha R_A maior do que $1 \text{ k}\Omega$), conseguindo que $t_1 \approx t_2$.

Temporizador 555 Utilizado como um Multivibrador Astável

O temporizador 555 é um dispositivo compatível com TTL e que pode funcionar de diversas maneiras. A Fig. 5-57

EXEMPLO 5-18

Calcule a freqüência e a taxa de ciclo da saída do multivibrador astável 555 para $C = 0,001 \mu\text{F}$, $R_A = 2,2 \text{ k}\Omega$ e $R_B = 100 \text{ k}\Omega$.

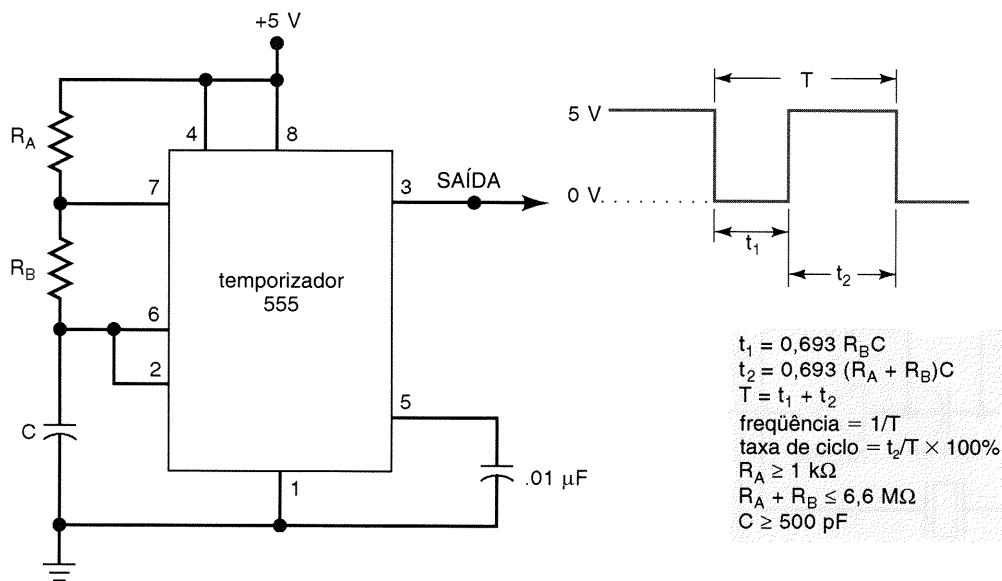


Fig. 5-57 Temporizador 555 usado como multivibrador astável.

Solução

$$t_1 = 0,693(100 \text{ k}\Omega)(0,001 \text{ }\mu\text{F}) = 69,3 \text{ }\mu\text{s}$$

$$t_2 = 0,693(102,2 \text{ k}\Omega)(0,001 \text{ }\mu\text{F}) = 70,7 \text{ }\mu\text{s}$$

$$T = 69,3 + 70,7 = 140 \text{ }\mu\text{s}$$

$$f = 1/140 \text{ }\mu\text{s} = 7,29 \text{ kHz}$$

$$\text{taxa de ciclo} = 70,7/140 = 50,5\%$$

Observe que a taxa de ciclo é bem próxima de 50% (onda quadrada) porque R_B é muito maior que R_A . Podemos fazê-la ainda mais próxima de 50% fazendo R_B ainda maior que R_A . Por exemplo, você deve verificar que, se mudarmos o valor de R_A para 1 k Ω (valor mínimo permitido), teremos $f = 7,18$ kHz e a taxa de ciclo = 50,3%.

Geradores de Clock a Cristal

As frequências de saída dos sinais provenientes dos circuitos descritos anteriormente dependem dos valores de resistores e capacitores, e portanto não são extremamente precisos ou estáveis. Mesmo que resistores variáveis sejam utilizados para que a frequência desejada seja obtida através do ajuste destes resistores, os valores de R e C podem sofrer alterações devido a mudanças na temperatura ambiente e ao envelhecimento dos componentes, causando um desvio no valor da frequência ajustada. Se a precisão e a estabilidade da frequência são críticas, uma outra maneira de gerar sinais de clock pode ser usada: um **gerador de clock a cristal**. Ele utiliza um componente bastante preciso e estável chamado *cristal de quartzo*. Um pedaço de cristal de quartzo pode ser cortado, com forma e tamanho específicos, para vibrar (ressoar) em uma frequência precisa e extremamente estável com a temperatura e com o envelhecimento. Cristais com frequências de 10 kHz a 80 MHz estão prontamente disponíveis. Quando um cristal é colocado em determinados circuitos, estes podem oscilar em uma frequência precisa e estável, igual à frequência de ressonância do cristal. Dois destes circuitos são mostrados na Fig. 5-58.

O circuito da Fig. 5-58(a) é construído usando inversores TTL 74LS04. Poderíamos também usar o inversor Schmitt-trigger 74LS14. O valor de R está geralmente entre 300 e 1500 Ω , e depende do tipo do cristal utilizado e da sua frequên-

cia. Este circuito é capaz de produzir frequências de clock de até 20 MHz. O circuito da Fig. 5-58(b) usa inversores CMOS do CI 74HC04. Um valor típico para R é 100 k Ω . Este circuito é capaz de oscilar em frequências de até 10 MHz.

Geradores de clock a cristal, como aqueles mostrados na Fig. 5-58, são usados em todos os sistemas baseados em microprocessadores e em microcomputadores, e também em qualquer aplicação na qual o sinal de clock necessite ser gerado com precisão. Veremos algumas destas aplicações nos próximos capítulos.

Questões de Revisão

1. Determine a frequência aproximada do oscilador Schmitt-trigger que utiliza um 74HC14 com $R = 10$ k Ω e $C = 0,005 \text{ }\mu\text{F}$.
2. Determine a frequência aproximada e a taxa de ciclo de um oscilador 555 para $R_A = R_B = 2,2 \text{ k}\Omega$ e $C = 2.000 \text{ pF}$.
3. Qual é a vantagem dos geradores de clock a cristal sobre aqueles baseados em RC ?

5-25 DEPURAÇÃO DE CIRCUITOS COM FLIP-FLOPS

Os CIs de flip-flops são susceptíveis aos mesmos tipos de falhas internas e externas que ocorrem em circuitos lógicos combinacionais. Todas as técnicas de depuração, discutidas no Cap. 4, podem ser prontamente aplicadas aos circuitos que contêm FFs tanto quanto àqueles com portas lógicas.

Por causa de suas características de memória, os circuitos com FFs com uma ou mais falhas frequentemente exibem sintomas que não ocorreriam em circuitos combinacionais. Alguns deles são descritos a seguir.

Entradas em Aberto

Entradas desconectadas ou em flutuação de qualquer circuito lógico são especialmente susceptíveis para captar flu-

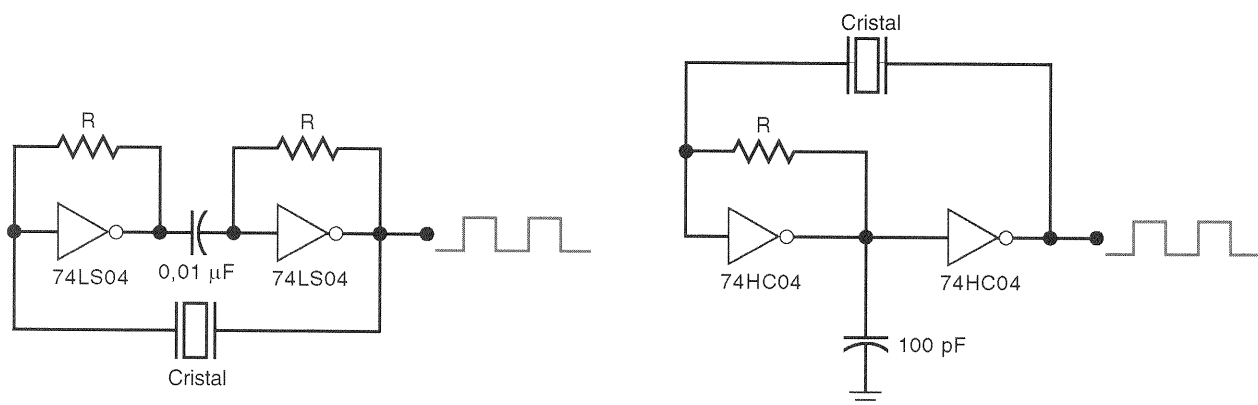


Fig. 5-58 Circuitos geradores de clock a cristal: (a) usando inversores TTL; (b) usando inversores CMOS.

tuações de tensão espúrias denominadas *ruído*. Se o ruído é grande o suficiente em amplitude e duração, a saída do circuito lógico pode alterar seu estado em resposta ao ruído. Em uma porta lógica, a saída retorna ao seu estado original quando o ruído termina. Num FF, entretanto, a saída permanece no seu novo estado por causa da sua característica de memória. Assim, o efeito de captação do ruído em qualquer entrada aberta é usualmente mais crítico para um FF ou latch do que para uma porta lógica.

As entradas mais susceptíveis do FF são aquelas que podem colocá-lo em um estado diferente, tais como: *CLK*, *PRESET* e *CLEAR*. Sempre que você vir uma saída de FF mudando de estado de modo errático, você pode considerar a possibilidade de uma conexão aberta em uma destas entradas.

EXEMPLO 5-19

A Fig. 5-59 mostra um registrador de deslocamento de três bits construído com flip-flops TTL. Inicialmente, todos os FFs estão no estado BAIXO antes de os pulsos de clock serem aplicados. Conforme os pulsos de clock são aplicados, cada transição positiva causa o deslocamento da informação de cada FF para o outro à sua direita. O diagrama mostra a seqüência “esperada” de estados dos FFs depois de cada pulso de clock. Já que $J_2 = 1$ e $K_2 = 0$, o flip-flop X_2 vai para ALTO no pulso de clock 1, e permanecerá lá durante os pulsos subseqüentes. Este nível ALTO se desloca

para X_1 e depois para X_0 nos pulsos de clock 2 e 3, respectivamente. Assim, após o terceiro pulso, todos os FFs estarão em ALTO, e devem permanecer neste nível conforme os pulsos vão sendo aplicados.

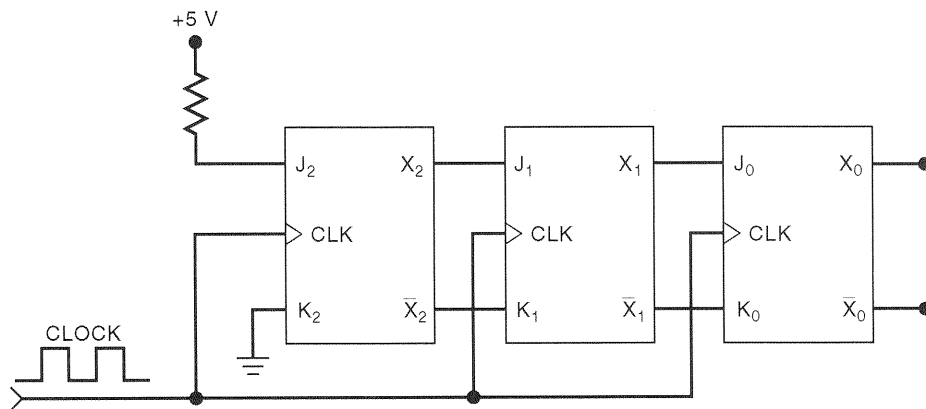
Agora vamos supor que a resposta “real” dos estados dos FFs é aquela mostrada no diagrama. Aqui os FFs mudam como esperado nos primeiros três pulsos de clock. A partir daí, o flip-flop X_0 , em vez de ficar em ALTO, alterna entre ALTO e BAIXO. Que possível falha de circuito pode produzir este comportamento?

Solução

No segundo pulso, X_1 vai para ALTO. Isto deveria fazer $J_0 = 1$ e $K_0 = 0$, de modo que todos os pulsos de clock seguintes deveriam setar $X_0 = 1$. Em vez disso, vemos X_0 mudando de estado (comutando) em todos os pulsos depois do segundo. Esta comutação ocorreria se J_0 e K_0 estivessem ambos em ALTO. A falha mais provável é uma interrupção da ligação entre X_1 e K_0 . Lembre-se de que um dispositivo TTL responde a uma entrada aberta como se estivesse em nível lógico ALTO, portanto K_0 em aberto seria o mesmo que em ALTO.

Saídas em Curto

O exemplo a seguir ilustra como uma falha em um circuito com FF pode causar um sintoma enganador, o que resulta em mais tempo gasto para isolar a falha.



Pulso de clock número	“Esperada”			“Real”		
	X_2	X_1	X_0	X_2	X_1	X_0
0	0	0	0	0	0	0
1	1	0	0	1	0	0
2	1	1	0	1	1	0
3	1	1	1	1	1	1
4	1	1	1	1	1	0
5	1	1	1	1	1	1
6	1	1	1	1	1	0
7	1	1	1	1	1	1
8	1	1	1	1	1	0

Fig. 5-59 Exemplo 5-19.

EXEMPLO 5-20

Considere o circuito da Fig. 5-60 e examine as indicações da ponta de prova relacionadas na tabela. Existe um nível BAIXO na entrada *D* do FF quando pulsos são aplicados em sua entrada *CLK*, mas a saída *Q* falha em ir para BAIXO. O estudante que testa o circuito considera cada uma das possíveis falhas:

1. Z2-5 está internamente em curto com V_{cc} .
2. Z1-4 está internamente em curto com V_{cc} .
3. Z2-5 ou Z1-4 está externamente em curto com V_{cc} .
4. Z2-4 está internamente ou externamente em curto com a TERRA. Isto deveria manter \overline{PRE} ativado e estaria se sobrepondo à entrada *CLK*.
5. Existe uma falha interna em Z2 que inibe *Q* de responder corretamente a suas entradas.

Depois de fazer as verificações necessárias com o ohmímetro, o estudante descarta as primeiras quatro possibilidades. Ele também verifica os pinos de V_{cc} e TERRA e constata que estão com valores de tensão adequados. Ele fica relutante em dessoldar Z2 do circuito até ter certeza de que o chip está ruim, e portanto decide examinar o sinal de clock. Ele utiliza um osciloscópio para visualizar a amplitude, a frequência, as larguras de pulso e os tempos de transição. Constata que tudo está dentro das especificações do 74LS74. Finalmente, conclui que Z2 está danificado.

Ele retira o chip 74LS74 e troca-o por outro. Para seu espanto, o circuito com o novo chip se comporta exatamente do mesmo modo. Após coçar a cabeça, decide trocar o chip das portas NAND, embora sem saber por quê. Como era de se esperar, não há mudança na operação do circuito.

Tornando-se mais perplexo, ele recorda que seu professor de laboratório enfatizava a importância de se realizar uma verificação visual cuidadosa na placa de circuito impresso, e então começa a examiná-la com atenção. Ele detectou uma ponte de solda entre os pinos 6 e 7 de Z2. Re-

moveu-a e testou o circuito que funcionou corretamente. Explique por que este erro produziu a operação observada.

Solução

A ponte de solda estava colocando a saída \overline{Q} em curto com a TERRA. Isto significa que a saída \overline{Q} estava permanentemente fixa em nível BAIXO. Lembre-se de que, em todos os tipos de latch e FFs, as saídas \overline{Q} e *Q* são internamente interligadas, de modo que o nível de uma afeta o nível da outra. Por exemplo, veja novamente o circuito interno de um flip-flop J-K na Fig. 5-23. Repare que um nível BAIXO constante em \overline{Q} manteria uma das entradas da porta NAND 3 em BAIXO, e portanto *Q* teria que ficar em ALTO independentemente das condições para *J*, *K* e *CLK*.

O estudante aprendeu uma importante lição sobre depuração de circuitos com FFs. Ele aprendeu que ambas as saídas devem ser verificadas quanto a falhas, mesmo aquelas que não estejam conectadas a outros dispositivos.

Desalinhamento do Clock

Um dos problemas mais comuns em circuitos síncronos é o **desalinhamento do clock**. Um tipo de desalinhamento do clock ocorre quando um sinal de clock, devido aos atrasos de propagação, alcança as entradas *CLK* dos diversos FFs em instantes de tempo diferentes. Em várias situações o desalinhamento pode fazer com que o FF vá para um estado errado. Isto é mais bem ilustrado com um exemplo.

Observe a Fig. 5-61(a), onde o sinal *CLOCK1* está conectado diretamente ao FF Q_1 e indiretamente a Q_2 através da porta NAND e do INVERSOR. Ambos os FFs supostamente seriam disparados pela descida de *CLOCK1*, pois *X* está em ALTO. Se considerarmos que, inicialmente, $Q_1 = Q_2 = 0$ e *X* = 1, a transição negativa de *CLOCK1* deveria setar $Q_1 =$

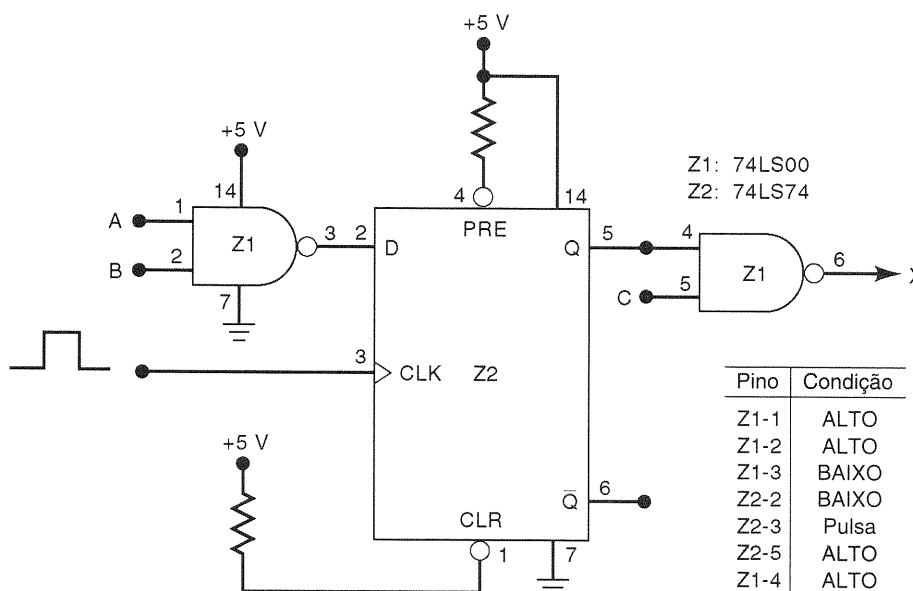


Fig. 5-60 Exemplo 5-20.

1 e não ter efeito sobre Q_2 . As formas de onda na Fig. 5-61(b) mostram como o desalinhamento do clock pode produzir o disparo incorreto de Q_2 .

Por causa dos atrasos de propagação combinados da porta NAND e do INVERSOR, as transições do sinal $CLOCK2$ são atrasadas em relação ao $CLOCK1$ por uma parcela de tempo t_1 . A transição negativa de $CLOCK2$ chega na entrada CLK de Q_2 , após um tempo t_1 da transição negativa de $CLOCK1$ aparecer na entrada CLK de Q_1 . Esta parcela de tempo, t_1 , é o desalinhamento do clock. A descida de $CLOCK1$ faz Q_1 ir

para ALTO depois de um tempo t_2 , que é igual ao atraso de propagação t_{PLH} de Q_1 . Se t_2 fosse menor do que o desalinhamento t_1 , Q_1 estaria em ALTO na descida de $CLOCK2$, e isto poderia setar incorretamente $Q_2 = 1$ caso seu tempo de setup, t_s , fosse atendido.

Por exemplo, considere que o desalinhamento do clock é 40 ns e o t_{PLH} de Q_1 é 25 ns. Assim, Q_1 vai para ALTO 15 ns antes da descida de $CLOCK2$. Se o tempo de setup de Q_2 for menor do que 15 ns, Q_2 vai responder ao nível ALTO em sua entrada D na descida de $CLOCK2$, e Q_2 vai para

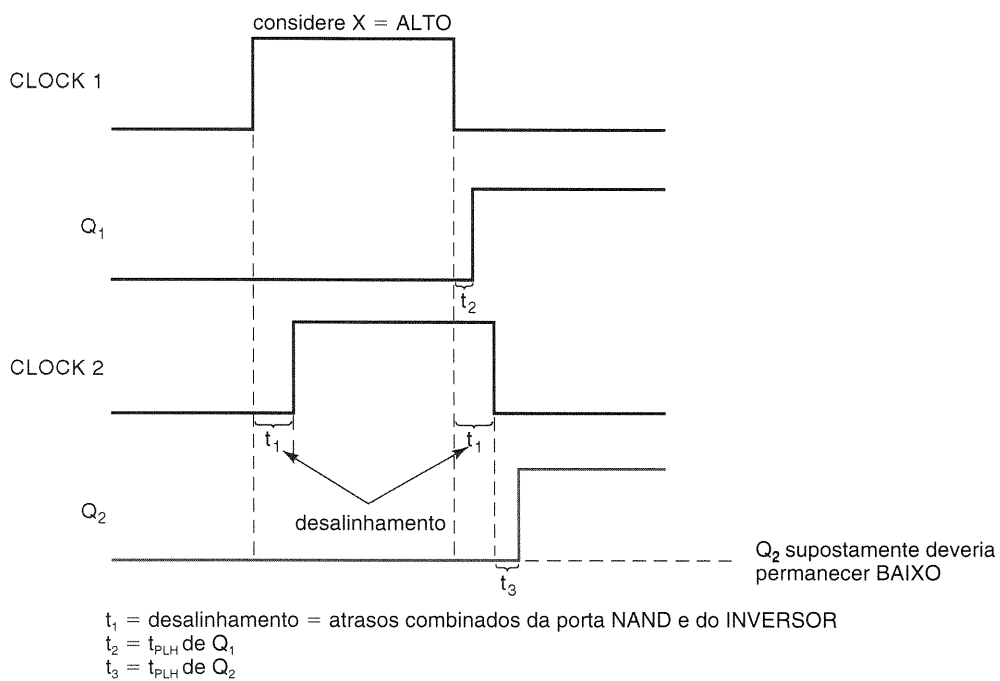
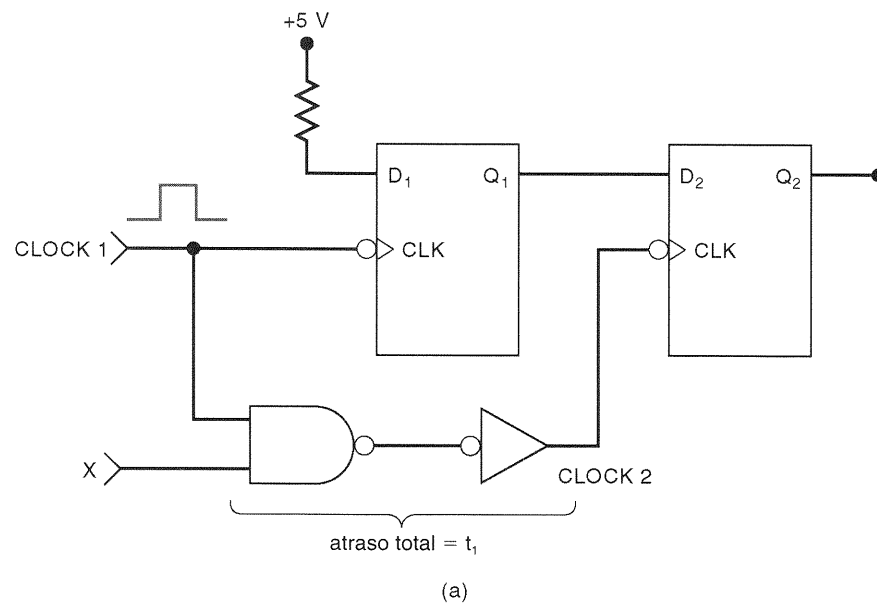


Fig. 5-61 O desalinhamento do clock ocorre quando dois flip-flops que supostamente são disparados simultaneamente são disparados em instantes de tempo ligeiramente diferentes devido a um atraso na chegada do sinal de clock do segundo flip-flop.

ALTO. Isto, naturalmente, não é a resposta esperada para Q_2 . Ela supostamente permaneceria em BAIXO.

Os efeitos do desalinhamento do clock nem sempre são fáceis de detectar, porque a resposta do FF afetado pode ser intermitente (algumas vezes funciona corretamente, outras não). Isto ocorre porque a situação depende dos atrasos de propagação do circuito e dos parâmetros de temporização do FF, que variam com a temperatura, com o comprimento das ligações, com a tensão de alimentação e com o carregamento. Algumas vezes, apenas a simples colocação da ponta de prova do osciloscópio em uma saída de FF ou porta lógica adiciona capacitância de carga suficiente para aumentar o atraso de propagação do dispositivo e fazer o circuito funcionar corretamente. Então, quando a ponta é removida do circuito, a operação incorreta reaparece. Este é o tipo de situação que explica por que alguns técnicos e engenheiros ficam grisalhos prematuramente.

Problemas causados por desalinhamento de clock podem ser eliminados igualando-se os atrasos das diversas trajetórias do sinal de clock, de modo que a transição ativa atinja cada FF aproximadamente ao mesmo tempo. Isto é examinado no Problema 5-49.

Questões de Revisão

1. O que é desalinhamento do clock? Como isto pode causar um problema?

RESUMO

1. Um flip-flop é um circuito lógico com propriedade de memória, de modo que suas saídas Q e \bar{Q} vão para um novo estado, em resposta a um pulso de entrada, e permanecem neste novo estado após o pulso de entrada terminar.
2. Um latch NAND e um latch NOR são FFs simples que respondem a níveis lógicos nas suas entradas SET e CLEAR.
3. Limpar (ressetar) um FF significa que suas saídas assumem o estado $Q = 0/\bar{Q} = 1$. Setar um FF significa que suas saídas assumem o estado $Q = 1/\bar{Q} = 0$.
4. Flip-flops com clock têm uma entrada de clock (CLK , CP , CK) que é disparada pela borda, significando que ela dispara o FF na transição positiva ou na transição negativa.
5. Os FFs disparados pela borda podem ser levados para um novo estados pela transição ativa da entrada de clock, de acordo com os estados das entradas síncronas do FF (S , C ou J , K ou D).
6. A maioria dos FFs com clock também tem entradas assíncronas que podem setar ou ressetar o FF independentemente da entrada de clock.
7. O latch D é um latch NAND modificado que opera como um flip-flop D, só que ele não é disparado por transição.
8. Algumas das utilizações mais importantes dos FFs incluem armazenamento e transferência de dados, deslocamento serial de dados, contagem e divisão de frequência.
9. Um monoestável é um circuito lógico que pode ser disparado a partir do seu estado normal de repouso ($Q = 0$) para seu estado ativo ($Q = 1$), onde permanece por um intervalo de tempo proporcional a uma constante de tempo RC .
10. Circuitos que possuem entradas do tipo Schmitt-trigger respondem de modo confiável a sinais que variam lentamente, e produzem saídas com transições bem-definidas.

11. Uma variedade de circuitos pode ser usada para gerar sinais de clock com uma frequência desejada, dentre eles os osciladores Schmitt-trigger, temporizadores 555 e osciladores controlados a cristal.
12. Um resumo completo dos vários tipos de FFs pode ser encontrado no início deste livro.

TERMOS IMPORTANTES

flip-flop
 estados/entradas de SET, CLEAR, RESET
 latch com portas NAND
 latch
 trepidação de contato
 latch com portas NOR
 clock
 transição positiva (subida)
 transição negativa (descida)
 flip-flop(s) com clock
 disparado(a) por transição
 entradas de controle síncronas
 tempo de setup/tempo de hold
 flip-flop S-C com clock
 disparo (trigger)
 latch NAND
 circuito direcionador de pulsos
 circuito detector de transição
 flip-flop J-K com clock
 modo de comutação
 flip-flop D com clock
 transferência paralela de dados
 latch D
 entradas assíncronas
 entradas de sobreposição
 bloco de controle comum
 atraso(s) de propagação
 flip-flop(s) mestre/escravo
 registradores
 transferência de dados
 transferência síncrona
 transferência assíncrona
 transferência paralela
 transferência serial
 registrador de deslocamento
 divisão de frequência
 contador binário
 tabela de estados
 diagrama de transição de estados
 módulo
 Schmitt-trigger
 monoestável (MONO)
 estado quase-estável
 MONO(s) não-redispáravel(eis)
 MONO(s) redispáravel(eis)
 multivibrador astável
 temporizador 555
 gerador de clock a cristal
 desalinhamento do clock

PROBLEMAS

SEÇÕES 5-1 A 5-3

- 5-1. Considerando que inicialmente $Q = 0$, aplique as formas de onda x e y da Fig. 5-62 nas entradas SET e CLEAR de um latch NAND, e determine as formas de onda de Q e \bar{Q} .

- 5-2. Inverta as formas de onda de x e y da Fig. 5-62, aplique-as nas entradas SET e CLEAR de um latch NOR e determine as formas de onda de Q e \bar{Q} . Considere que inicialmente $Q = 0$.
- 5-3. Suponha que as formas de onda da Fig. 5-62 estão conectadas ao circuito da Fig. 5-63. Considere que inicialmente $Q = 0$ e determine a forma de onda de Q .

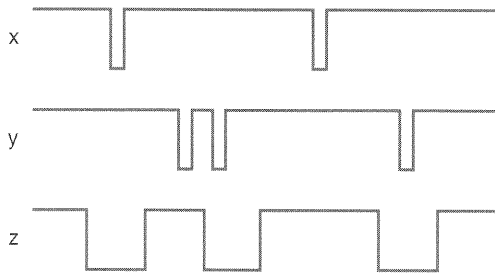


Fig. 5-62 Problemas 5-1 a 5-3.

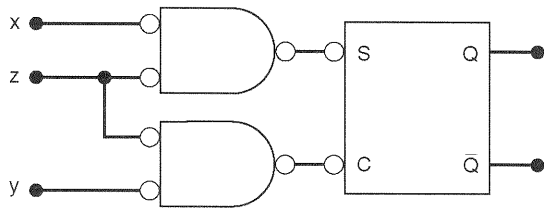


Fig. 5-63 Problema 5-3.

- D**
- 5-4. Modifique o circuito da Fig. 5-9 para usar um latch com portas NOR.
- D**
- 5-5. Modifique o circuito da Fig. 5-12 para usar um latch com portas NAND.
- T**
- 5-6. Observe o circuito da Fig. 5-13. Um estudante testa a operação do circuito visualizando as saídas em um osciloscópio com memória enquanto a chave é levada de A para B . Quando a chave vai de A para B , a forma de onda de X_B , tal como aparece na tela do osciloscópio, é mostrada na Fig. 5-64. Que falha de circuito poderia produzir este resultado? (*Situação*: Qual é a função do latch NAND?)

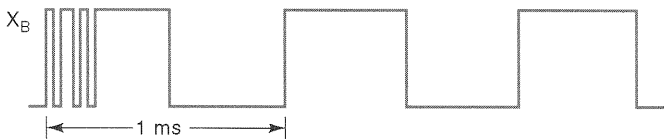


Fig. 5-64 Problema 5-6.

SEÇÕES 5-4 E 5-5

- 5-7. Um determinado FF com clock tem os seguintes tempos mínimos: $t_s = 20$ ns e $t_{H1} = 5$ ns. Por quanto tempo as entradas de controle devem ficar estáveis antes da transição ativa do clock?
- 5-8. Aplique as formas de onda de S , C e CLK da Fig. 5-17 no FF da Fig. 5-18 e determine a forma de onda da saída Q .

N

- 5-9. Um flip-flop do tipo T (*toggle*) tem uma única entrada e opera de tal modo que a sua saída muda de estado para cada pulso aplicado à sua entrada. O flip-flop S-C com clock pode ser interligado para operar neste modo de comutação, conforme mostra a Fig. 5-65. A forma de onda aplicada à entrada CLK é uma onda quadrada de 1 kHz. Verifique que este arranjo opera no modo de comutação e então determine a forma de onda da saída Q . Considere que inicialmente $Q = 0$.

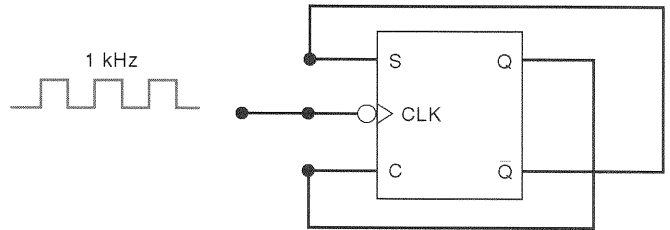


Fig. 5-65 Problema 5-9.

SEÇÃO 5-6

- 5-10. Aplique as formas de onda de J , K e CLK da Fig. 5-21 no FF da Fig. 5-22. Considere que inicialmente $Q = 1$ e determine a forma de onda da saída Q .
- 5-11. (a) Mostre como um flip-flop J-K pode funcionar como um FF do tipo T. Aplique uma onda quadrada de 10 kHz na sua entrada e determine sua forma de onda de saída.
- (b) Conecte a saída Q do FF do Problema 5-11(a) na entrada CLK de um segundo flip-flop J-K que também tenha $J = K = 1$. Determine a frequência da forma de onda de saída do segundo FF.
- 5-12. As formas de onda mostradas na Fig. 5-66 devem ser aplicadas em dois FFs diferentes:
- (a) J-K disparado pela transição positiva
- (b) J-K disparado pela transição negativa
- Desenhe a forma de onda de Q para cada um dos FFs, supondo que inicialmente $Q = 0$. Considere que cada FF tem $t_{H1} = 0$.

SEÇÃO 5-7

- 5-13. Um flip-flop D algumas vezes é usado para *atrasar* uma forma de onda binária de modo que a informação binária apareça na saída um certo tempo depois que apareceu na entrada.
- (a) Determine a forma de onda de Q na Fig. 5-67 e compare-a com a forma de onda da entrada. Note que ela está atrasada por um período do clock em relação à entrada.

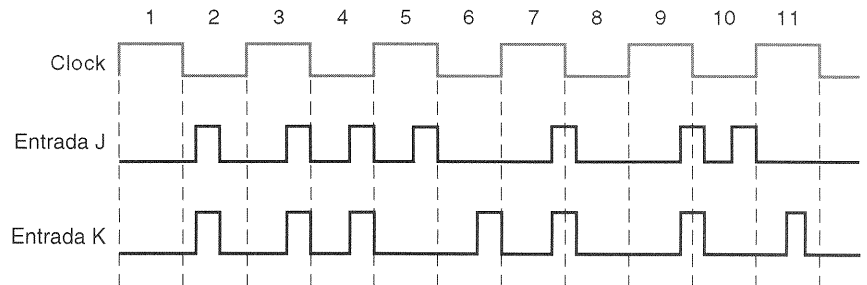


Fig. 5-66 Problema 5-12.

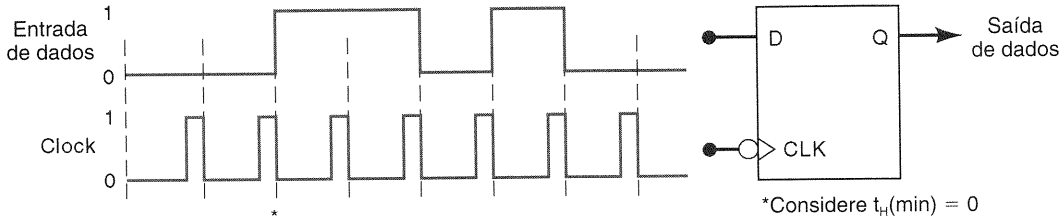


Fig. 5-67 Problema 5-13.

(b) Como se pode obter um atraso de dois períodos de clock?

5-14. Um flip-flop D disparado pela borda pode ser operado no modo de comutação conectando-o como mostra a Fig. 5-68. Considere que inicialmente $Q = 0$ e determine a forma de onda de Q .

5-15. Altere o circuito da Fig. 5-68 de modo que a saída Q seja ligada em D . Determine a forma de onda de Q .

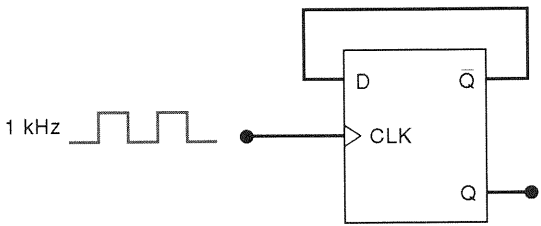


Fig. 5-68 Flip-flop D conectado para comutação (Problemas 5-14 e 5-15).

SEÇÃO 5-8

5-16. Compare a operação de um latch D com um flip-flop D disparado na transição negativa, aplicando as formas de onda da Fig. 5-69 a cada um e determinando as formas de onda de Q .

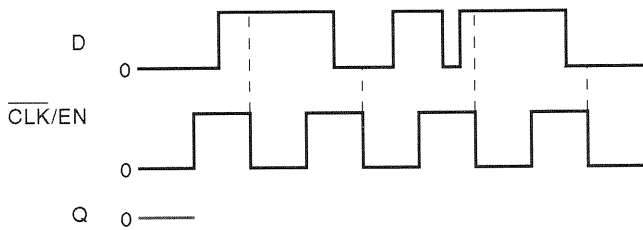


Fig. 5-69 Problema 5-16.

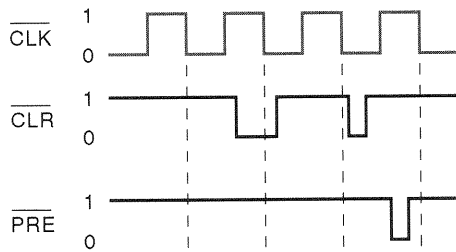


Fig. 5-70 Problema 5-18.

5-17. No Problema 5-14, vimos como um flip-flop D disparado pela borda pode ser operado no modo de comutação. Explique por que esta mesma idéia não funcionaria para um latch D .

SEÇÃO 5-9

5-18. Determine a forma de onda de Q para o FF na Fig. 5-70. Considere que inicialmente $Q = 0$, e lembre-se de que as entradas assíncronas sobrepõem-se a todas as outras entradas.

5-19. Aplique as formas de onda de \overline{CLK} , \overline{PRE} e \overline{CLR} da Fig. 5-31 em um flip-flop D disparado na transição positiva com entradas assíncronas ativas em BAIXO. Considere que D é mantido em ALTO e Q está inicialmente em BAIXO. Determine a forma de onda de Q .

5-20. Examine o símbolo IEEE/ANSI para o CI 74276 na Fig. 5-71. (a) É possível setar ou ressetar flip-flops individuais assincronamente sem afetar os outros?

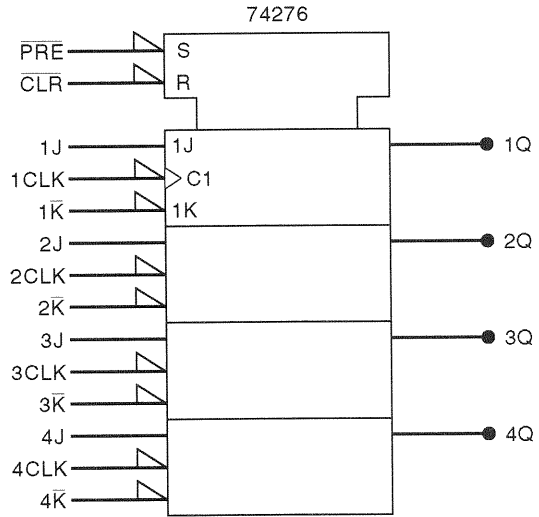
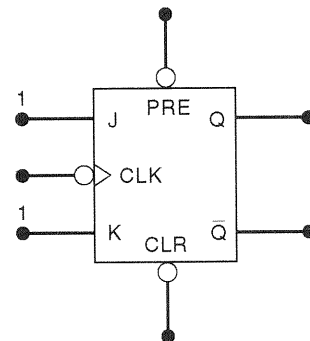


Fig. 5-71 Problema 5-20.



- (b) Quais as condições de entrada necessárias para provocar a comutação da saída $1Q$? (Note a barra nas entradas \bar{K} .)

SEÇÃO 5-11

- 5-21. Use a Tabela 5-2 na Seção 5-11 para determinar o seguinte:
- (a) Quanto tempo pode levar a saída Q de um 74C74 para comutar de 0 para 1 em resposta a uma transição ativa do clock?
 - (b) Qual dos FFs na Tabela 5-2 necessita que suas entradas de controle permaneçam estáveis por mais tempo *depois* da transição ativa do clock? E *antes* da transição?
 - (c) Qual é o pulso mais estreito que pode ser aplicado ao \overline{PRE} de um FF 7474?
- 5-22. Veja o circuito da Fig. 5-72. Ela mostra um CI 74LS112 com seus dois flip-flops J-K conectados de certo modo. Considere que inicialmente $Q_1 = Q_2 = 1$ e, usando a Tabela 5-2, determine o atraso *total* de propagação entre a descida do pulso de clock e a descida de Q_2 .

SEÇÕES 5-15 E 5-16

- D
- 5-23. Modifique o circuito da Fig. 5-40 para utilizar um flip-flop J-K.

- D
- 5-24. No circuito da Fig. 5-73, todas as entradas A , B e C estão inicialmente em BAIXO. A saída Y deve ir para ALTO somente quando A , B e C forem para ALTO em uma certa seqüência.
- (a) Determine a seqüência que faz Y ir para ALTO.
 - (b) Explique por que o pulso de START é necessário.
 - (c) Modifique este circuito para usar FFs do tipo D.

SEÇÕES 5-17 E 5-18

- D
- 5-25. (a) Desenhe um diagrama de circuito para a transferência de dados paralela e síncrona de um registrador de três bits para outro usando flip-flops J-K.
 (b) Repita para transferência paralela assíncrona.
- 5-26. Um registrador de deslocamento *circular* é um registrador de deslocamento que mantém a informação binária circulando através do registrador conforme os pulsos de clock são aplicados. O registrador de deslocamento da Fig. 5-45 pode ser transformado em um registrador circular conectando-se X_0 na linha DATA IN. Nenhuma entrada externa é usada. Considere que este registrador comece com 1011 armazenado nele (isto é, $X_3 = 1$, $X_2 = 0$, $X_1 = 1$ e $X_0 = 1$). Relacione a seqüência de estados que os FFs do registra-

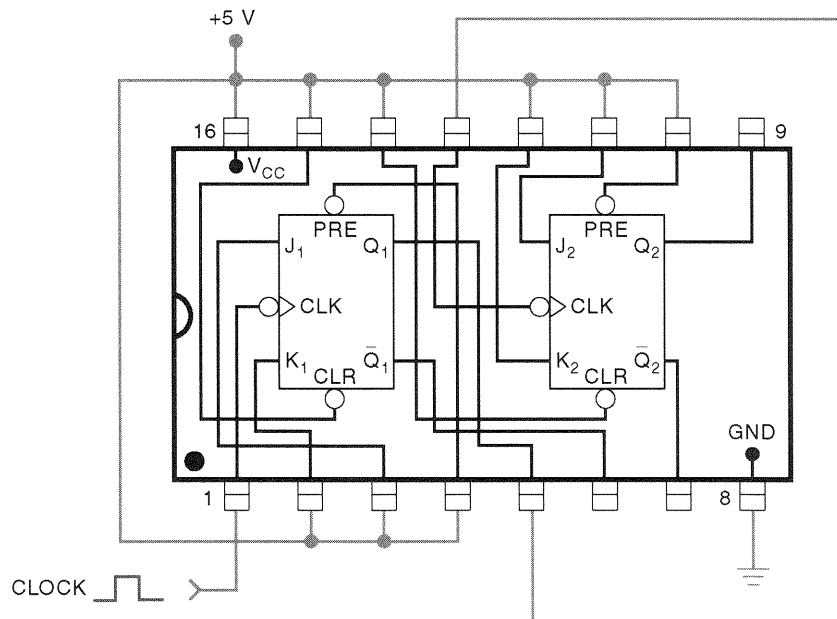


Fig. 5-72 Diagrama de conexão para o Problema 5-22.

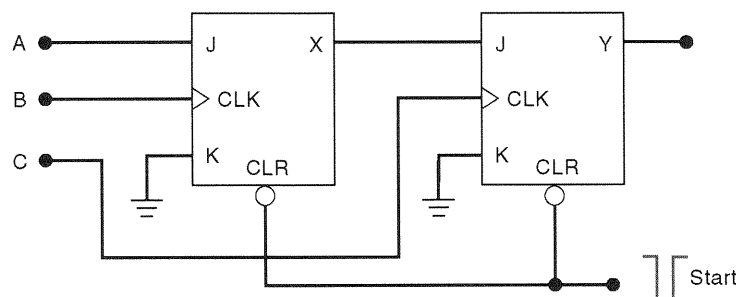


Fig. 5-73 Problema 5-24.

dor apresentam conforme oito pulsos de deslocamento são aplicados.

- D**
5-27. Observe a Fig. 5-46, onde um número de três bits armazenado no registrador X é deslocado serialmente para o registrador Y . Como o circuito poderia ser modificado para que, ao final da transferência, o valor do número original armazenado em X estivesse presente em ambos os registradores? (*Sugestão:* Veja o Problema 5-26.)

SEÇÃO 5-19

- 5-28.** Observe o contador binário da Fig. 5-47. Modifique-o conectando \overline{X}_0 ao CLK do flip-flop X_1 , e \overline{X}_1 ao CLK do flip-flop X_2 . Comece com todos os FFs no estado 1 e desenhe as formas de onda de saída (X_0 , X_1 e X_2) para 16 pulsos de entrada. Depois relacione a seqüência de estados dos FFs como foi feito na Fig. 5-48. Este contador é chamado de contador *decrecente*. Por quê?
5-29. Desenhe o diagrama de transição de estados para o contador decrescente e compare-o com o diagrama da Fig. 5-49. Em que eles são diferentes?

- D**
5-30. Mostre como os flip-flops D com clock podem ser usados em um contador como o da Fig. 5-47. (*Sugestão:* Veja o Problema 5-14.)
5-31. (a) Quantos FFs são necessários para construir um contador binário capaz de contar desde 0 até 1.023?
 (b) Determine a freqüência na saída do último FF deste contador para um clock de entrada com freqüência de 2 MHz.
 (c) O que é o módulo de um contador?
 (d) Se o contador está inicialmente com zero, que valor de contagem ele apresentará depois de 2.060 pulsos?
5-32. Um contador binário está sendo acionado por um sinal de clock de 256 kHz. A freqüência de saída do último FF é 2 kHz.
 (a) Determine o módulo.
 (b) Determine a faixa de contagem.
5-33. Um circuito fotodetector está sendo usado para gerar um pulso cada vez que um cliente entra em determinado estabelecimento. Os pulsos são levados para um contador de oito bits. O contador é usado para contar estes pulsos de modo a determinar quantos clientes entraram na loja. Depois de fechar a loja, o proprietário verifica o contador e encontra o valor $00001001_2 = 9_{10}$. Ele sabe que isto está errado, pois muito mais do que nove pessoas entraram na loja. Considerando que o circuito contador esteja operando adequadamente, qual poderia ser a razão para a discrepância?

SEÇÃO 5-20

- D**
5-34. Modifique o circuito da Fig. 5-50 para que apenas a presença do endereço 10110110 permita que o dado seja transferido para o registrador X .

- T**
5-35. Suponha que o circuito da Fig. 5-50 esteja com problemas de funcionamento, de modo que dados estão sendo transferidos para X tanto pelo endereço 11111110 quanto pelo

11111111. Quais são algumas das falhas de circuito que poderiam causar isto?

- D**
5-36. Modifique o circuito da Fig. 5-50 para que a MPU tenha oito bits de dados de saída conectados para transferir dados de oito bits para um registrador de oito bits construído com dois CIs 74HC175 [Fig. 5-34(b)]. Mostre todas as conexões do circuito.

SEÇÃO 5-22

- N**
5-37. A Fig. 5-74 mostra três monoestáveis não-redispárveis que produzem três pulsos de saída seqüenciais. Note o "1" na frente de cada pulso dentro dos símbolos dos monoestáveis para indicar operação não-redispárvel. Desenhe um diagrama temporal que mostra a relação entre o pulso de entrada e as três saídas dos monoestáveis. Considere uma duração de 10 ms para o pulso de entrada.
5-38. Um monoestável *redispárvel* pode ser usado como um detector de freqüência de pulsos que detecta quando a freqüência dos pulsos de entrada está abaixo de um valor pre-determinado. Um exemplo simples desta aplicação é mostrado na Fig. 5-75. A operação é iniciada fechando-se a chave SW1 momentaneamente.
 (a) Descreva como o circuito responde a freqüências de entrada acima de 1 kHz.
 (b) Descreva como o circuito responde a freqüências de entrada abaixo de 1 kHz.
 (c) Como você modificaria o circuito para detectar quando a freqüência de entrada caísse abaixo de 50 kHz?
5-39. Consulte o símbolo lógico para o monoestável não-redispárvel 74121 na Fig. 5-54(a).
 (a) Que condições de entrada são necessárias para o MONO disparar por um sinal na entrada B ?
 (b) Que condições de entrada são necessárias para o MONO disparar por um sinal na entrada A_1 ?

- D, C**
5-40. A largura do pulso de saída de um monoestável 74121 é dada pela fórmula aproximada

$$t_p \approx 0,7 R_T C_T$$

onde R_T é a resistência conectada entre os pinos R_{EXT}/C_{EXT} e V_{CC} e C_T é a capacitância conectada entre os pinos C_{EXT} e R_{EXT}/C_{EXT} . O valor de R_T pode variar entre 2 e 40 k Ω , e C_T pode ser tão grande quanto 1.000 μ F.

- (a) Mostre como um 74121 pode ser conectado para produzir um pulso de saída ativo em BAIXO com uma duração de 5 ms, sempre que um dos dois sinais lógicos (E ou F) fizer uma transição negativa. Tanto E quanto F estão normalmente no estado ALTO.
 (b) Modifique o circuito de modo que um sinal de controle, G , possa desabilitar o pulso de saída do monoestável independentemente do que ocorrer em E e F .

SEÇÃO 5-23

- C**
5-41. Considere o circuito da Fig. 5-76. Inicialmente todos os FFs estão no estado 0. A operação do circuito começa com um

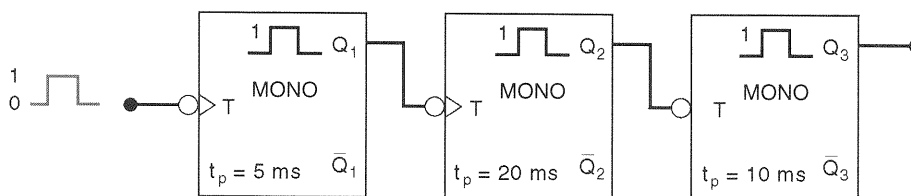


Fig. 5-74 Problema 5-37.

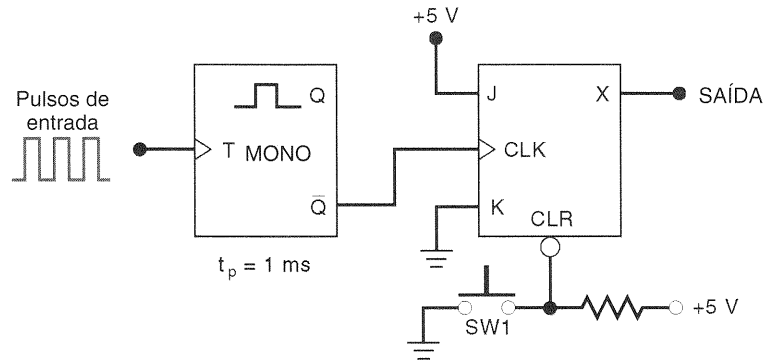


Fig. 5-75 Problema 5-38.

pulso de início aplicado na entrada \overline{PRESET} dos FFs X e Y . Determine as formas de onda em A , B , C , X , Y , Z e W para 20 ciclos do clock depois do pulso de início. Apresente todas as suas suposições.

SEÇÃO 5-24

- 5-42. Mostre como usar um INVERSOR Schmitt-trigger para produzir uma forma de onda quadrada aproximada com frequência de 10 kHz.
- 5-43. Projete um oscilador com 555 para produzir uma forma de onda quadrada aproximada com 40 kHz. C deve ser maior ou igual a 500 pF.
- 5-44. Um oscilador com 555 pode ser combinado com um flip-flop J-K para produzir uma onda quadrada perfeita (taxa de ciclo de 50%). Modifique o circuito do Problema 5-43 para incluir um flip-flop J-K. A saída final deve ser ainda uma onda quadrada de 40 kHz.

C, N

- 5-45. O circuito da Fig. 5-77 pode ser usado para gerar dois sinais de clock não-sobrepostos e de mesma frequência. Estes sinais de clock são usados em alguns sistemas de micropro-

cessadores que necessitam de quatro diferentes transições do clock para sincronizar suas operações.

- (a) Desenhe as formas de onda temporais de CP1 e CP2 se o $CLOCK$ é uma onda quadrada de 1 MHz. Considere que t_{PLH} e t_{PHL} são iguais a 20 ns para o FF e 10 ns para as portas AND.
- (b) Este circuito teria um problema se o FF fosse trocado por um outro com transição positiva do CLK . Desenhe as formas de onda de CP1 e CP2 para esta situação. Preste atenção especial a condições que possam produzir glitches.

SEÇÃO 5-25

T

- 5-46. Observe o circuito contador da Fig. 5-47. Considere que todas as entradas assíncronas estão conectadas em V_{CC} . Quando foi testado, o circuito apresentou as formas de onda ilustradas na Fig. 5-78. Considere a seguinte lista de falhas possíveis. Para cada uma, indique "sim" ou "não" caso ela possa ser a causa dos resultados observados. Explique cada resposta.

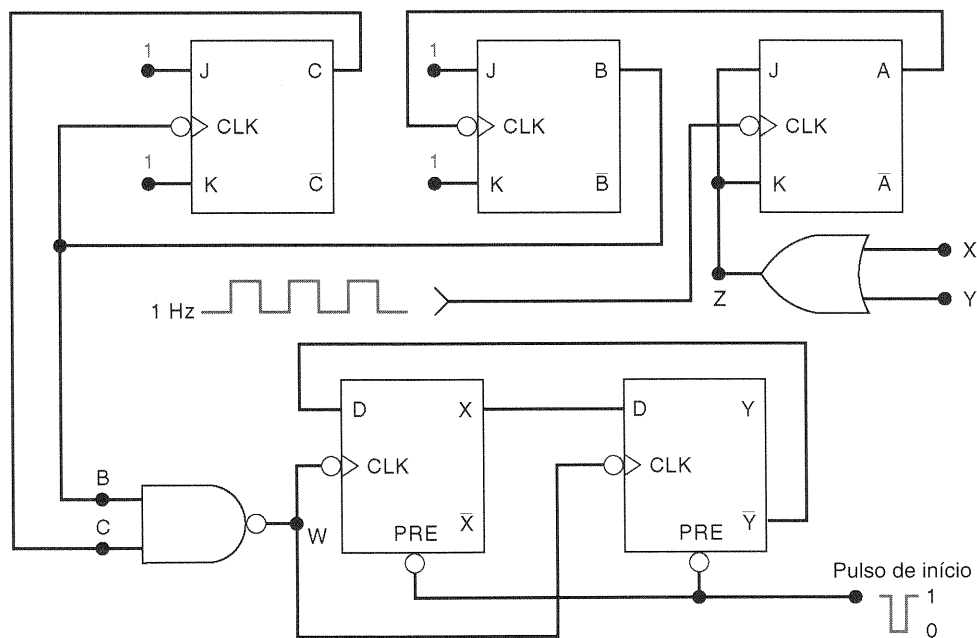


Fig. 5-76 Problema 5-41.

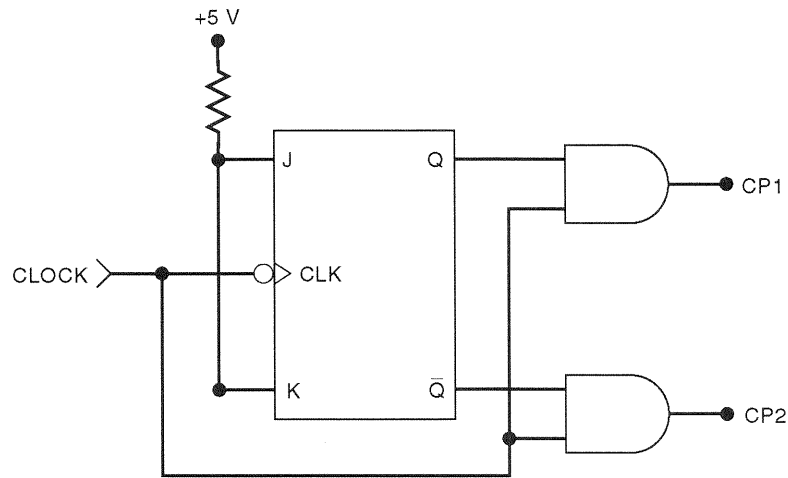


Fig. 5-77 Problema 5-45.

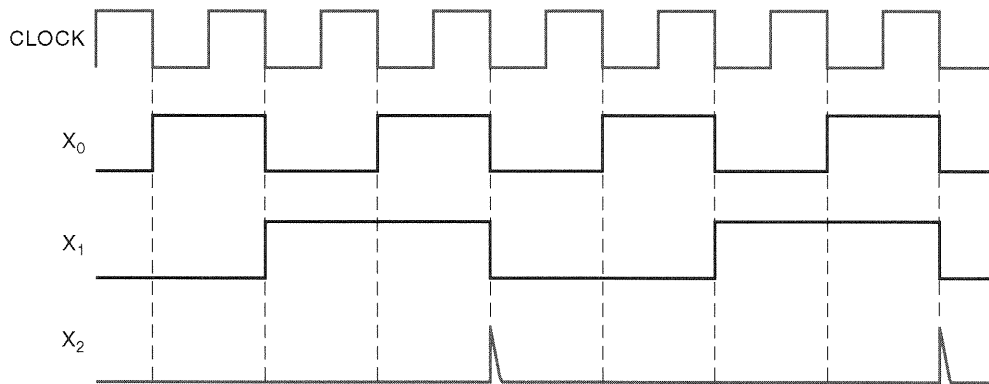


Fig. 5-78 Problema 5-46.

- (a) A entrada *CLR* de X_2 está aberta.
- (b) O tempo de transição da saída X_1 está muito grande, possivelmente devido ao carregamento.
- (c) A saída X_2 está em curto com a terra.
- (d) O tempo de hold de X_2 não está sendo respeitado.

T

5-47. Consulte o circuito da Fig. 5-46. Todos os FFs são CIs TTL. Considere as seguintes condições iniciais: $X_2X_1X_0 = 100$ e $Y_2Y_1Y_0 = 011$. Após quatro pulsos de deslocamento, as condições são: $X_2X_1X_0 = 001$ e $Y_2Y_1Y_0 = 111$. Pulsos de deslocamento subsequentes não provocam mudança alguma em nenhum FF. Quais são as possíveis causas deste mau funcionamento?

C, T

5-48. Considere a situação da Fig. 5-61 para cada um dos seguintes conjuntos de parâmetros de tempo. Para cada um deles indique se o flip-flop Q_2 responderá corretamente.

- (a) Cada FF: $t_{PLH} = 12$ ns; $t_{PHL} = 8$ ns; $t_s = 5$ ns; $t_H = 0$ ns
Porta NAND: $t_{PLH} = 8$ ns; $t_{PHL} = 6$ ns
INVERSOR: $t_{PLH} = 7$ ns; $t_{PHL} = 5$ ns
- (b) Cada FF: $t_{PLH} = 10$ ns; $t_{PHL} = 8$ ns; $t_s = 5$ ns; $t_H = 0$ ns
Porta NAND: $t_{PLH} = 12$ ns; $t_{PHL} = 10$ ns
INVERSOR: $t_{PLH} = 8$ ns; $t_{PHL} = 6$ ns

D

5-49. Mostre e explique como o problema de desalinhamento do clock da Fig. 5-61 pode ser eliminado pela inserção apropriada de dois INVERSORES.

T

5-50. Consulte o circuito da Fig. 5-55. Descreva como a operação do circuito mudará para cada uma das seguintes falhas.

- (a) Um curto-circuito interno com a terra na entrada superior da porta NAND
- (b) Uma conexão aberta na entrada *J* do FF *Z*
- (c) Uma conexão aberta na entrada inferior da porta NAND

T

5-51. Veja o circuito da Fig. 5-79. Considere que os CIs são da família lógica TTL. A forma de onda de *Q* foi obtida quando o circuito foi testado com os sinais de entrada mostrados e com a chave na posição de cima. Ela não está correta.

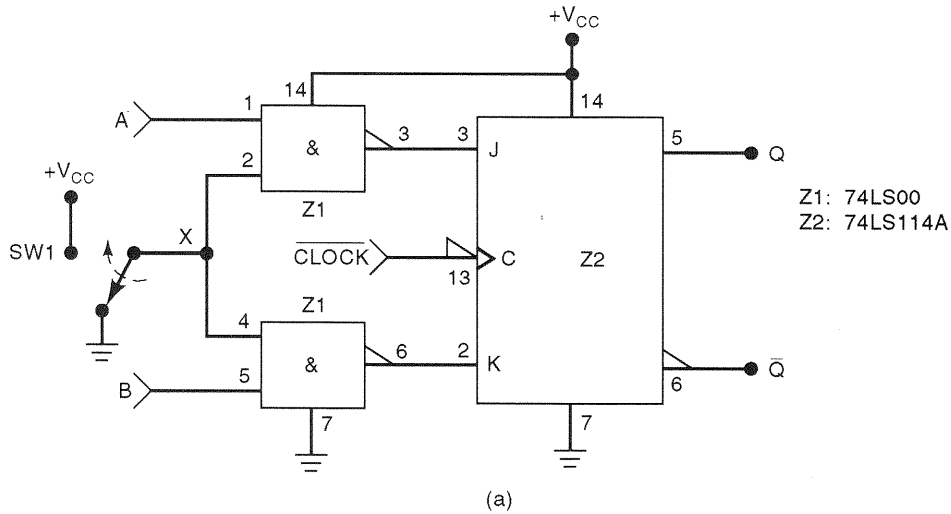
Considere a seguinte lista de falhas, e para cada uma delas indique "sim" ou "não" caso ela possa ser a falha real. Explique cada resposta.

- (a) O ponto *X* está sempre em BAIXO devido a uma chave defeituosa.
- (b) O pino 1 de Z1 está internamente em curto-circuito com V_{CC} .
- (c) A conexão entre Z1-3 e Z2-3 está interrompida.
- (d) Existe uma ponte de solda entre os pinos 6 e 7 de Z1.

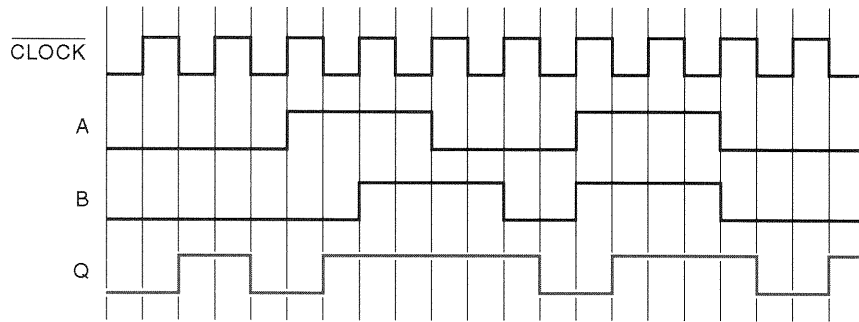
C

5-52. O circuito da Fig. 5-80 funciona como uma tranca de combinação seqüencial. Para abrir a tranca, proceda da seguinte maneira:

1. Ative momentaneamente a chave de INÍCIO.
2. Ajuste as chaves SWA, SWB e SWC para a primeira parte



(a)



(b)

Fig. 5-79 Problema 5-51.

do segredo. Então comute a chave ENTER momentaneamente.

3. Ajuste as chaves para a segunda parte do segredo e comute ENTER novamente. Isto deve produzir um nível ALTO em Q_2 para abrir a tranca.

Se a combinação incorreta for apresentada em qualquer dos passos, o operador deve reiniciar a seqüência novamente. Analise o circuito e determine a seqüência de valores que abre a tranca.

C, T

5-53. Quando a tranca da Fig. 5-80 foi testada, constatou-se que fornecendo a seqüência correta ela não abria. Um teste com uma ponta de prova lógica mostrou que, entrando com a primeira combinação correta, Q_1 é setado em ALTO, mas entrando com a segunda combinação produz-se apenas um pulso em Q_2 . Considere cada uma das falhas seguintes e indique quais delas poderiam produzir a operação observada. Explique cada escolha.

- (a) Efeito da trepidação de contato em SWA, SWB e SWC.
- (b) A entrada CLR de Q_2 está aberta.
- (c) A conexão da saída da porta NAND 4 para a entrada da porta NAND 3 está aberta.

QUESTÕES DE FIXAÇÃO

5-54. Para cada afirmação indique que tipo de FF está sendo descrito.

- (a) Tem entradas de SET e CLEAR mas não tem uma entrada CLK.
- (b) Comuta a cada pulso em CLK quando suas entradas de controle estão ambas em ALTO.
- (c) Tem uma entrada de ENABLE em vez de uma entrada CLK.
- (d) É usado para transferir dados facilmente de um registrador para outro.
- (e) Tem apenas uma entrada de controle.
- (f) Tem duas saídas que são complementares entre si.
- (g) Pode mudar de estado somente na transição ativa de CLK.
- (h) É usado em contadores binários.

5-55. Defina os seguintes termos.

- (a) Entradas assíncronas
- (b) Disparado pela borda
- (c) Registrador de deslocamento
- (d) Divisão de freqüência
- (e) Transferência assíncrona
- (f) Diagrama de transição de estados
- (g) Transferência paralela de dados
- (h) Transferência serial de dados
- (i) Monoestável redisparrável
- (j) Entradas Schmitt-trigger

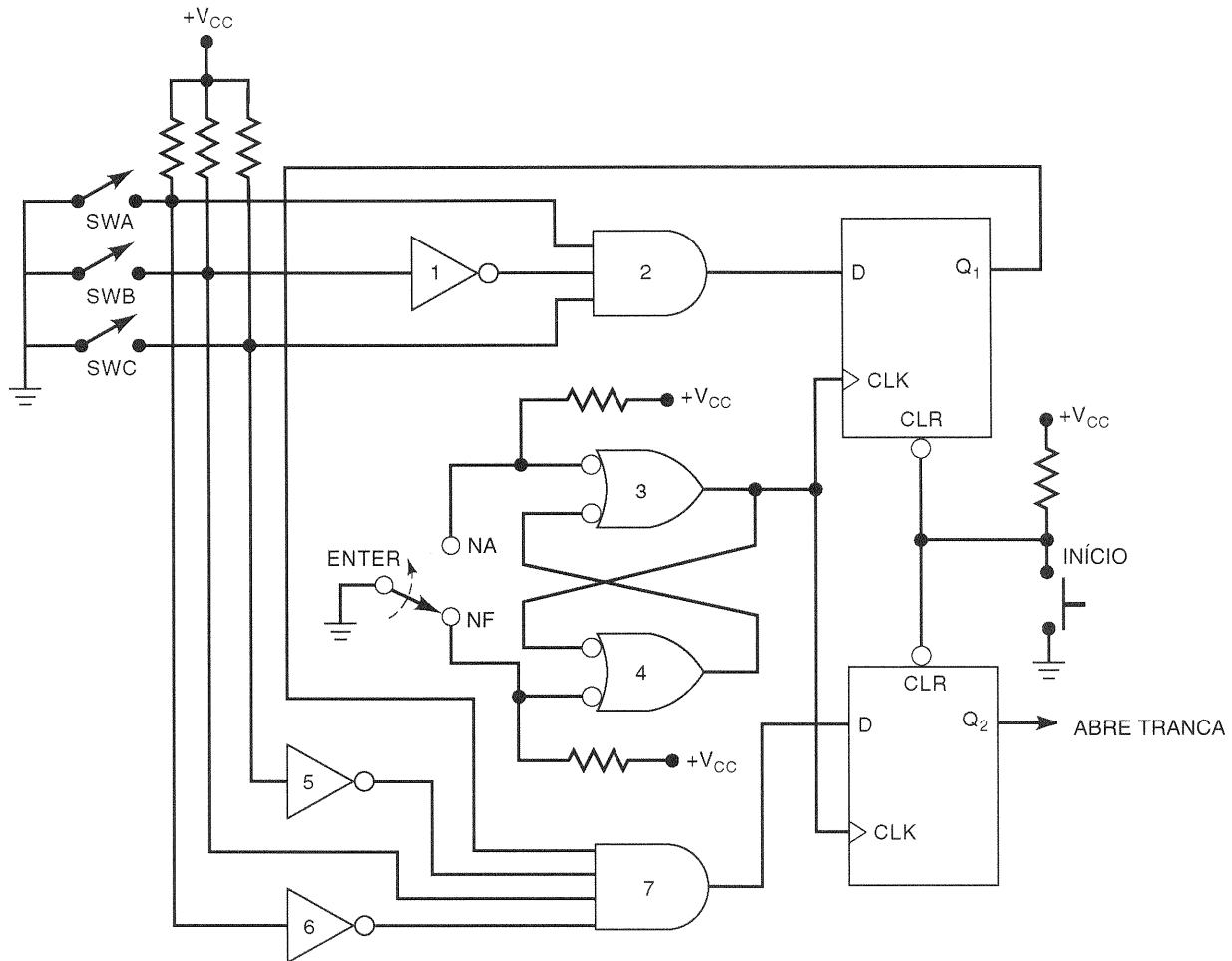


Fig. 5-80 Problemas 5-52 e 5-53.

RESPOSTAS PARA AS QUESTÕES DE REVISÃO DAS SEÇÕES

SEÇÃO 5-1

1. ALTO; BAIXO
2. $Q = 0$, $\bar{Q} = 1$
3. Verdadeiro
4. Aplicar um nível BAIXO momentaneamente na entrada \overline{SET} .

SEÇÃO 5-2

1. BAIXO, ALTO
2. $Q = 1$, $\bar{Q} = 0$
3. Fazer $CLEAR = 1$
4. \overline{SET} e \overline{CLEAR} estariam ambas normalmente no seu estado ativo em BAIXO.

SEÇÃO 5-4

1. Entradas de controle síncronas e entrada de clock.
2. A saída do FF pode mudar somente quando a transição apropriada do clock ocorrer.
3. Falso.
4. Tempo de setup é o intervalo de tempo imediatamente anterior à transição ativa do sinal CLK , durante o qual as entradas de controle devem permanecer estáveis. Tempo de hold é o intervalo de tempo imediatamente após a transição ativa de CLK , durante o qual as entradas de controle devem permanecer estáveis.

SEÇÃO 5-5

1. Irá para ALTO.
2. Porque CLK^* está ALTO somente por alguns nanossegundos.

SEÇÃO 5-6

1. Verdadeiro
2. Não
3. $J = 1$, $K = 0$

SEÇÃO 5-7

1. Q vai para BAIXO no ponto a e permanece BAIXO.
2. Falso. A entrada D pode mudar sem afetar Q , pois Q só pode mudar na borda ativa de CLK .
3. Sim

SEÇÃO 5-8

1. Em um latch D a saída Q pode mudar enquanto EN está ALTO. Em um flip-flop D , a saída só pode mudar na borda ativa de CLK .
2. Falso.
3. Verdadeiro.

SEÇÃO 5-9

1. Entradas assíncronas operam independentemente da entrada CLK .
2. Sim, já que \overline{PRE} é ativo em BAIXO.
3. $J = K = 1$, $\overline{PRE} = \overline{CLR} = 1$ e uma transição positiva em CLK .

SEÇÃO 5-10

1. O triângulo dentro do retângulo indica operação por transição; o triângulo reto externo ao retângulo indica disparo na descida.
2. É usado para indicar que a função dessas entradas é comum a mais de um circuito no chip.

SEÇÃO 5-11

1. t_{PLH} e t_{PHL} . 2. Falso, pois a forma de onda também deve satisfazer $t_w(L)$ e $t_w(H)$.

SEÇÃO 5-17

1. Falso 2. Flip-flop D 3. Seis 4. Verdadeiro

SEÇÃO 5-18

1. Verdadeiro 2. Poucas interconexões entre registradores
3. $X_2X_1X_0 = 111$; $Y_2Y_1Y_0 = 101$ 4. Paralela

SEÇÃO 5-19

1. 10 kHz 2. Oito 3. 256 4. 2 kHz
5. $00001000_2 = 8_{10}$

SEÇÃO 5-21

1. A saída pode conter oscilações. 2. Ele produz sinais de saída limpos e rápidos mesmo para entradas que variam lentamente.

SEÇÃO 5-22

1. $Q = 0$, $\bar{Q} = 1$ 2. Verdadeiro 3. Os valores de R e C externos
4. Para um monoestável redisparável, cada novo pulso de disparo inicia um novo intervalo t_p , não importando o estado da saída Q .

SEÇÃO 5-24

1. 24 kHz 2. 109,3 kHz; 66,7 por cento
3. Estabilidade da frequência

SEÇÃO 5-25

1. O desalinhamento do clock é a chegada de um sinal de clock nas entradas CLK de diferentes FFs em instantes de tempo diferentes. Ele pode causar que um FF vá para um estado incorreto.