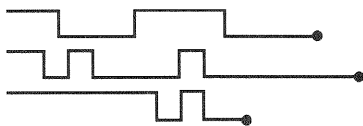

Contadores e Registradores



■ SUMÁRIO

PARTE I

- 7-1 Contadores Assíncronos
- 7-2 Contadores de Módulo $< 2^N$
- 7-3 Circuitos Integrados de Contadores Assíncronos
- 7-4 Contador Assíncrono Decrescente
- 7-5 Atraso de Propagação em Contadores Assíncronos
- 7-6 Contadores Síncronos
- 7-7 Contadores Síncronos Decrescentes e Crescentes/Decrescentes
- 7-8 Contadores com Carga Paralela
- 7-9 O 74LS193/HC193
- 7-10 Mais sobre a Notação de Dependência IEEE/ANSI
- 7-11 Decodificando um Contador
- 7-12 Glitches de Decodificação
- 7-13 Ligação em Cascata de Contadores BCD

- 7-14 Projeto de Contadores Síncronos

- 7-15 Contadores com Registradores de Deslocamento

PARTE II

- 7-16 Aplicações de Contadores: Freqüencímetro
- 7-17 Aplicações de Contadores: Relógio Digital
- 7-18 Circuitos Integrados de Registradores
- 7-19 Entrada Paralela/Saída Paralela — O 74174 e o 74178
- 7-20 Entrada Serial/Saída Serial — O 4731B
- 7-21 Entrada Paralela/Saída Serial — O 74165/74LS165/74HC165
- 7-22 Entrada Serial/Saída Paralela — O 74164/74LS164/74HC164
- 7-23 Símbolos IEEE/ANSI para Registradores
- 7-24 Pesquisa de Falhas

■ OBJETIVOS

Ao completar este capítulo, você deverá estar apto a:

- Compreender a operação e as características dos contadores síncronos e assíncronos.
- Construir contadores com módulo menor do que 2^N .
- Identificar os símbolos IEEE/ANSI utilizados para CIs contadores e registradores.
- Construir contadores tanto crescentes quanto decrescentes.
- Conectar contadores de vários estágios.
- Analisar e avaliar os vários tipos de contadores com carga paralela.
- Projetar contadores síncronos de seqüências arbitrárias.
- Entender diversas formas usadas para decodificar diferentes tipos de contadores.
- Antecipar e eliminar os efeitos dos glitches de decodificação.
- Comparar as principais diferenças entre contadores em anel e contadores Johnson.
- Analisar a operação de um freqüencímetro e de um relógio digital.
- Reconhecer e compreender a operação de vários tipos de CIs de registradores.
- Aplicar as técnicas de pesquisa de falhas usadas para sistemas lógicos combinacionais para depurar sistemas lógicos seqüenciais.

■ INTRODUÇÃO

No Cap. 5 vimos como os flip-flops podem ser conectados para operar como contadores e registradores. Até agora estudamos apenas os circuitos básicos de contadores e registradores. Sistemas digitais empregam diversas variações desses circuitos básicos, em sua maioria sob a forma de circuitos integrados. Neste capítulo analisaremos como FFs e portas lógicas podem ser combinados para produzir tipos diferentes de contadores e registradores.

Tendo em vista que existe um grande número de tópicos neste capítulo, ele foi dividido em duas partes. Na **PARTE I** abordaremos os princípios de operação dos contadores, os vários arranjos de circuitos contadores e CIs contadores representativos. Na **PARTE II** apresentaremos as aplicações de contadores, tipos de CIs registradores e pesquisa de falhas.

Compreender o material deste capítulo é uma boa indicação de que o material dos capítulos anteriores foi aprendido.

PARTE I

7-1 CONTADORES ASSÍNCRONOS

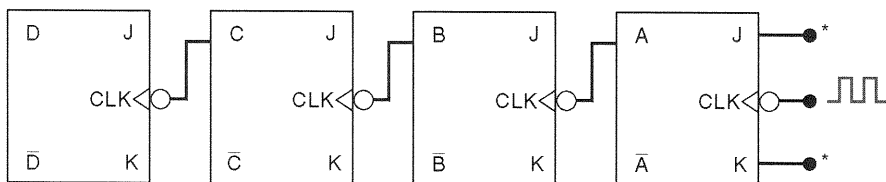
A Fig. 7-1 mostra um contador binário de quatro bits similar ao que foi apresentado no Cap. 5. Lembre-se dos seguintes pontos relativos à sua operação:

1. Os pulsos de clock são aplicados somente na entrada *CLK* do flip-flop *A*. Deste modo, o flip-flop *A* comuta (vai para o seu estado oposto) toda vez que os pulsos de clock têm uma transição negativa (de ALTO para BAIXO). Note que $J = K = 1$ para todos os FFs.
2. A saída normal do flip-flop *A* aciona a entrada *CLK* do flip-flop *B*, e portanto o flip-flop *B* comutará sempre que a saída *A* for de 1 para 0. Analogamente, o flip-flop *C* comutará quando *B* for de 1 para 0, e o flip-flop *D* comutará quando *C* for de 1 para 0.
3. As saídas *D*, *C*, *B* e *A* dos FFs representam um número binário de quatro bits, com *D* sendo o MSB. Vamos considerar que todos os FFs foram limpos para o estado 0 (as entradas *CLEAR* não estão mostradas). As formas de onda na Fig. 7-1 mostram que uma seqüência de contagem binária de 0000 até 1111 é gerada conforme os pulsos de clock são continuamente aplicados.
4. Após a descida do décimo quinto pulso de clock ter ocorrido, os FFs do contador estão com 1111. Na décima sexta descida, o flip-flop *A* vai de 1 para 0, o que faz com que o flip-flop *B* vá de 1 para 0, e assim por diante até que o contador alcance o estado 0000. Em outras palavras, o contador realizou um ciclo completo (0000 até 1111) e *reciclou* de volta para 0000, de onde reiniciará um novo ciclo de contagem conforme pulsos de clock forem aplicados.

Neste contador, cada saída de FF aciona a entrada *CLK* do próximo FF. Este tipo de arranjo para contador é denominado **contador assíncrono** porque os FFs não trocam de estado em exato sincronismo com os pulsos de clock aplicados; apenas o flip-flop *A* responde aos pulsos de clock. O FF *B* deve esperar o FF *A* mudar de estado antes de poder comutar; o FF *C* deve aguardar pelo FF *B*, e assim por diante. Assim, existe um atraso entre as respostas dos sucessivos FFs. Este atraso é tipicamente de 5-20 ns por FF. Em alguns casos, como veremos, este atraso pode ser problemático. Este tipo de contador é também freqüentemente chamado de **contador por pulsação** (*ripple counter*) devido ao modo como os FFs respondem um após o outro numa espécie de efeito análogo à propagação de um pulso. Utilizaremos de modo intercambiável os termos *contador assíncrono* e *contador por pulsação*.

Fluxo do Sinal

Em diagramas esquemáticos, é convenção desenhar os circuitos (sempre que possível) de modo que o fluxo do sinal seja da esquerda para a direita, com as entradas na esquerda e as saídas na direita. Neste capítulo freqüentemente quebraremos esta convenção, especialmente em diagramas que mostram contadores. Por exemplo, na Fig. 7-1, as entradas *CLK* de cada FF estão na direita, as saídas estão na



*Todas as entradas J e K estão em 1.

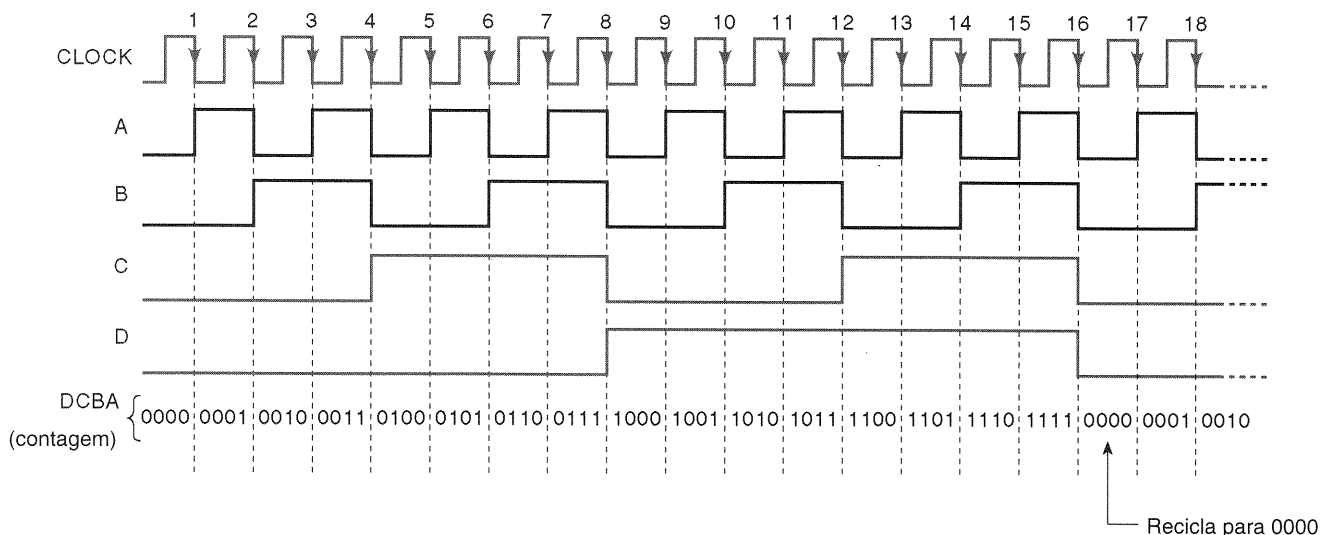


Fig. 7-1 - Contador assíncrono de quatro bits.

esquerda e o sinal de clock de entrada é mostrado vindo da direita. Utilizaremos este arranjo porque ele faz a operação do contador mais fácil de ser compreendida e acompanhada, já que a ordem dos FFs é a mesma que a ordem dos bits no número binário que o contador representa. Em outras palavras, o FF A, que é o LSB, é o FF mais à direita, e o FF D, que é o MSB, é o mais à esquerda. Se utilizássemos o fluxo de sinal convencional da esquerda para a direita, teríamos que colocar o FF A na esquerda e o FF D na direita, que é o oposto das posições no número binário que o contador representa. Em alguns dos diagramas com contadores deste capítulo, empregaremos o fluxo de sinal convencional da esquerda para a direita para você se acostumar a vê-lo.

para 0011. Poderia ter havido 35 pulsos (dois ciclos completos e então mais três), ou 51 pulsos, e assim por diante.

Módulo

O contador na Fig. 7-1 tem 16 estados distintos (0000 até 1111). Logo, ele é um *contador assíncrono de módulo 16*. Lembre-se de que o **módulo** é sempre igual ao número de estados que o contador atinge em cada ciclo completo antes de reciclar de volta ao estado inicial. O módulo pode ser aumentado simplesmente adicionando-se mais FFs ao contador. Isto é,

$$\text{Módulo} = 2^N \tag{7-1}$$

onde *N* é o número de FFs conectados segundo o arranjo da Fig. 7-1.

EXEMPLO 7-1

O contador da Fig. 7-1 começa no estado 0000, e então pulsos de clock são aplicados. Algum tempo depois, os pulsos de clock são removidos, e os FFs do contador apresentam 0011. Quantos pulsos de clock ocorreram?

Solução

A resposta parece ser 3, já que 0011 é o equivalente binário de 3. Entretanto, com as informações dadas, não há como saber se o contador reciclou ou não. Isto significa que 19 pulsos de clock poderiam ter ocorrido; os primeiros 16 teriam trazido o contador de volta a 0000, e os 3 últimos o teriam levado

EXEMPLO 7-2

Um contador é necessário para contar o número de itens que passam sobre uma esteira de transporte. Uma combinação de uma fonte de luz com uma fotocélula é usada para gerar um único pulso cada vez que um item cruza a trajetória do feixe. O contador deve ser capaz de contar mil itens. Quantos FFs são necessários?

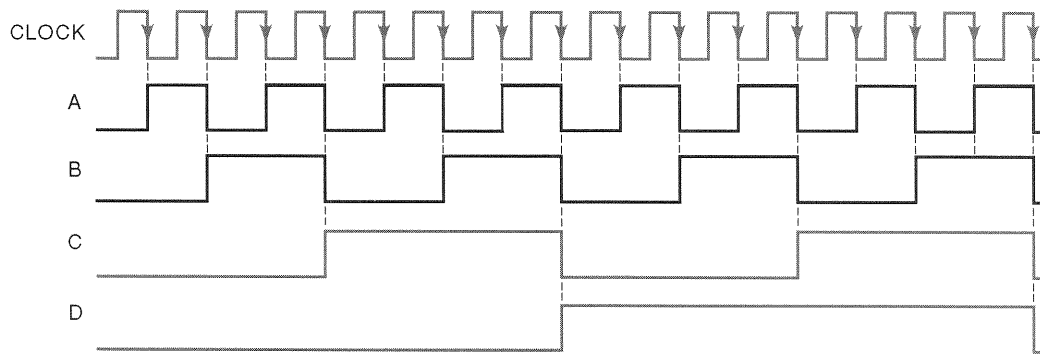


Fig. 7-2 - Formas de onda do contador mostrando a divisão de frequência por 2 em cada FF.

Solução

Simplesmente basta determinar qual valor de N é necessário para que $2^N \geq 1000$. Já que $2^9 = 512$, 9 FFs não serão suficientes. $2^{10} = 1024$, portanto 10 FFs produziram um contador que poderia contar até $1111111111_2 = 1023_{10}$. Assim, deveríamos usar 10 FFs. Poderíamos usar mais do que 10, mas seria um desperdício de FFs, já que qualquer FF além do décimo não seria necessário.

Divisão de Frequência

No Cap. 5, vimos que no contador básico cada FF fornece uma forma de onda de saída que tem exatamente a *metade* da frequência da forma de onda em sua entrada *CLK*. Para ilustrar, suponha que o sinal de clock na Fig. 7-1 tem 16 kHz. A Fig. 7-2 mostra as formas de onda de saída dos FFs. A forma de onda da saída *A* é uma *onda quadrada* de 8 kHz, na saída *B* é de 4 kHz, na saída *C* é de 2 kHz e na saída *D* é de 1 kHz. Note que a saída do flip-flop *D* tem uma frequência igual à frequência original do clock dividida por 16. De um modo geral, *para qualquer contador, a saída do último FF (isto é, do MSB) divide a frequência do clock de entrada pelo módulo do contador*. Por exemplo, um contador de módulo 16 poderia também ser chamado de *contador divisor por 16*.

EXEMPLO 7-3

O primeiro passo para a construção de um relógio digital é acionar um circuito Schmitt-trigger conformador de pulsos* para produzir uma onda quadrada conforme ilustra a Fig. 7-3. A onda quadrada de 60 Hz é levada para um contador de módulo 60, que é usado para dividir a frequência de 60

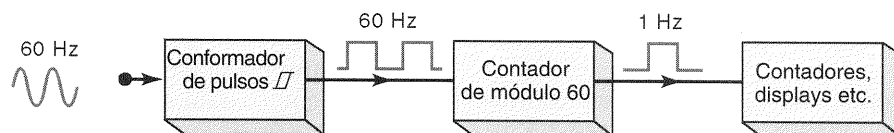


Fig. 7-3 - Exemplo 7-3.

Hz exatamente por 60, para produzir uma forma de onda de 1 Hz. Essa forma de onda de 1 Hz é levada para uma série de contadores, que, então, contam os segundos, minutos, horas e assim por diante. Quantos FFs são necessários para o contador de módulo 60?

Solução

Não existe nenhuma potência inteira de 2 que seja igual a 60. A mais próxima é $2^6 = 64$. Assim, um contador utilizando seis FFs funcionaria como um contador de módulo 64. Obviamente, isto não satisfará o requisito. Parece que não há solução usando um contador do tipo mostrado na Fig. 7-1. Isso está parcialmente correto; na próxima seção veremos como modificar este contador binário básico, de modo que praticamente *qualquer* módulo possa ser obtido e não estaremos limitados a valores de 2^N .

Questões de Revisão

1. *Verdadeiro ou falso*: Em um contador assíncrono, todos os FFs trocam de estado ao mesmo tempo.
2. Considere que o contador na Fig. 7-1 está com a contagem de 0101. Qual será a contagem após 27 pulsos de clock?
3. Qual seria o módulo do contador se três FFs fossem adicionados?

7-2 CONTADORES DE MÓDULO $< 2^N$

O contador por pulsação básico da Fig. 7-1 está limitado a módulos que são iguais a 2^N , onde N é o número de FFs. Esse valor, na verdade, é o módulo máximo que pode ser obtido utilizando N flip-flops. O contador básico pode ser

*Vide Seção 5-21.

modificado para produzir módulos menores do que 2^N , permitindo que o contador *pule estados* que normalmente fariam parte da seqüência de contagem. Um dos métodos mais comuns para realizar isto está ilustrado na Fig. 7-4, onde um contador por pulsação de três bits é mostrado. Ignorando a porta NAND por um momento, podemos ver que o contador é um contador binário de módulo 8 que contará em seqüência de 000 a 111. Entretanto, a presença da porta NAND alterará essa seqüência como segue:

1. A saída da NAND está conectada nas entradas assíncronas de CLEAR dos FFs. Enquanto a saída da NAND estiver em ALTO, ela não terá efeito sobre o contador. Quando ela vai para BAIXO, no entanto, ela vai limpar todos os FFs, de modo que o contador imediatamente vai para o estado 000.
2. As entradas da porta NAND são as saídas dos flip-flops B e C , e, portanto, a saída da NAND vai para BAIXO sempre que $B = C = 1$. Esta condição ocorrerá quando o contador for do estado 101 para o estado 110, na descida do pulso de entrada 6. O nível BAIXO na saída da NAND limpará imediatamente (geralmente dentro de uns poucos nanossegundos) o contador para o estado 000. Uma vez que os FFs tenham sido limpos, a saída da NAND retorna para ALTO, já que a condição $B = C = 1$ não existe mais.
3. A seqüência de contagem é, portanto,

CBA	
000	←
001	
010	
011	
100	
101	
110	→ (estado temporário necessário para limpar o contador)

Embora o contador vá para o estado 110, ele permanece lá por apenas alguns nanossegundos antes de reciclar para 000. Assim, podemos dizer que esse contador conta de 000 (zero) até 101 (cinco) e então recicla para 000. Ele essencialmente pulou 110 e 111, de modo que ele tem apenas seis estados diferentes; logo, ele é um contador de módulo 6.

Note que a forma de onda da saída B contém um *spike* ou *glitch* causado pela ocorrência momentânea do estado 110 antes de o contador ser limpo. Este glitch é muito estreito, e portanto não produziria qualquer indicação visual em LEDs ou displays numéricos. Ele poderia, entretanto, causar um problema se a saída B estivesse sendo usada para acionar outros circuitos externos ao contador. Também

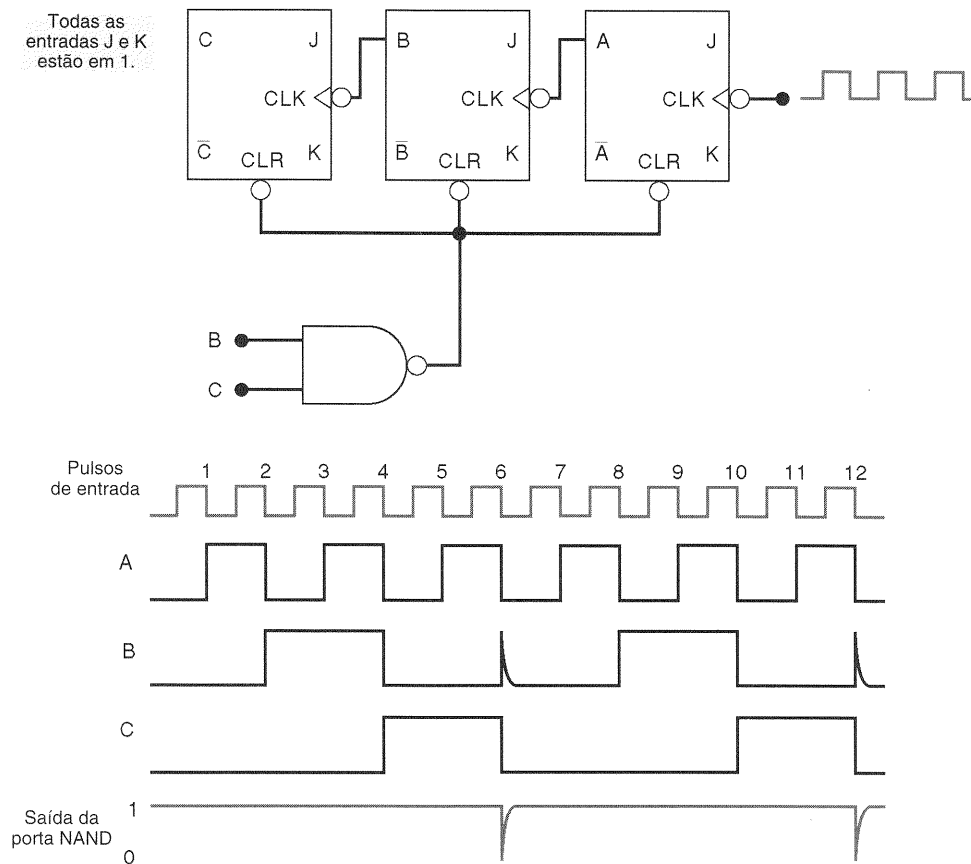


Fig. 7-4 - Contador de módulo 6 obtido pelo acionamento do CLEAR de um contador de módulo 8 quando a contagem seis (110) ocorre.

deveria ser notado que a saída C tem uma frequência igual a um sexto da frequência de entrada; em outras palavras, esse contador de módulo 6 dividiu a frequência de entrada por seis. A forma de onda de C não é uma onda quadrada simétrica (50% de taxa de ciclo), pois está em ALTO por apenas dois pulsos de clock e em BAIXO por quatro ciclos.

Diagrama de Transição de Estados

A Fig. 7-5(a) é o diagrama de transição de estados para o contador de módulo 6 da Fig. 7-4, que mostra como os FFs C , B e A mudam de estado conforme os pulsos são aplica-

dos na entrada CLK do flip-flop A . Lembre-se de que cada círculo representa um dos possíveis estados do contador e de que as setas indicam como ocorre uma mudança de estado em resposta a um pulso de clock de entrada.

Se presumimos uma contagem inicial de 000, o diagrama mostra que os estados do contador se alteram normalmente, para cima, até uma contagem de 101. Quando o próximo pulso de clock ocorre, o contador vai temporariamente para a contagem 110, antes de ir para a contagem estável de 000. As linhas tracejadas indicam a natureza temporária do estado 110. Conforme dito anteriormente, a duração deste estado temporário é tão curta que para a maio-

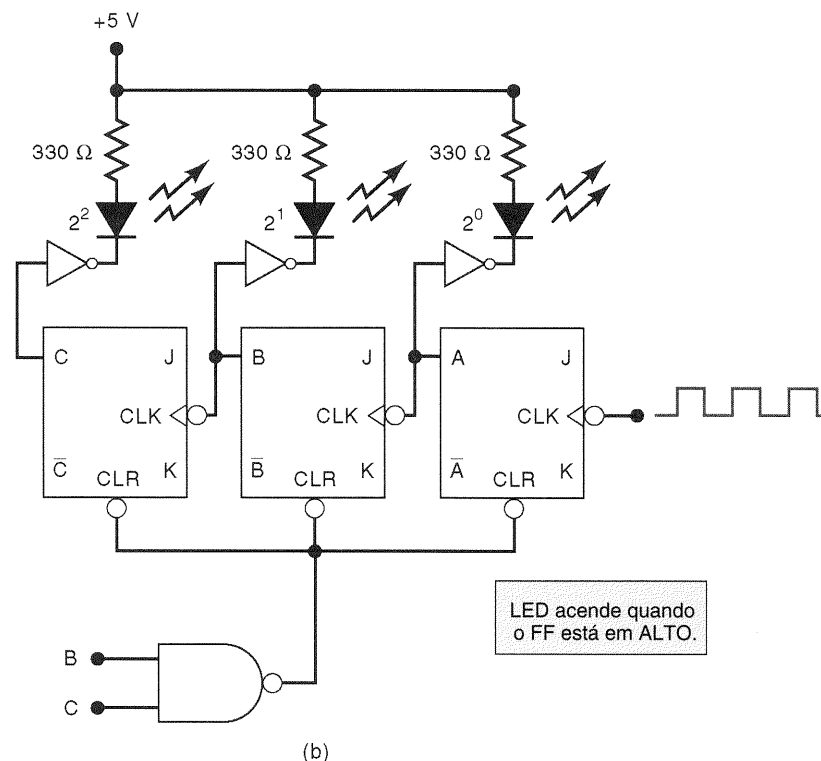
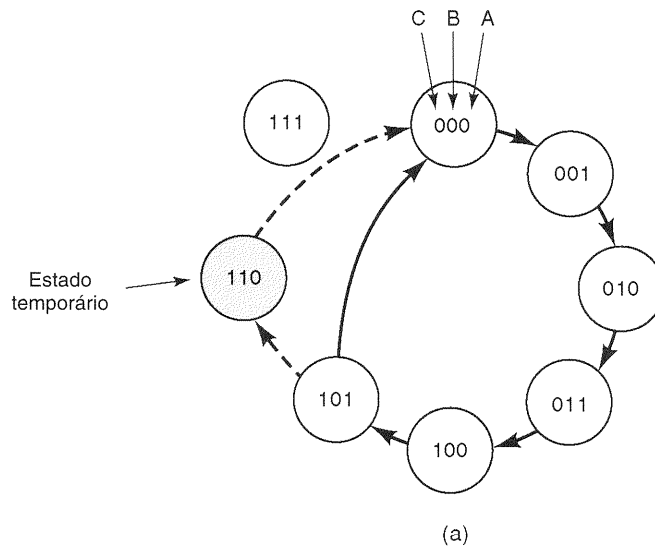


Fig. 7-5 - (a) Diagrama de transição de estados para o contador de módulo 6 da Fig. 7-4. (b) LEDs são utilizados frequentemente para indicar os estados de um contador.

ria dos propósitos podemos considerar que o contador vai diretamente de 101 para 000 (linha cheia).

Note que o estado 111 jamais é alcançado, nem mesmo temporariamente.

Mostrando os Estados do Contador

Algumas vezes durante a operação normal, e muito freqüentemente durante os testes, é necessário obter uma informação visual de como um contador está mudando de estado em resposta aos pulsos de entrada. Vamos analisar detalhadamente diversos modos de fazer isto mais adiante no livro. Por ora, a Fig. 7-5(b) mostra um dos métodos mais simples que usa LEDs indicadores individuais para cada saída de FF. Cada uma das saídas dos FFs é conectada num INVERSOR cuja saída fornece o caminho para a corrente do LED. Por exemplo, quando a saída *A* está em ALTO, a saída do INVERSOR vai para BAIXO e o LED acende. O LED aceso indica $A = 1$. Quando a saída *A* está em BAIXO, a saída do INVERSOR está em ALTO e o LED apaga. O LED apagado indica $A = 0$.

EXEMPLO 7-4

- Qual é o estado dos LEDs quando o contador apresenta uma contagem de cinco?
- O que os LEDs mostram quando o contador é acionado por uma entrada de 1 kHz?
- O estado 110 será visível nos LEDs?

Solução

- Já que $5_{10} = 101_2$, os LEDs de 2^0 e 2^2 estarão acesos e o LED de 2^1 estará apagado.
- A 1 kHz, os LEDs estarão comutando entre ligado e desligado tão rapidamente que eles parecerão acesos para o olho humano com aproximadamente metade do brilho normal.
- Não; o estado 110 existirá por apenas alguns nanossegundos quando o contador retorna para 000.

Alterando o Módulo

O contador das Figs. 7-4 e 7-5 é um contador de módulo 6 por causa da escolha das entradas da porta NAND. Qualquer módulo desejado pode ser obtido alterando estas entradas. Por exemplo, usando uma porta NAND de três entradas com entradas *A*, *B* e *C*, o contador funcionaria normalmente até a condição 111 ser alcançada; neste ponto, ele imediatamente seria ressetado para o estado 000. Ignorando a excursão temporária no estado 111, o contador iria de 000 até 110 e então retornaria de volta a 000, resultando em um contador de módulo 7 (sete estados).

EXEMPLO 7-5

Determine o módulo do contador da Fig. 7-6(a). Determine também a freqüência na saída *D*.

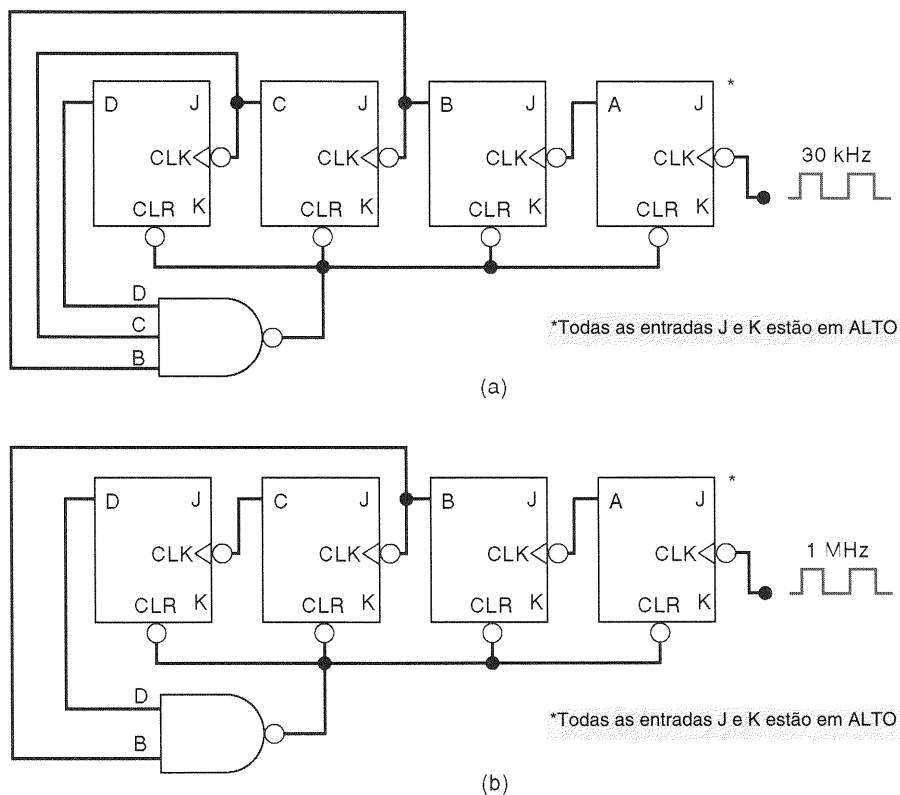


Fig. 7-6 - (a) Contador assíncrono de módulo 14; (b) contador assíncrono de módulo 10 (decádico).

Solução

Este é um contador de quatro bits, que normalmente conta de 0000 até 1111. As entradas da NAND são D , C e B , o que significa que o contador reciclará imediatamente para 0000 quando a contagem 1110 (14 em decimal) for alcançada. Assim, o contador tem realmente 14 estados estáveis de 0000 até 1101 e é portanto um contador de *módulo 14*. Como a frequência de entrada é de 30 kHz, a frequência na saída D será

$$\frac{30 \text{ kHz}}{14} = 2,14 \text{ kHz}$$

Procedimento Geral

Para construir um contador que começa contando de 0 e tem módulo X :

1. Determine o menor número de FFs tal que $2^N \geq X$, e conecte-os como um contador. Se $2^N = X$, não faça os passos 2 e 3.
2. Conecte uma porta NAND nas entradas assíncronas de CLEAR de todos os FFs.
3. Determine quais FFs estarão no estado ALTO na contagem X ; então conecte as saídas normais destes FFs nas entradas da porta NAND.

EXEMPLO 7-6

Construa um contador de módulo 10 que contará de 0000 (zero) até 1001 (9 decimal).

Solução

$2^3 = 8$ e $2^4 = 16$; logo, quatro FFs são necessários. Como o contador deve ter operação estável até a contagem de 1001, ele deve ser limpaado para zero quando a contagem 1010 for alcançada. Portanto, as saídas dos FFs D e B devem ser conectadas nas entradas da porta NAND. A Fig. 7-6(b) mostra este arranjo.

Contadores Decádicos/Contadores BCD

O contador de módulo 10 do Exemplo 7-6 também é denominado **contador decádico**. De fato, um contador decádico é qualquer contador com 10 estados distintos, não importando em que seqüência. Um contador decádico como o da Fig.

7-6(b), que conta em seqüência desde 0000 (zero) até 1001 (9 decimal), é também comumente denominado **contador BCD**, pois usa apenas os 10 códigos BCD 0000, 0001, ..., 1000 e 1001. Para enfatizar, qualquer contador de módulo 10 é um contador decádico, e qualquer contador decádico que conta em binário desde 0000 até 1001 é um contador BCD.

Contadores decádicos, especialmente os do tipo BCD, encontram vasto uso em aplicações onde pulsos ou eventos devem ser contados e os resultados apresentados em algum tipo de mostrador numérico decimal. Examinaremos isto mais adiante com maiores detalhes. Um contador decádico também é bastante usado para dividir uma frequência de pulsos *exatamente* por 10. Os pulsos de entrada são aplicados no flip-flop A , e os pulsos de saída são tomados da saída do flip-flop D , que tem um décimo da frequência da entrada.

EXEMPLO 7-7

No Exemplo 7-3, um contador de módulo 60 foi necessário para dividir a frequência de 60 Hz da rede para 1 Hz. Construa um contador de módulo 60.

Solução

$2^5 = 32$ e $2^6 = 64$, e portanto precisamos de seis FFs, conforme mostrado na Fig. 7-7. O contador deve ser limpaado quando ele alcança a contagem de 60 (111100). Logo, as saídas dos flip-flops Q_2 , Q_3 , Q_4 e Q_5 devem ser conectadas na porta NAND. A saída do flip-flop Q_5 terá uma frequência de 1 Hz.

Questões de Revisão

1. Quais as saídas dos FFs que devem ser conectadas na porta NAND para formar um contador de módulo 13?
2. *Verdadeiro ou falso:* Todos os contadores BCD são contadores decádicos.
3. Qual é a frequência de saída de um contador decádico que é acionado por um sinal de 50 kHz?

7-3 CIRCUITOS INTEGRADOS DE CONTADORES ASSÍNCRONOS

Existem vários CIs TTL e CMOS de contadores assíncronos. Um deles é o TTL 74LS293. A Fig. 7-8(a) mostra o diagrama

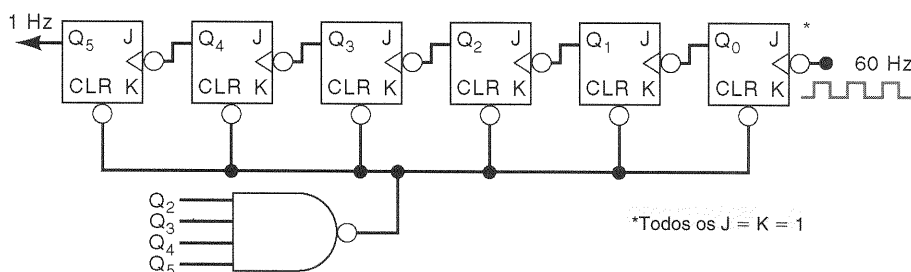


Fig. 7-7 - Contador de módulo 60.

lógico do 74LS293 conforme apareceria no manual TTL do fabricante. Alguns nomes são diferentes do que temos usado, mas é fácil compreendê-los. Note os seguintes pontos:

1. O 74LS293 tem quatro flip-flops J-K com saídas Q_0 , Q_1 , Q_2 e Q_3 , onde Q_0 é o LSB e Q_3 é o MSB. Os FFs estão mostrados com o LSB à esquerda. Isto é feito para satisfazer a convenção de que os sinais de entrada em um circuito aparecem na esquerda. Temos desenhado nossos contadores com o LSB na direita, de modo que a ordem dos FFs é a mesma ordem dos bits na contagem binária.
2. Cada FF tem uma entrada CP (pulso de clock), que é apenas um outro nome para a entrada CLK . As entradas de clock para Q_0 e Q_1 , identificadas como \overline{CP}_0 e \overline{CP}_1 , respectivamente, são externamente acessíveis. As barras de inversão sobre estas entradas indicam que elas são ativadas na descida.
3. Cada FF tem uma entrada assíncrona de CLEAR, C_D . Elas estão conectadas juntas na saída de uma porta NAND de duas entradas, MR_1 e MR_2 , onde MR significa *master*

4. *reset* (reset geral). Ambas as entradas MR devem estar em ALTO para limpar o contador para 0000. Os flip-flops Q_1 , Q_2 e Q_3 já estão conectados como um contador por pulsação de três bits. O flip-flop Q_0 não é conectado internamente a nada. Isto permite ao usuário a opção de conectar Q_0 e Q_1 para formar um contador de quatro bits, ou usar Q_0 separadamente se desejar.

Os exemplos a seguir ilustrarão algumas maneiras de ligar o 74LS293 para produzir contadores diferentes. Nestes exemplos usaremos o símbolo lógico simplificado mostrado na Fig. 7-8(b).

EXEMPLO 7-8

Mostre como o 74LS293 poderia ser conectado para operar como um contador de módulo 16 com uma entrada de clock de 10 kHz.

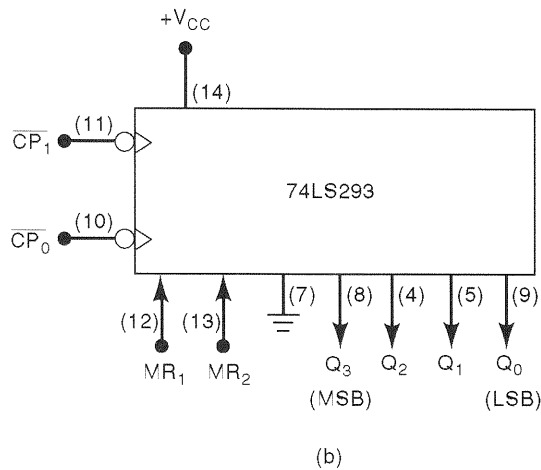
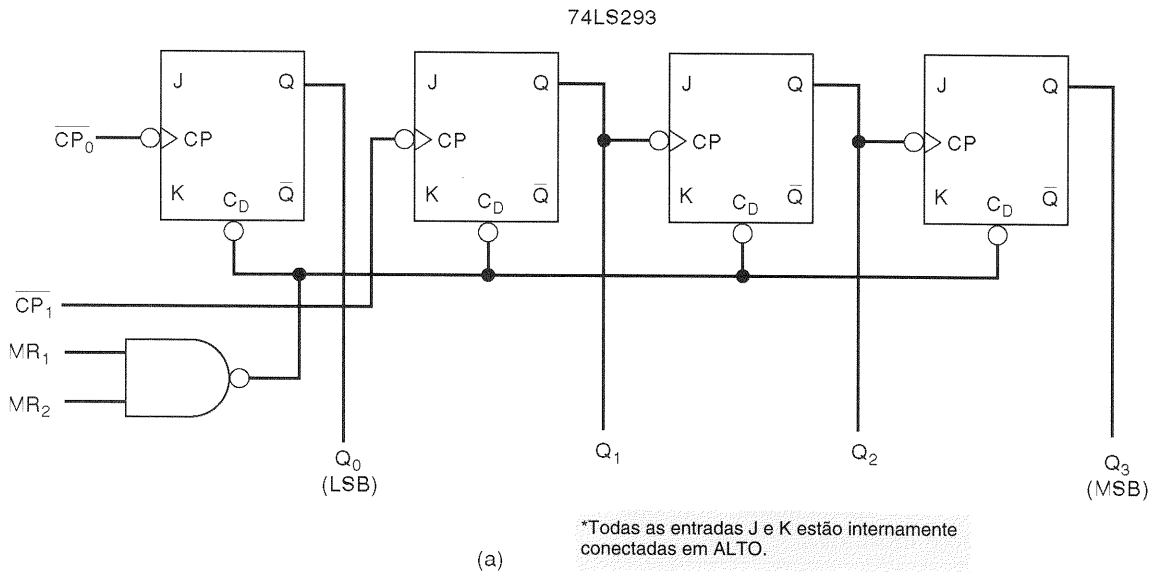


Fig. 7-8 - (a) Diagrama lógico para o CI contador assíncrono 74LS293; (b) símbolo com os números dos pinos entre parênteses. (Cortesia da Fairchild, uma companhia da Schlumberger.)

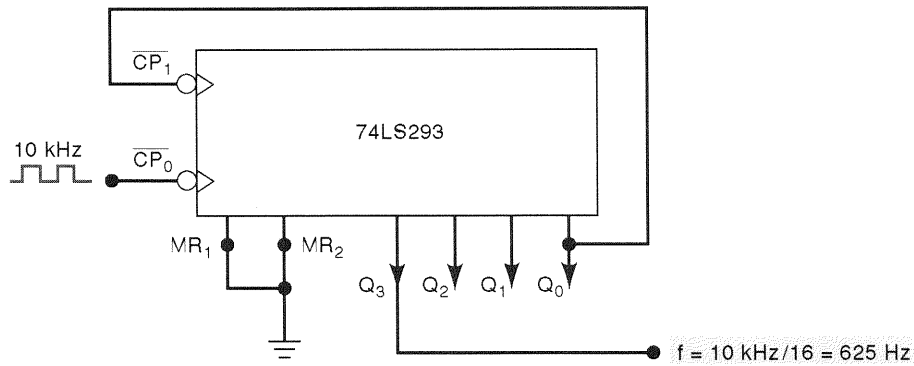


Fig. 7-9 74LS293 ligado como um contador de módulo 16.

Solução

Um contador de módulo 16 requer quatro FFs, e portanto devemos conectar a saída Q_0 em \overline{CP}_1 , a entrada de clock do flip-flop Q_1 (vide Fig. 7-9). Os pulsos de 10 kHz são aplicados em \overline{CP}_0 , o clock de entrada de Q_0 . A saída é tomada em Q_3 .

EXEMPLO 7-9

Mostre como ligar o 74LS293 como um contador de módulo 10.

Solução

Um contador de módulo 10 requer quatro FFs, e portanto mais uma vez precisamos conectar Q_0 em \overline{CP}_1 . Agora, no entanto, queremos que o contador retorne a 0000 quando ele tentar ir para a contagem 1010 (10). Logo, as saídas Q_3 e Q_1 devem ser conectadas nas entradas de reset; quando ambas vão para ALTO na contagem 1010, a saída da NAND vai imediatamente ressetar o contador para 0000.

As conexões do circuito estão na Fig. 7-10. O diagrama de transição de estados também é apresentado. Note que o estado temporário 1010 não é mostrado.

EXEMPLO 7-10

Mostre como ligar um 74LS293 como um contador de módulo 14.

Solução

Quando o contador alcança a contagem de 1110 (14), as saídas Q_3 , Q_2 e Q_1 estão todas em ALTO. Infelizmente, o NAND embutido para reset do 74LS293 tem apenas duas entradas. Logo, devemos adicionar uma lógica extra para garantir que o contador seja ressetado de volta para 0000 quando $Q_3 = Q_2 = Q_1 = 1$. De fato, tudo de que precisamos é de uma porta AND de duas entradas, conforme mostrado na Fig. 7-11. Você deve verificar que este arranjo opera como um contador de módulo 14.

EXEMPLO 7-11

No Exemplo 7-7, dividimos a frequência de entrada por 60 com um contador de módulo 60 usando seis flip-flops J-K e uma porta NAND. Uma outra maneira de se obter um contador de módulo 60 é mostrada na Fig. 7-12. Explique como este circuito funciona.

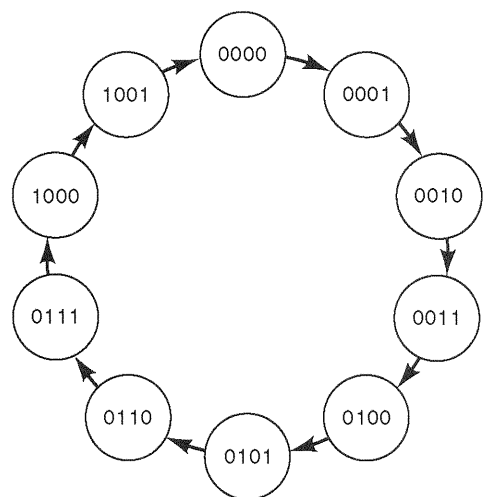
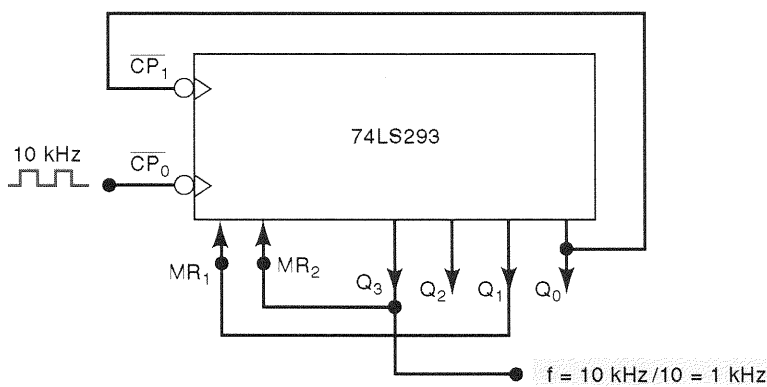


Fig. 7-10 - 74LS293 ligado como um contador de módulo 10.

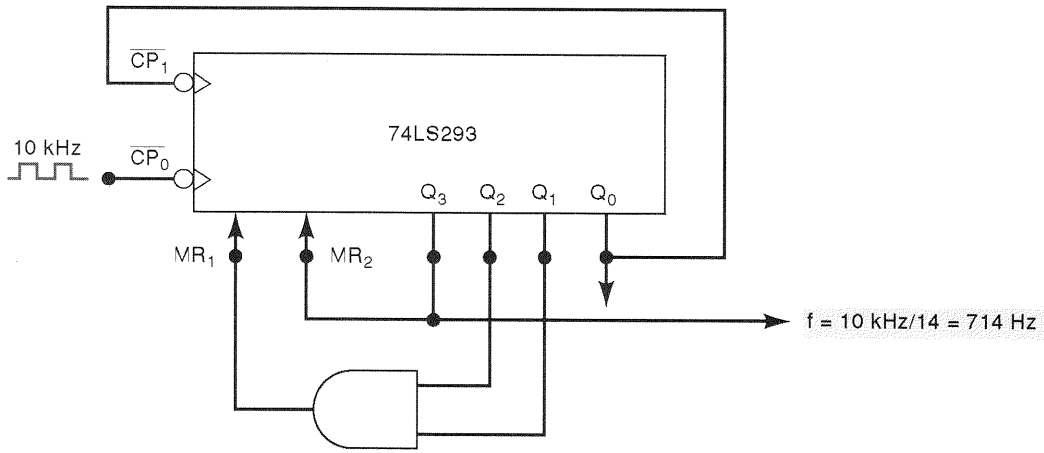


Fig. 7-11 Uma porta AND externa é necessária para ligar o 74LS293 como um contador de módulo 14.

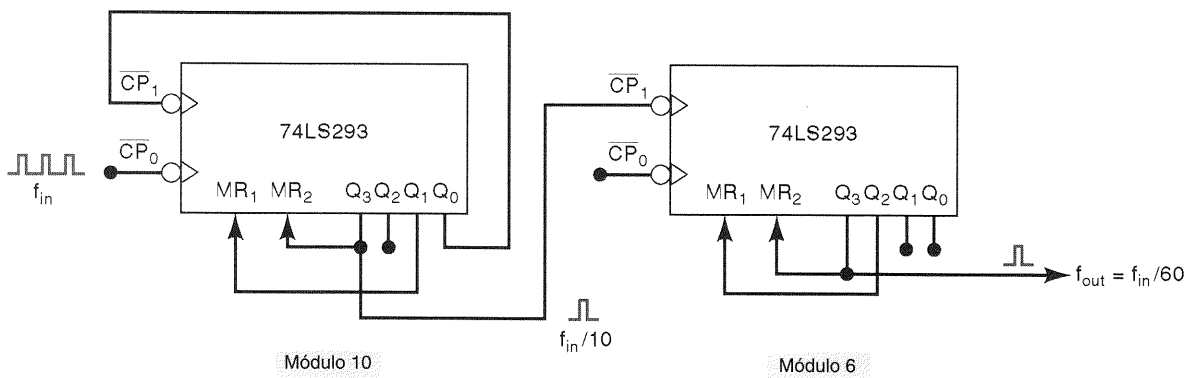


Fig. 7-12 - Dois 74LS293s combinados para fornecer uma divisão de frequência por 60 através de divisões sucessivas por 10 (módulo 10) e por 6 (módulo 6). Note que para o módulo 6 não foi usado CP0 nem Q0; usavam-se apenas Q3, Q2 e Q1.

Solução

Este circuito divide a frequência de entrada por 60 em dois passos. O contador 74LS293 da esquerda está ligado como um contador de módulo 10, de modo que sua saída Q3 tem uma frequência de $f_{in}/10$. Este sinal é conectado na entrada CP1 do segundo contador 74LS293, que está ligado como um contador de módulo 6 (note que Q0 não está sendo usado). Assim, a saída Q3 do segundo contador terá a seguinte frequência:

$$f_{out} = \frac{f_{in}/10}{6} = \frac{f_{in}}{60}$$

O Exemplo 7-11 mostra que dois (ou mais) contadores podem ser ligados em cascata para produzir um módulo total igual ao *produto* de seus módulos individuais. Isto pode ser muito útil em aplicações em que uma divisão de frequência muito grande seja necessária.

Símbolo IEEE/ANSI para o Contador 74LS293

A Fig. 7-13 mostra o símbolo IEEE/ANSI para o 74LS293. Este símbolo contém vários aspectos novos do padrão IEEE/

ANSI. À medida que os descrevermos, você deve observar como a nova simbologia IEEE/ANSI foi concebida para informar-nos muito sobre a operação do CI.

O símbolo contém três blocos distintos. O bloco superior (com as reentrâncias) é o bloco de controle comum. A notação “CTR” define este CI como um contador. Lembre-se

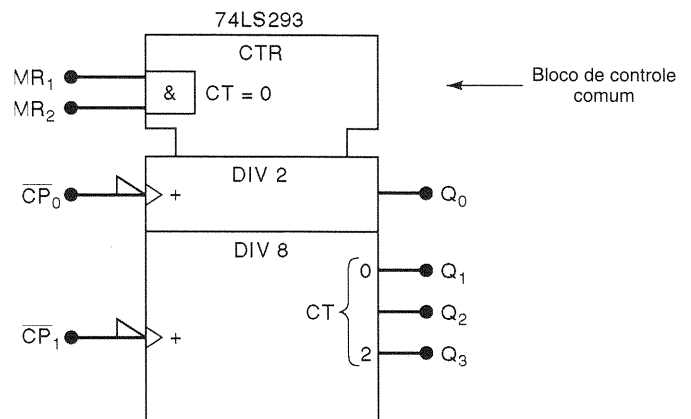


Fig. 7-13 - Símbolo IEEE/ANSI para o CI 74LS293.

da nossa discussão no Cap. 5, de que o bloco de controle comum é usado sempre que um CI tem uma ou mais entradas que são comuns a mais de um circuito no chip. Para o 74LS293, as entradas MR_1 e MR_2 são comuns a todos os FFs do contador.

MR_1 e MR_2 são mostradas como entradas ativas em nível ALTO, que são internamente combinadas usando a operação AND, conforme está indicado pela notação “&”. Isto indica que *tanto* MR_1 *quanto* MR_2 devem estar em seus estados ativos para limpar o contador. A notação “CT = 0” nos informa que a ação das entradas MR é tornar a contagem igual a zero.

O bloco intermediário está identificado como “DIV2” para indicar que é um contador de módulo 2, que obviamente é um simples FF. DIV2 significa que o contador dividirá sua frequência de entrada do clock por 2. O bloco inferior está identificado como “DIV8” para indicar que é um contador de módulo 8. As entradas de clock para cada um destes blocos estão mostradas como sendo ativadas nas transições de descida. A notação “+” em cada entrada de clock indica que a descida do clock causará o *incremento de 1* na contagem. Em outras palavras, este é um **contador crescente**, significando que ele *conta para cima* em cada descida. Uma notação “-” seria usada para um **contador decrescente** (vide Seção 7-4).

Embora continuando a usar a simbologia tradicional para o 74LS293 e outros contadores, usaremos alguma notação da simbologia IEEE/ANSI. Por exemplo, indicaremos o módulo de um contador utilizando a notação $DIVn$, onde n é o módulo.

Contadores Assíncronos CMOS

Existem diversos contadores assíncronos na família CMOS. A maioria deles é equivalente às versões TTL. Entretanto, alguns CIs de contadores assíncronos CMOS não têm um TTL correspondente. Um destes é o 74HC4024; seu símbolo lógico é mostrado na Fig. 7-14. Ele é um contador de sete bits com uma entrada de reset geral assíncrona. Os sete FFs estão internamente conectados como um contador por pulsação de módulo 128. A entrada MR é ativa em ALTO e pode ser usada para ressetar todos os FFs para o estado 0. Note que utilizamos a notação “CTR DIV128” para significar que é um contador de módulo 128.

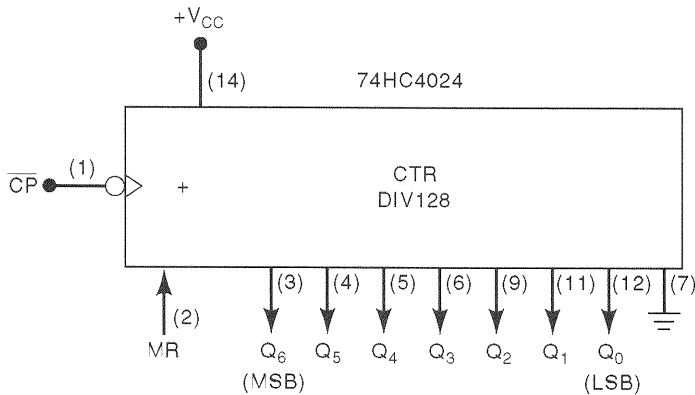


Fig. 7-14 - Símbolo lógico para o contador por pulsação CMOS 74HC4024. O sinal + indica operação de contagem crescente.

Um outro contador por pulsação CMOS sem correspondente TTL é o 74HC4040, que é um contador de 12 bits com uma entrada de reset geral. A entrada de clock deste contador é do tipo Schmitt-trigger, o que permite a utilização de sinais que variam lentamente sem produzir problemas de contagem.

Questões de Revisão

1. Um sinal de clock de 2 kHz é aplicado em \overline{CP}_1 de um 74LS293. Qual é a frequência em Q_3 ?
2. Qual seria a frequência final de saída se a ordem dos contadores fosse trocada na Fig. 7-12?
3. Qual é o módulo do contador 74HC4040?
4. O que deve significar a notação “DIV64” em um símbolo de contador?
5. Conecte Q_6 e Q_5 nas entradas de uma porta AND na Fig. 7-14, e conecte a saída da AND em MR . Qual será o novo módulo?

7-4 CONTADOR ASSÍNCRONO DECRESCENTE

Todos os contadores que temos estudado até agora contam de modo progressivo *a partir* de zero, isto é, eles são **contadores crescentes**. É relativamente simples construir **contadores decrescentes** assíncronos (por pulsação), que contarão de modo regressivo a partir de um valor máximo até zero. Antes de analisarmos o circuito para um contador decrescente por pulsação, vamos examinar a seqüência de contagem decrescente para um contador de três bits:

	<i>CBA</i>	
(7)	111	←
(6)	110	
(5)	101	
(4)	100	Recicla
(3)	011	↑
(2)	010	
(1)	001	
(0)	000	←

A , B e C representam os estados de saída dos FFs conforme o contador avança na sua seqüência. Pode ser constatado que o flip-flop A (LSB) muda de estado (comuta) a cada passo da seqüência do mesmo modo que num contador crescente. O flip-flop B troca de estado cada vez que A vai de BAIXO para ALTO; C muda de estado cada vez que B vai de BAIXO para ALTO. Logo, em um contador decrescente, cada FF, exceto o primeiro, deve comutar quando o FF precedente vai de BAIXO para ALTO. Se os FFs têm entradas CLK sensíveis na descida (ALTO para BAIXO), então um inversor pode ser colocado para cada entrada CLK ; entretanto, o mesmo efeito pode ser conseguido acionando cada entrada CLK dos FFs com a saída *invertida* do FF precedente. Isto está ilustrado na Fig. 7-15 para um contador decrescente de módulo 8.

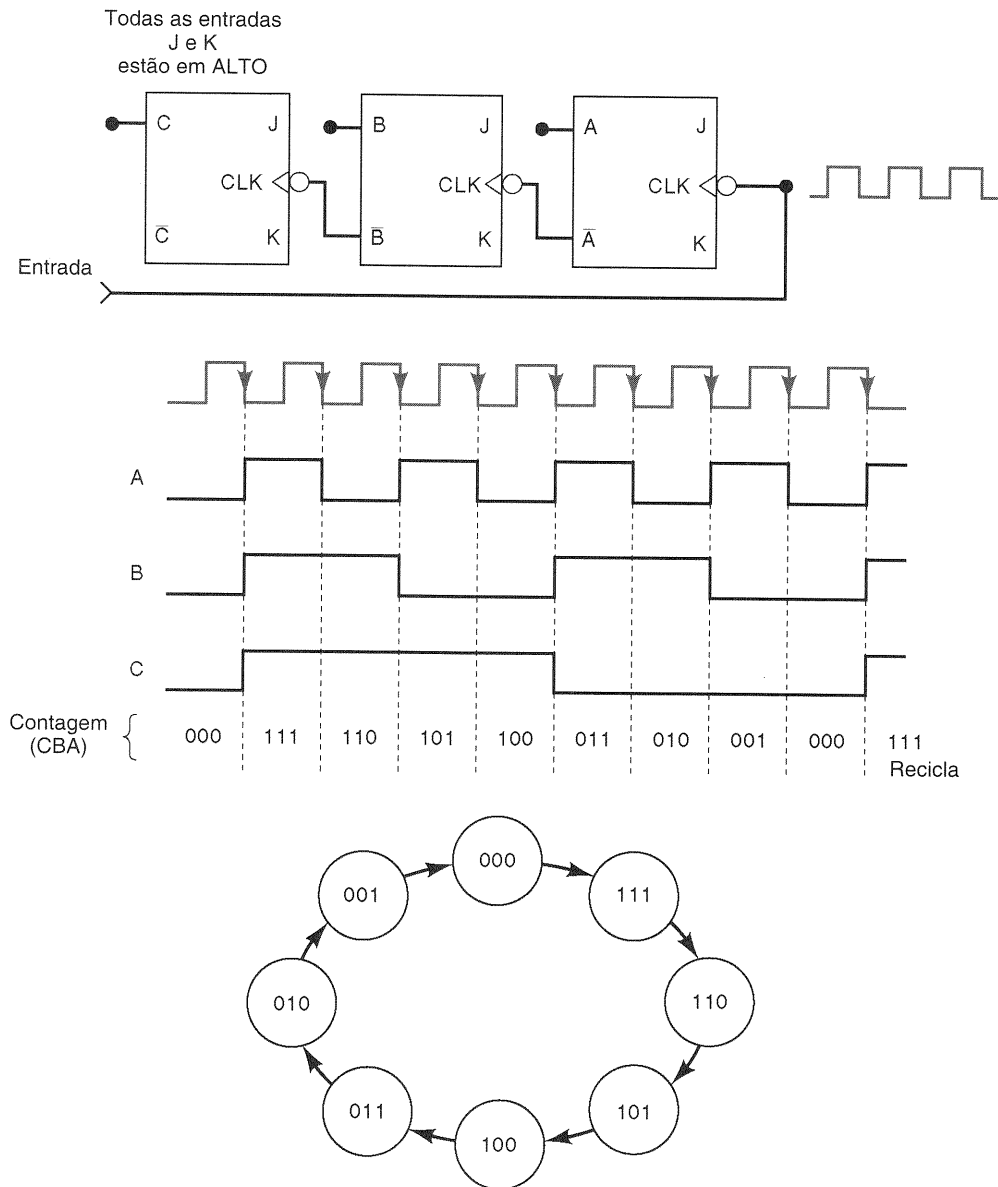


Fig. 7-15 - Contador decrescente de módulo 8.

Os pulsos de entrada são aplicados no flip-flop *A*. A saída \bar{A} aciona a entrada de clock do flip-flop *B*; a saída \bar{B} aciona a entrada de clock do flip-flop *C*. As formas de onda em *A*, *B* e *C* mostram que *B* comuta sempre que *A* vai de BAIXO para ALTO (portanto \bar{A} vai de ALTO para BAIXO) e *C* comuta sempre que *B* vai de BAIXO para ALTO. Isto resulta na desejada seqüência decrescente de contagem nas saídas *C*, *B* e *A*. O diagrama de transição de estados mostra a seqüência. Compare-o com o diagrama para o contador crescente de módulo 8 na Fig. 5-49.

Contadores decrescentes não são tão amplamente usados como os contadores crescentes. Sua principal aplicação é em situações onde se deve reconhecer quando um número desejado de pulsos de entrada ocorreu. Nestas situações, o contador decrescente é *inicializado* com o nú-

mero desejado e então habilitado a contar para baixo conforme os pulsos são aplicados. Quando o contador alcança o estado *zero*, isto é detectado por uma porta lógica cuja saída indica que o número de pulsos já ocorreu. Discutiremos contadores com carga paralela na Seção 7-8.

Questões de Revisão

1. Qual é a diferença entre as seqüências de contagem de um contador crescente e de um contador decrescente?
2. Descreva como um circuito de contador assíncrono decrescente difere de um circuito de contador crescente.

7-5 ATRASO DE PROPAGAÇÃO EM CONTADORES ASSÍNCRONOS

Contadores assíncronos são o tipo mais simples de contadores binários, já que eles necessitam de um menor número de componentes para produzir uma certa operação de contagem. Eles têm, no entanto, uma grande desvantagem, que é causada pelo seu princípio básico de operação: cada FF é disparado pela transição na saída do FF precedente. Por causa do inerente atraso de propagação (t_{pd}) de cada FF, isto significa que o segundo FF não responderá até um tempo t_{pd} após o primeiro FF ter recebido uma transição ativa do clock; o terceiro FF não responderá até um tempo igual a $2 \times t_{pd}$ após aquela transição do clock; e assim por diante. Em outras palavras, os atrasos de propagação dos FFs se acumulam, de modo que o N ésimo FF não pode mudar de estado até um tempo igual a $N \times t_{pd}$ após a transição do

clock ter ocorrido. Isto é ilustrado na Fig. 7-16, onde as formas de onda para um contador assíncrono de três bits são mostradas.

O primeiro conjunto de formas de onda na Fig. 7-16(a) mostra uma situação onde um pulso de entrada ocorre a cada 1000 ns (o período do clock é $T = 1000$ ns) e considerou-se que cada FF tem um atraso de propagação de 50 ns ($t_{pd} = 50$ ns). Note que a saída do flip-flop *A* comuta 50 ns após a descida de cada pulso de entrada. Analogamente, *B* comuta 50 ns depois de *A* ter ido de 1 para 0, e *C* comuta 50 ns após *B* ter ido de 1 para 0. Como resultado, temos que, quando a quarta transição de descida da entrada ocorre, a saída *C* vai para ALTO após um atraso de 150 ns. Nesta situação, o contador opera adequadamente no sentido de que os FFs acabam indo para os seus estados corretos, representando a contagem binária. No entanto, a situação piora se os pulsos de entrada são aplicados com uma frequência bem mais alta.

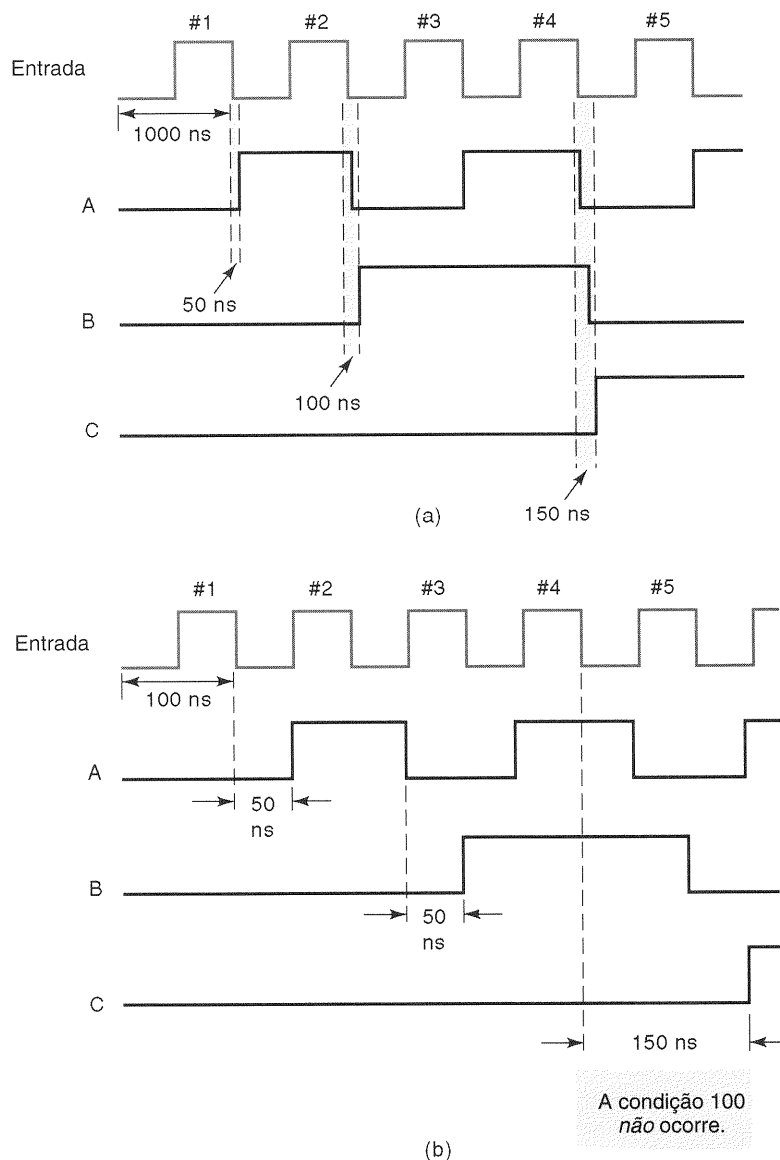


Fig. 7-16 - Formas de onda para um contador assíncrono de três bits ilustrando os efeitos dos atrasos de propagação dos FFs para diferentes frequências dos pulsos de entrada.

As formas de onda na Fig. 7-16(b) mostram o que acontece se os pulsos de entrada ocorrerem a cada 100 ns. Normalmente, cada saída de FF responde 50 ns depois da transição de 1 para 0 na sua entrada CLK (note a mudança na escala de tempo). De particular interesse é a situação após a borda de descida do *quarto* pulso de entrada, onde a saída C não vai para ALTO até 150 ns mais tarde, que é o mesmo tempo que a saída A vai para ALTO em resposta ao *quinto* pulso de entrada. Em outras palavras, a condição $C = 1, B = A = 0$ (contagem 100) nunca aparece, pois a frequência de entrada é muito elevada. Isto poderia causar sérios problemas se esta condição fosse usada para controlar alguma outra operação em um sistema digital. Problemas como este podem ser evitados se o período entre os pulsos é bem maior do que o atraso de propagação total do contador. Isto é, para a operação apropriada do contador precisamos que

$$T_{\text{clock}} \geq N \times t_{\text{pd}} \quad (7-2)$$

onde N = número de FFs. Em termos de frequência de entrada do clock, a máxima frequência que pode ser usada é dada por

$$f_{\text{max}} = \frac{1}{N \times t_{\text{pd}}} \quad (7-3)$$

Por exemplo, suponha que um contador binário assíncrono de 4 bits é construído usando o flip-flop J-K 74LS112. A Tabela 5-2 mostra que o 74LS112 tem $t_{\text{PLH}} = 16$ ns e $t_{\text{PHL}} = 24$ ns como sendo os atrasos de propagação do CLK para Q . Para calcular a f_{max} vamos considerar o "pior caso", isto é, usaremos $t_{\text{pd}} = t_{\text{PHL}} = 24$ ns, de modo que

$$f_{\text{max}} = \frac{1}{4 \times 24 \text{ ns}} = 10,4 \text{ MHz}$$

Certamente, conforme o número de FFs no contador aumenta, o atraso de propagação total aumenta, e f_{max} diminui. Por exemplo, um contador assíncrono que usa seis FFs 74LS112 terá

$$f_{\text{max}} = \frac{1}{6 \times 24 \text{ ns}} = 6,9 \text{ MHz}$$

Assim, contadores assíncronos não são úteis em frequências muito altas, especialmente para um grande número de bits. Um outro problema causado pelos atrasos de propagação em contadores assíncronos ocorre quando a saída do contador é *decodificada*. Este problema é discutido na Seção 7-12. Apesar destes problemas, a simplicidade dos contadores assíncronos torna-os muito úteis em aplicações onde sua limitação de frequência não é crítica.

Questões de Revisão

1. Explique por que o limite máximo de frequência dos contadores assíncronos diminui conforme mais FFs são adicionados ao contador.
2. Um determinado flip-flop J-K tem $t_{\text{pd}} = 12$ ns. Qual é o maior módulo que pode ser obtido construindo-se um contador a partir destes FFs que opere até 10 MHz?

7-6 CONTADORES SÍNCRONOS

Os problemas encontrados nos contadores assíncronos são causados pela acumulação dos atrasos de propagação dos FFs. Apresentando de outro modo, os FFs não trocam de estado simultaneamente em sincronia com os pulsos de entrada. Estas limitações podem ser superadas com a utilização de **contadores síncronos** ou **contadores paralelos**, nos quais todos os FFs são disparados simultaneamente (em paralelo) pelos pulsos de clock da entrada. Como os pulsos de entrada são aplicados em todos os FFs, algum modo deve ser usado para controlar quando um FF comuta e quando ele deve permanecer inalterado pelo pulso de clock. Isto é conseguido pela utilização das entradas J e K , e está ilustrado na Fig. 7-17 para um contador síncrono de quatro bits com módulo 16.

Se compararmos o circuito para este contador síncrono com o correspondente assíncrono na Fig. 7-1, podemos constatar as seguintes diferenças marcantes:

- As entradas CLK de todos os FFs estão conectadas juntas, de modo que o sinal de entrada do clock é aplicado em cada FF simultaneamente.
- Apenas o flip-flop A , o LSB, tem suas entradas J e K permanentemente em nível ALTO. As entradas J e K dos outros FFs são acionadas por alguma combinação das saídas dos FFs.
- O contador síncrono necessita de mais circuitos do que um contador assíncrono.

Operação do Circuito

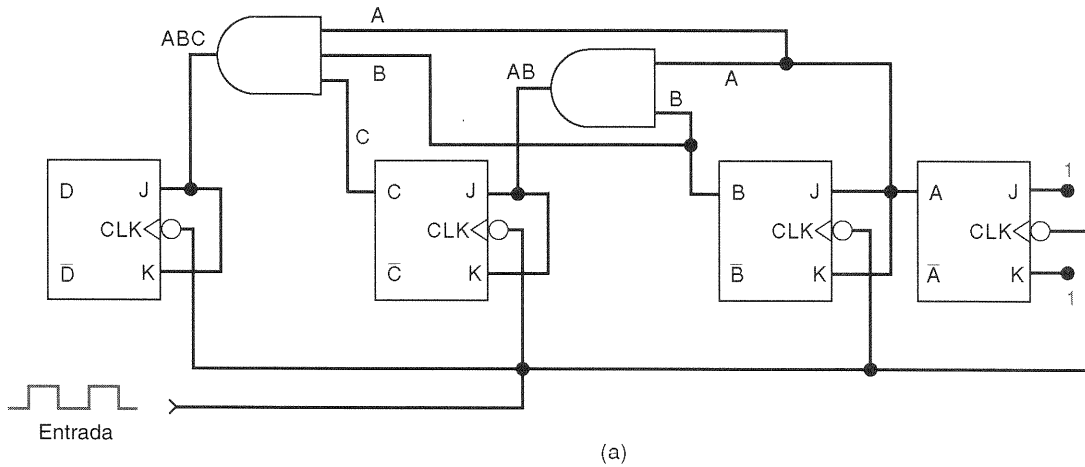
Para este circuito contar apropriadamente numa dada descida do clock, apenas aqueles FFs que comutariam naquela descida deveriam ter $J = K = 1$ quando a transição ocorrer. Vamos analisar a seqüência de contagem na Fig. 7-17(b) para ver o que isso significa para cada FF.

A seqüência de contagem mostra que o flip-flop A deve trocar de estado em cada descida. Por isso, suas entradas J e K estão permanentemente em ALTO, de modo que ele comutará em cada descida do clock de entrada.

A seqüência de contagem mostra que o flip-flop B deve mudar de estado em cada descida que ocorrer enquanto $A = 1$. Por exemplo, quando a contagem for 0001, a próxima descida deve comutar B para o estado 1; quando a contagem for 0011, a próxima descida deve comutar B para o estado 0, e assim por diante. Esta operação é conseguida conectando-se a saída A nas entradas J e K do flip-flop B , de modo que $J = K = 1$ somente quando $A = 1$.

A seqüência de contagem mostra que o flip-flop C deve mudar de estado em cada descida que ocorrer enquanto $A = B = 1$. Por exemplo, quando a contagem for 0011, a próxima descida deve comutar C para o estado 1; quando a contagem for 0111, a próxima descida deve comutar C para o estado 0, e assim por diante. Conectando-se o sinal lógico AB nas entradas J e K do flip-flop C , este FF somente comutará quando $A = B = 1$.

Analogamente, podemos constatar que o flip-flop D deve comutar em toda descida que ocorrer enquanto $A = B = C = 1$. Quando a contagem for 0111, a próxima descida deve comutar D para o estado 1; quando a contagem for 1111, a



Contagem	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
0	0	0	0	0
.
.
.	.	etc.	.	.

(a)

(b)

Fig. 7-17 - Contador síncrono de módulo 16. Cada FF é disparado pela descida do sinal de clock de entrada, de modo que todas as transições dos FFs ocorrem ao mesmo tempo.

próxima descida deve comutar *D* para o estado 0. Conectando-se o sinal lógico *ABC* nas entradas *J* e *K* do flip-flop *D*, este flip-flop comutará somente quando $A = B = C = 1$.

O princípio básico para a construção de um contador síncrono pode ser enunciado como segue:

Cada FF deve ter suas entradas *J* e *K* conectadas de modo que elas estejam em ALTO somente quando as saídas de todos os FFs de mais baixa ordem estiverem no estado ALTO.

Vantagem dos Contadores Síncronos sobre os Assíncronos

Em um contador paralelo todos os FFs mudarão de estado simultaneamente, isto é, todos eles estão sincronizados com

a descida dos pulsos de clock de entrada. Logo, ao contrário dos contadores assíncronos, os atrasos de propagação dos FFs não se acumulam para produzir um atraso geral. Em vez disso, o tempo de resposta total de um contador síncrono, como o da Fig. 7-17, é o tempo que leva *um* FF para comutar, mais o tempo para o novo nível lógico se propagar através de *uma* única porta AND, para alcançar as entradas *J* e *K*. Isto é, para um contador síncrono,

$$\text{atraso total} = t_{pd} \text{ do FF} + t_{pd} \text{ da porta AND}$$

Este atraso total é o mesmo, não importando quantos FFs estão no contador, e ele será geralmente bem menor do que o obtido em um contador assíncrono com o mesmo número de FFs. Logo, um contador síncrono pode operar a uma frequência de entrada bem maior. Naturalmente, o circuito para o contador síncrono é mais complexo do que aquele para o contador assíncrono.

CI's Reais

Existem diversos CI's de contadores síncronos tanto na família lógica TTL quanto na CMOS. Alguns dos dispositivos mais comumente utilizados são:

- 74LS160/162, 74HC160/162: contadores síncronos decádicos
- 74LS161/163, 74HC161/163: contadores síncronos de módulo 16

EXEMPLO 7-12

- (a) Determine f_{\max} para o contador da Fig. 7-17(a) se o t_{pd} para cada FF é 50 ns e o t_{pd} para cada porta AND é 20 ns. Compare este valor com f_{\max} para um contador assíncrono de módulo 16.
- (b) O que deve ser feito para converter este contador em um que tenha módulo 32?
- (c) Determine a f_{\max} para o contador paralelo de módulo 32.

Solução

- (a) O atraso total que deve ser tolerado entre os pulsos de entrada do clock é igual a t_{pd} do FF + t_{pd} da porta AND. Logo, $T_{\text{clock}} \geq 50 + 20 = 70$ ns, * e portanto o contador paralelo tem

$$f_{\max} = \frac{1}{70 \text{ ns}} = 14,3 \text{ MHz (contador síncrono)}$$

Um contador assíncrono de módulo 16 utiliza quatro FFs com $t_{pd} = 50$ ns. Logo, f_{\max} para o contador assíncrono é

$$f_{\max} = \frac{1}{4 \times 50 \text{ ns}} = 5 \text{ MHz (contador assíncrono)}$$

- (b) Um quinto FF deve ser incluído, visto que $2^5 = 32$. A entrada CLK deste FF também é ligada aos pulsos de entrada. Suas entradas J e K são acionadas pela saída de uma porta AND cujas quatro entradas são A , B , C e D .
- (c) f_{\max} ainda é determinada como no item (a) independentemente do número de FFs no contador paralelo. Logo, f_{\max} ainda é 14,3 MHz.

Questões de Revisão

1. Qual é a vantagem de um contador síncrono sobre um contador assíncrono? Qual é a desvantagem?
2. Quantos dispositivos lógicos são necessários para um contador paralelo de módulo 64?
3. Que sinal lógico aciona as entradas J e K do flip-flop MSB do contador da questão 2?

*O autor desprezou o tempo de setup das entradas J e K . (N. T.)

7-7 CONTADORES SÍNCRONOS DECRESCENTES E CRESCENTES/ DECRESCENTES

Na Seção 7-4, vimos que um contador assíncrono poderia contar de modo decrescente utilizando-se a saída invertida de cada FF para acionar o próximo FF do contador. Um contador paralelo decrescente pode ser construído de modo similar, isto é, utilizando-se as saídas invertidas de cada FF para acionar as entradas J e K seguintes. Por exemplo, o contador crescente paralelo da Fig. 7-17 pode ser convertido para decrescente conectando-se as saídas \bar{A} , \bar{B} e \bar{C} em vez de A , B e C , respectivamente. O contador então contará 15, 14, 13, 12, ..., 3, 2, 1, 0, 15, 14, 13, e assim por diante.

A Fig. 7-18(a) mostra como fazer um **contador crescente/decrecente** (up/down). A entrada Up/\bar{Down} controla se as saídas normais ou as invertidas dos FFs são conectadas nas entradas J e K dos sucessivos FFs. Quando Up/\bar{Down} é mantida em ALTO, as portas AND 1 e 2 são habilitadas, enquanto as portas 3 e 4 estão desabilitadas (note o inversor). Isto permite que as saídas A e B , através das portas 1 e 2, alcancem as entradas J e K dos FFs B e C . Quando Up/\bar{Down} é mantido em nível BAIXO, as portas AND 1 e 2 são desabilitadas, enquanto as portas AND 3 e 4 são habilitadas. Isto permite que as saídas A e B , através das portas 3 e 4, alcancem as entradas J e K dos FFs B e C . As formas de onda na Fig. 7-18(b) ilustram a operação. Note que para os primeiros cinco pulsos de clock, $Up/\bar{Down} = 1$, e a contagem é crescente; para os últimos cinco pulsos, $Up/\bar{Down} = 0$, e a contagem é decrescente.

A nomenclatura usada para o sinal de controle (Up/\bar{Down}) foi escolhida para tornar claro como ele afeta o contador. A operação crescente é ativa em ALTO, e a decrescente é ativa em nível BAIXO.

EXEMPLO 7-13

Que problemas poderiam ser causados se o sinal Up/\bar{Down} mudasse de nível na transição negativa do clock?

Solução

Os FFs poderiam operar de modo imprevisível, visto que alguns deles teriam suas entradas J e K mudando aproximadamente no mesmo instante de tempo que a transição negativa nas suas entradas CLK ocorresse. Entretanto, os efeitos da mudança do sinal de controle devem se propagar através de duas portas antes de alcançar as entradas J e K , e portanto é mais provável que os FFs respondam de modo previsível aos níveis que estavam anteriormente em J e K antes da descida de CLK .

7-8 CONTADORES COM CARGA PARALELA

Muitos contadores síncronos (paralelos) que estão disponíveis como CI's são projetados para serem **carregáveis**; em outras palavras, eles podem ser inicializados com qualquer contagem inicial desejada, assincronamente (independen-

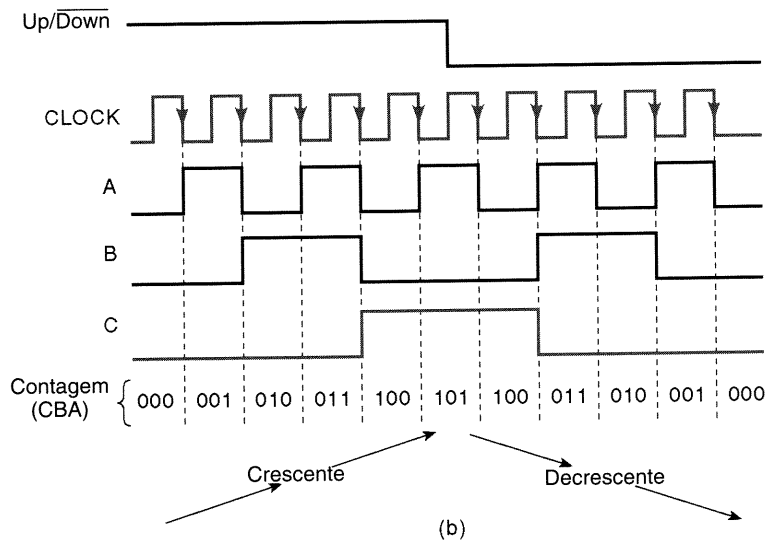
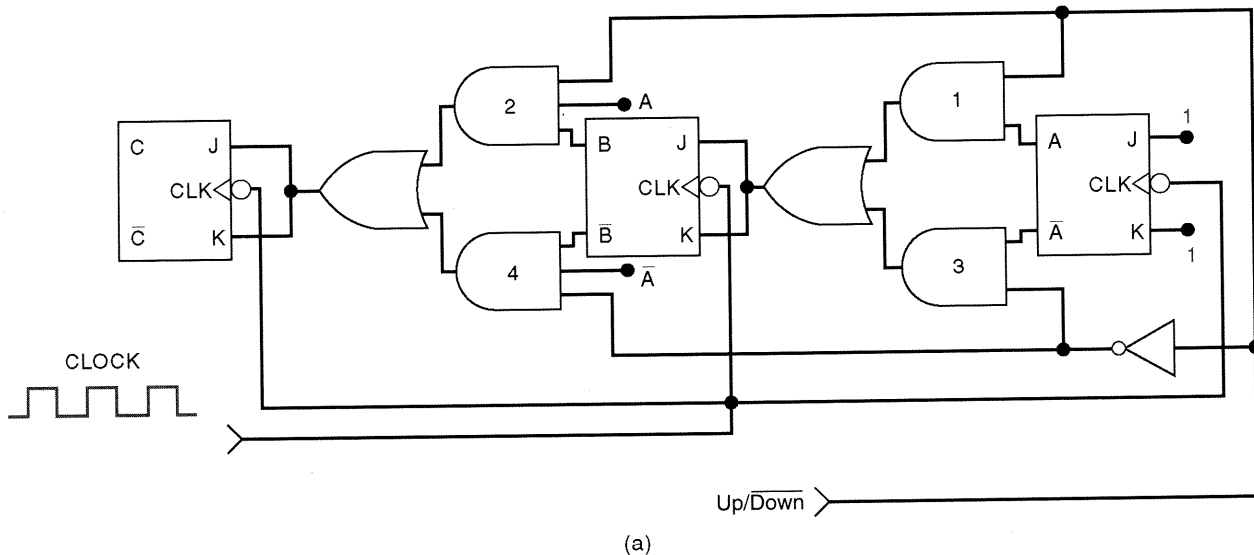


Fig. 7-18 - (a) Contador síncrono crescente/decrescente de módulo 8. (b) O contador conta de modo crescente quando a entrada de controle $Up/Down = 1$; ele conta decrescente quando a entrada de controle = 0.

temente do sinal de clock) ou de modo síncrono (na transição ativa do sinal de clock). Esta operação de inicialização também é denominada **carga paralela** do contador.

A Fig. 7-19 mostra o circuito lógico para um contador crescente de três bits com carga paralela. As entradas J , K e CLK são ligadas para a operação como contador síncrono crescente. As entradas assíncronas de PRESET e CLEAR estão ligadas para realizar a carga assíncrona. O contador é carregado com qualquer contagem desejada, a qualquer instante, fazendo-se o seguinte:

1. Aplique a contagem desejada nas entradas paralelas de dados, P_2 , P_1 e P_0 .
2. Aplique um pulso em BAIXO na entrada de CARGA PARALELA (PARALLEL LOAD), \overline{PL} .

Este procedimento realizará uma transferência assíncrona dos níveis de P_2 , P_1 e P_0 para os flip-flops Q_2 , Q_1 e Q_0 , respectivamente (Seção 5-17). Esta *transferência forçada* ocorre

independentemente das entradas J , K e CLK . O efeito da entrada CLK será desabilitado enquanto \overline{PL} ficar no seu estado ativo em BAIXO, visto que, cada FF terá apenas uma de suas entradas assíncronas ativada enquanto $\overline{PL} = 0$. Uma vez que \overline{PL} retorne para ALTO, os FFs podem responder a suas entradas CLK e podem prosseguir a operação de contagem crescente começando do valor que foi carregado no contador.

Por exemplo, digamos que $P_2 = 1$, $P_1 = 0$ e $P_0 = 1$. Enquanto \overline{PL} está em ALTO, estas entradas paralelas de dados não têm efeito algum. Se pulsos de clock estão presentes, o contador realizará a operação normal de contagem crescente. Agora, digamos que \overline{PL} é pulsado em BAIXO quando o contador está com 010 (isto é, $Q_2 = 0$, $Q_1 = 1$ e $Q_0 = 0$). Este nível BAIXO em \overline{PL} produzirá níveis em BAIXO na entrada CLR de Q_1 e nas entradas PRE de Q_2 e Q_0 , e portanto o contador irá para a contagem 101, *independentemente do que esteja ocorrendo na entrada CLK*. A

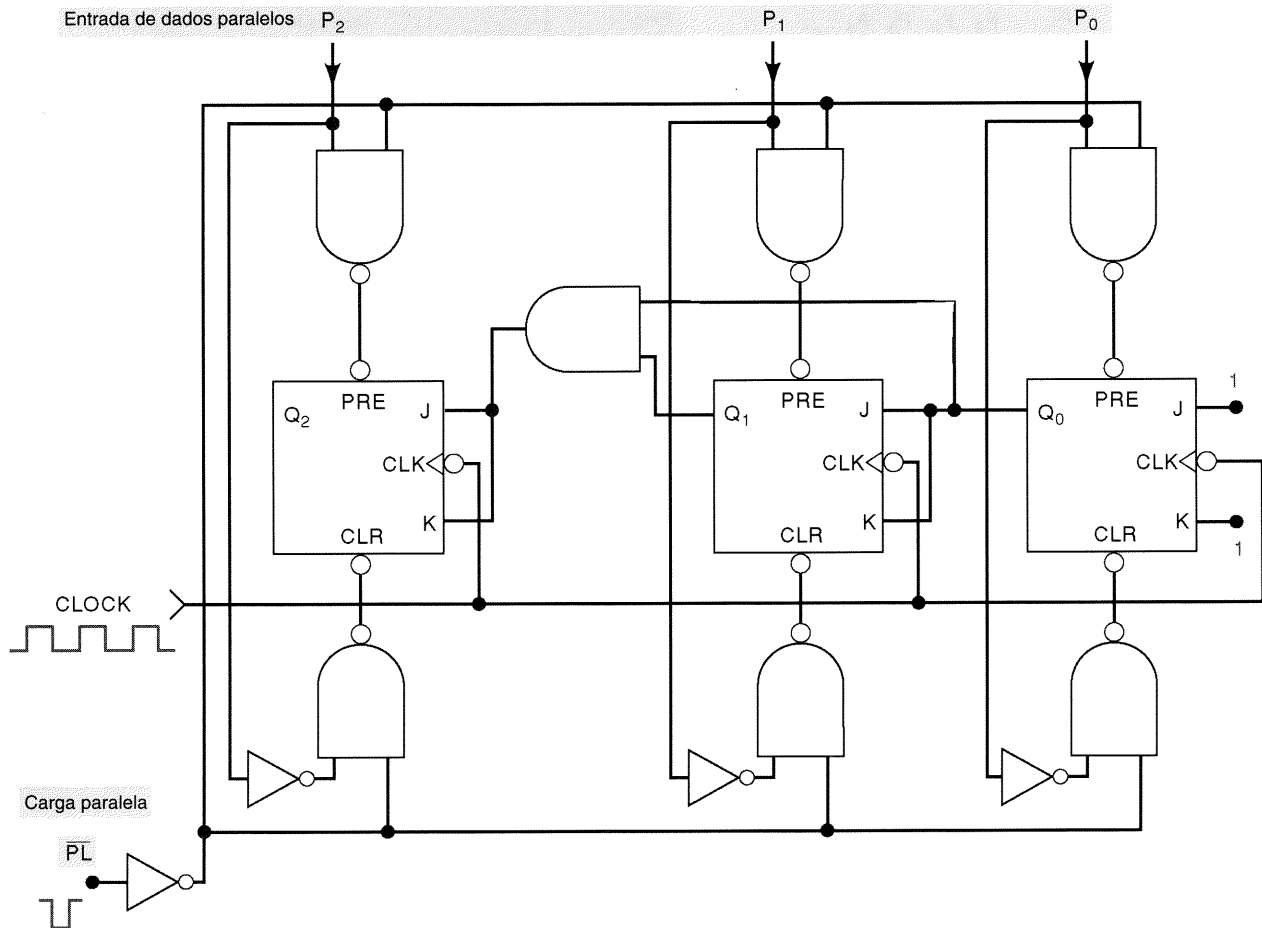


Fig. 7-19 - Contador síncrono com carga paralela assíncrona.

contagem permanecerá em 101 até que \overline{PL} seja desativado (retorne a ALTO); neste instante, o contador prosseguirá a contar os pulsos de modo crescente a partir de 101.

Esta carga assíncrona é usada por muitos CIs de contadores, tais como os TTLs 74LS190, 74LS191, 74LS192 e 74LS193 e os equivalentes CMOS, 74HC190, 74HC191, 74HC192 e 74HC193.

Carga Síncrona

Muitos CIs de contadores paralelos utilizam *carga síncrona*, na qual o contador é carregado na transição ativa do mesmo sinal de clock que é usado para a contagem. O nível lógico aplicado na entrada \overline{PL} determina se a transição ativa do clock vai carregar o contador ou se será contada como na operação normal.

Exemplos de CIs contadores que usam carga síncrona incluem os TTLs 74LS160, 74LS161, 74LS162 e 74LS163 e seus equivalentes CMOS 74HC160, 74HC161, 74HC162 e 74HC163.

Questões de Revisão

1. O que significa dizer que um contador é carregável?

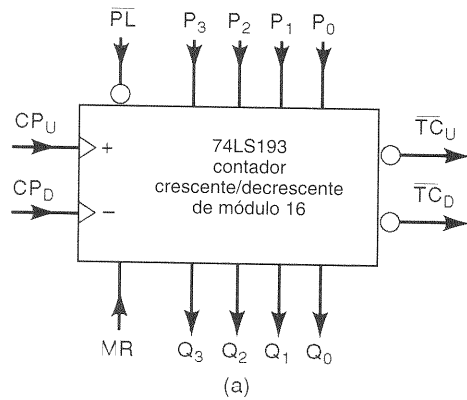
2. Descreva a diferença entre a carga assíncrona e a carga síncrona.

7-9 O 74LS193/HC193

A Fig. 7-20 mostra o símbolo lógico e a descrição das entradas e saídas do contador 74LS193. Este contador pode ser descrito como um contador crescente/decrescente (up/down) síncrono de módulo 16 com carga paralela e reset assíncronos. Vamos agora descrever a função de cada entrada e saída.

Entradas de Clock CP_U e CP_D

O contador vai responder às transições positivas em uma das entradas de clock. CP_U é a entrada de clock para *contagem crescente*. Quando os pulsos são aplicados a esta entrada, o contador vai ser incrementado em cada transição positiva até a contagem máxima 1111, e depois retorna a 0000 para iniciar a contagem novamente. CP_D é a entrada de *clock para contagem decrescente*. Quando os pulsos são aplicados a esta entrada, o contador vai ser decrementado



(a)

Seleção dos Modos de Operação				Modo
MR	PL	CP _U	CP _D	
H	X	X	X	Reset assíncrono
L	L	X	X	Carga assíncrona
L	H	H	H	Não muda
L	H	↑	H	Contagem crescente
L	H	H	↑	Contagem decrescente

H = HIGH = ALTO L = LOW = BAIXO

X = Não importa (*don't care*) ↑ = transição positiva

(c)

Pino	Descrição
CP _U	Entrada de clock para contagem crescente (ativo na subida)
CP _D	Entrada de clock para contagem decrescente (ativo na subida)
MR	Entrada assíncrona de reset geral (ativa em ALTO)
PL	Entrada assíncrona de carga paralela (ativa em BAIXO)
P ₀ -P ₃	Entradas de dados paralelos
Q ₀ -Q ₃	Saídas dos flip-flops
TCD	Saída de contagem terminal decrescente (ativa em BAIXO)
TCU	Saída de contagem terminal crescente (ativa em BAIXO)

(b)

Fig. 7-20 - Contador crescente/decrescente com carga paralela 74LS193: (a) símbolo lógico; (b) descrição das entradas e saídas; (c) tabela de seleção dos modos de operação. (Cortesia da Fairchild, uma companhia do grupo Schlumberger.)

em cada transição positiva até a contagem mínima 0000, e depois retorna a 1111 para iniciar a contagem novamente. Portanto, apenas uma entrada de clock será usada para contagem, enquanto a outra deverá permanecer inativa (mantida em ALTO).

Reset Geral (MR)

O reset geral (master reset) é uma entrada assíncrona e ativa em ALTO que faz com que o contador vá para o estado 0000. MR é um reset por nível, e portanto ele fará com que o contador permaneça em 0000 enquanto MR for igual a 1. Ele também tem prioridade sobre todas as outras entradas.

Entradas de Carga Paralela

Pode-se fazer com que os flip-flops do contador armazenem os níveis lógicos presentes nas entradas de dados paralelas P₃ a P₀, pulsando momentaneamente a entrada de carga paralela PL de ALTO para BAIXO. Esta carga é assíncrona e tem prioridade sobre a operação de contagem. Entretanto, PL não terá efeito sobre o contador se a entrada MR estiver em seu estado ativo em ALTO.

Saídas do Contador

O valor atual da contagem está sempre presente nas saídas dos flip-flops Q₃ a Q₀, onde Q₀ é o LSB e Q₃ é o MSB.

Saídas de Contagem Terminal

As saídas de contagem terminal são utilizadas quando dois ou mais 74LS193 são conectados como um contador de vários estágios para se obter um módulo maior. No modo de contagem crescente, a saída TCU do contador de mais baixa ordem é conectada na entrada CP_U do próximo contador de ordem mais alta. No modo de contagem decrescente, a saída TCD do contador de mais baixa ordem é conectada à entrada CP_D do próximo contador de ordem mais alta.

TCU é a saída de *contagem terminal crescente* (também chamado de *carry*). Ela é gerada no chip 74LS193 utilizando a lógica mostrada na Fig. 7-21(a). Obviamente, TCU estará em BAIXO apenas quando o contador estiver no estado 1111 e CP_U estiver em BAIXO. Assim, TCU permanecerá em ALTO enquanto o contador estiver contando de 0000 a 1110. Na próxima transição positiva de CP_U, o contador vai para o estado 1111, mas TCU não vai para BAIXO até que CP_U retorne a BAIXO. A próxima transição de CP_U faz com que o contador retorne a 0000 e TCU vá para ALTO. Esta transição positiva em TCU ocorre quando o contador vai de 1111 para 0000 e, portanto, pode ser usada para incrementar um segundo 74LS193.

TCD é a saída de *contagem terminal decrescente* (também chamada de *borrow*). Ela é gerada como está mostrado na Fig. 7-21(b). Ela está normalmente em ALTO e não vai para BAIXO até que o contador esteja em 0000 e CP_D esteja em BAIXO. A próxima transição positiva em CP_D faz com que o contador vá para o estado 1111 e TCD retorne a

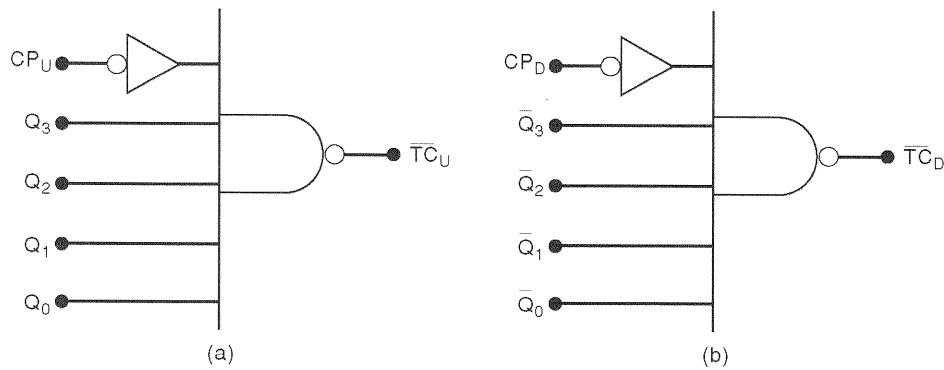


Fig. 7-21 - (a) Lógica no 74LS193 para geração do sinal \overline{TC}_U ; (b) lógica para geração do sinal \overline{TC}_D .

ALTO. Esta transição positiva em \overline{TC}_D pode ser usada para decrementar um segundo 74LS193.

tão permanentemente conectadas a 1011, e as formas de onda das entradas CP_U , \overline{PL} e MR podem ser vistas na Fig. 7-22(b). Considere que o contador está inicialmente em 0000, e determine as formas de onda das saídas do contador.

EXEMPLO 7-14

Veja a Fig. 7-22(a), onde um 74LS193 está configurado como um *contador crescente*. As entradas de dados paralelos es-

Solução

Inicialmente (em t_0) os flip-flops do contador estão todos em BAIXO. Isto faz com que \overline{TC}_U esteja em ALTO. Imediatamente antes do instante t_1 , a entrada \overline{PL} é pulsada em

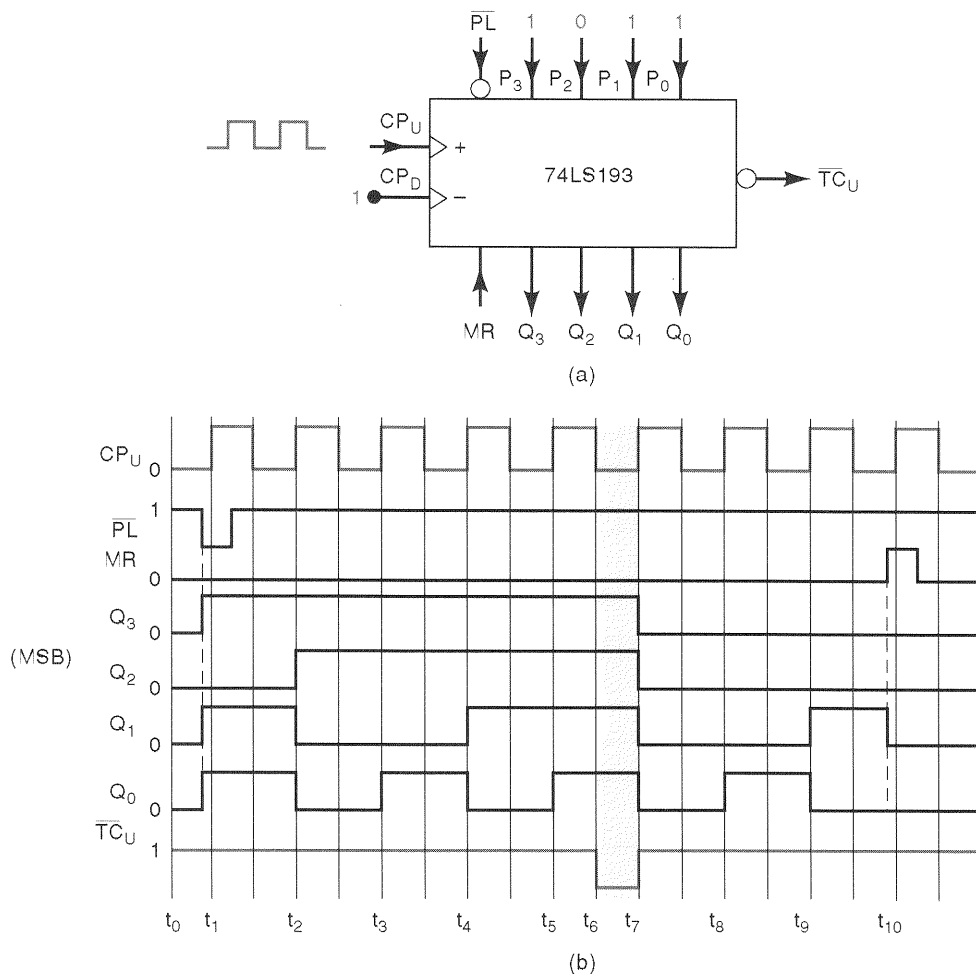


Fig. 7-22 - Exemplo 7-14.

BAIXO. Isso faz com que o contador seja imediatamente carregado com 1011, produzindo $Q_3 = 1, Q_2 = 0, Q_1 = 1$ e $Q_0 = 1$. No instante t_1 , a entrada CP_U faz uma transição positiva, mas o contador não responde a esta transição pois \overline{PL} ainda está ativo. Em t_2, t_3, t_4 e t_5 o contador é incrementado a cada transição positiva de CP_U . Após a transição positiva em t_5 o contador está em 1111, mas \overline{TC}_U não vai para BAIXO até que CP_U vá para BAIXO em t_6 . Quando a próxima transição positiva ocorrer em t_7 , o contador irá para 0000, e \overline{TC}_U retornará a ALTO.

O contador será incrementado em resposta às transições positivas em t_8 e t_9 . A transição positiva em t_{10} não terá efeito algum, porque MR vai para ALTO antes do instante t_{10} e permanece ativo em t_{10} . Isto coloca todos os flip-flops em 0 e se sobrepõe ao sinal CP_U .

o contador está inicialmente em 0000 e determine as formas de ondas das saídas.

Solução

Em t_0 todas as saídas estão em BAIXO e CP_D está em BAIXO. Estas condições produzem $\overline{TC}_D = 0$. Antes de t_1 , a entrada \overline{PL} é pulsada para BAIXO. Isto imediatamente coloca o contador em 0111 e, portanto, faz com que \overline{TC}_D vá para ALTO. A transição positiva de CP_D em t_1 não terá efeito sobre o contador, uma vez que \overline{PL} ainda está ativo. O contador responderá às transições positivas de t_2 até t_8 e será decrementado para 0000 em t_8 . \overline{TC}_D não vai para BAIXO até t_9 quando CP_D vai para BAIXO. Em t_{10} a transição positiva de CP_D faz com que o contador vá para 1111 e também com que \overline{TC}_D retorne a ALTO.

EXEMPLO 7-15

A Fig. 7-23(a) mostra um 74LS193 configurado como um contador decrescente. As entradas paralelas de dados estão permanentemente conectadas em 0111, e as formas de onda de CP_D e \overline{PL} estão mostradas na Fig. 7-23(b). Considere que

Contador de Módulo Variável Utilizando o 74LS193

Contadores que permitem carga paralela podem ser conectados para se obterem módulos diferentes sem a necessidade de usar circuitos lógicos adicionais. Demonstra-

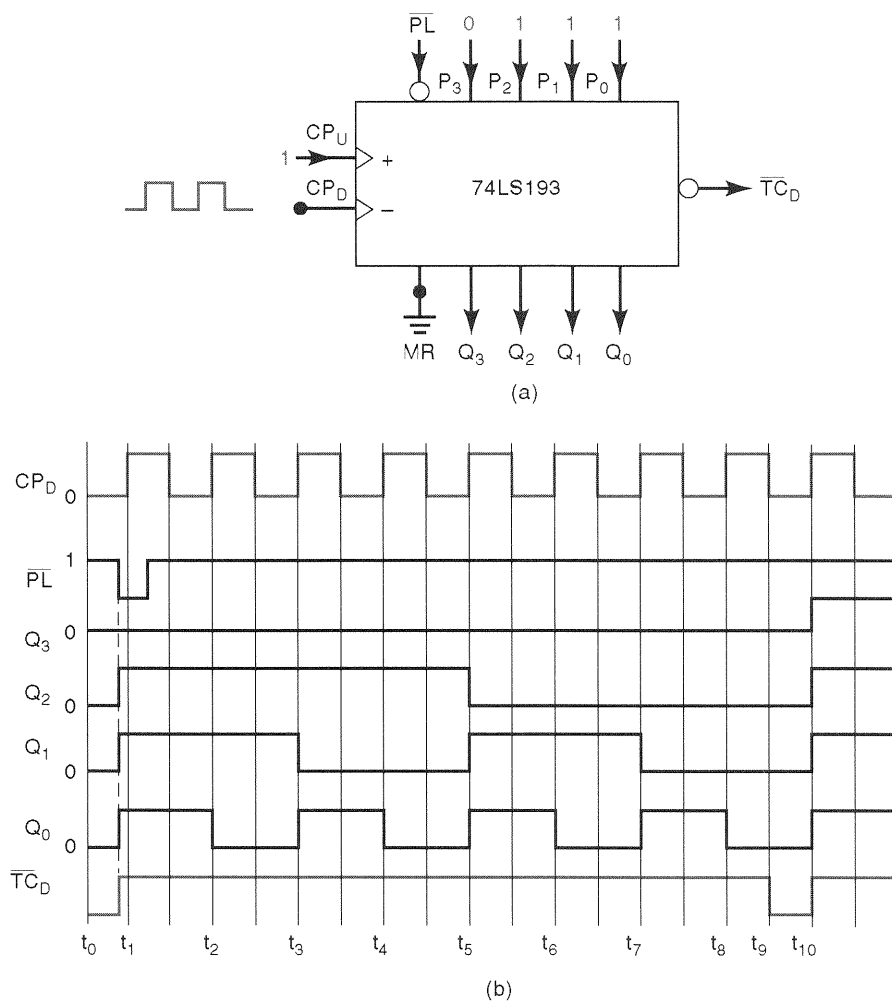


Fig. 7-23 - Exemplo 7-15.

remos esta afirmação para o 74LS193 usando o circuito da Fig. 7-24(a). Neste caso, o 74LS193 é usado como um contador decrescente com suas entradas de carga paralela permanentemente conectadas a 0101 (5_{10}). Observe que a saída \overline{TC}_D está conectada à entrada \overline{PL} .

Iniciaremos nossa análise presumindo que o contador está no estado 0101 no instante t_0 . Veja na Fig. 7-24(b) as formas de onda dos sinais do contador.

O contador será decrementado nas transições positivas de CP_D nos instantes de t_1 até t_5 . Em t_5 o contador está no estado 0000. Quando CP_D vai para BAIXO em t_6 , ele força \overline{TC}_D a ir para BAIXO. Isto imediatamente ativa a entrada \overline{PL} e coloca o contador de volta ao estado 0101. Observe que \overline{TC}_D permanece em BAIXO por um pequeno intervalo, pois uma vez que as saídas do contador vão para 0101 em resposta a $\overline{PL} = 0$, a condição necessária para manter $\overline{TC}_D = 0$ é removida. Portanto, existe apenas um pulso estreito em \overline{TC}_D .

Esta mesma seqüência é repetida nos instantes t_7 até t_{12} e em intervalos iguais daí em diante. Se examinarmos a forma de onda de Q_2 , veremos que ela passa por um ciclo completo a cada *cinco* ciclos de CP_D . Por exemplo, existem *cinco*

ciclos de clock entre a transição positiva de Q_2 em t_6 e a transição positiva de Q_2 em t_{11} . Logo, a freqüência da forma de onda de Q_2 é um quinto da freqüência do clock.

Este arranjo possui uma peculiaridade que você pode ter notado: ele conta *seis* diferentes estados (5, 4, 3, 2, 1, 0) e, apesar disto, divide a freqüência por *cinco*. Isto é devido à forma incomum pela qual o contador retorna ao estado 5 no meio do ciclo de clock. Logo, a operação deste contador viola nossa regra geral de que o número de estados e a razão de divisão de freqüência são iguais. Uma vez que este tipo de arranjo é usado principalmente para divisão de freqüência, ignoraremos a seqüência de contagem e diremos que este contador possui módulo igual a 5, uma vez que ele divide a freqüência do clock por 5.

Não é coincidência que a razão de divisão de freqüência é igual ao número aplicado às entradas paralelas de dados (0101 = 5). De fato, podemos variar a divisão de freqüência alterando os níveis lógicos aplicados à entrada paralela de dados.

Um circuito *divisor de freqüência variável* pode ser facilmente implementado conectando-se chaves às entradas paralelas de dados do circuito da Fig. 7-24. As chaves podem ser colocadas em um valor igual ao número pelo qual

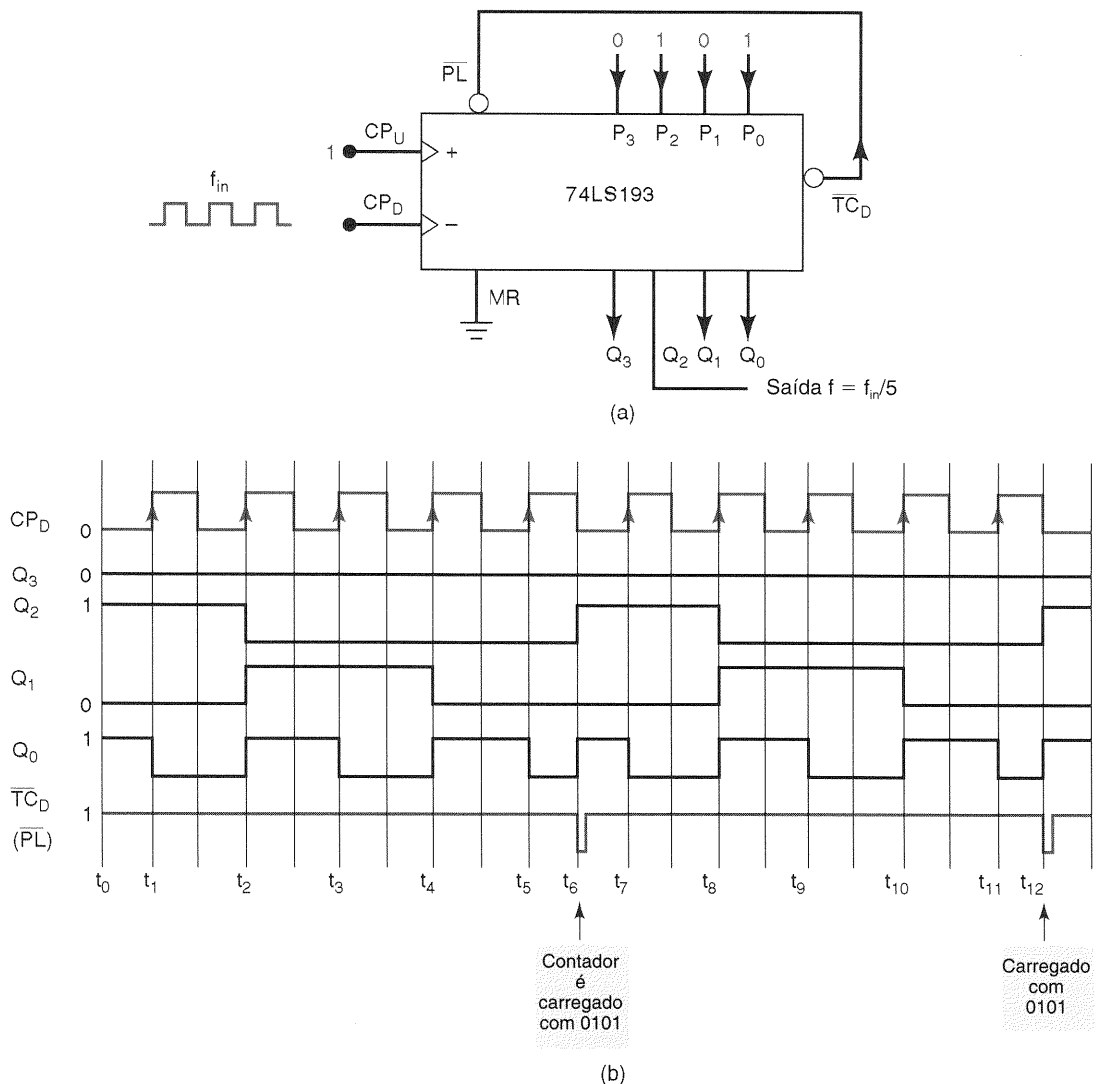


Fig. 7-24 - (a) 74LS193 configurado como um contador de módulo 5; (b) formas de onda.

desejamos dividir a frequência. Observe que se deve tomar cuidado para escolher a saída Q apropriada, dependendo do valor pelo qual desejamos dividir a frequência.

Contador com Vários Estágios

Como afirmamos anteriormente, as saídas \overline{TC}_D e \overline{TC}_U são usadas quando dois ou mais 74LS193 são conectados como um **contador de vários estágios**. Na Fig. 7-25, dois contadores estão conectados com um contador crescente/decrecente de dois estágios, o que efetivamente aumenta o intervalo máximo de contagem crescente para $0 \rightarrow 255$ e o intervalo de contagem decrescente para $255 \rightarrow 0$. O bloco à esquerda é o estágio de baixa ordem e é disparado por uma ou outra das entradas de clock. As saídas \overline{TC}_U e \overline{TC}_D deste estágio estão conectadas às entradas de clock do estágio de alta ordem. Observe o uso de uma entrada comum \overline{Load} e de uma entrada comum Reset. Observe também que as entradas paralelas de dados do estágio de alta ordem são denominadas $P_4P_3P_6P_7$, e as saídas desse estágio estão denominadas $Q_4Q_5Q_6Q_7$. Um número de 8 bits pode ser colocado em um contador de 8 bits, e podemos incrementá-lo ou decrementá-lo a partir da contagem inicial. O valor da contagem em qualquer instante aparece nas saídas Q_0-Q_7 .

7-10 MAIS SOBRE A NOTAÇÃO DE DEPENDÊNCIA IEEE/ANSI*

Podemos aprender mais sobre a notação de dependência, que é uma parte tão importante da nova simbologia IEEE/ANSI, através do exame do símbolo utilizado para o CI 74LS193, que pode ser visto na Fig. 7-26. Cada tipo de CI que examinarmos que utilizar esta nova simbologia vai ajudá-lo a melhor compreendê-la e prepará-lo para uma utilização mais intensa destes símbolos no futuro.

Mais uma vez, devemos lembrar que apenas as denominações que estão no interior do símbolo são especificadas pela norma IEEE/ANSI. Os nomes que estão do lado de fora do símbolo não fazem parte do padrão, e, na verdade, eles variam de um fabricante de circuito integrado (CI) para outro.

Parte da notação utilizada na Fig. 7-26 já deve ser familiar para você. O contorno do símbolo está dividido em um bloco de controle comum, que afeta todos os flip-flops do contador, e quatro retângulos estreitos que representam os flip-flops individuais. O número entre parênteses, dentro de cada retângulo que representa um flip-flop, expressa seu peso no contador. O nome CTR DIV16 significa que este dispositivo, quando funciona normalmente, é um contador (CTR) com 16 estados (isto é, um divisor por 16). A entrada MR do bloco de controle comum tem a notação "CT = 0" para indicar que o contador irá para zero quando MR estiver em ALTO.

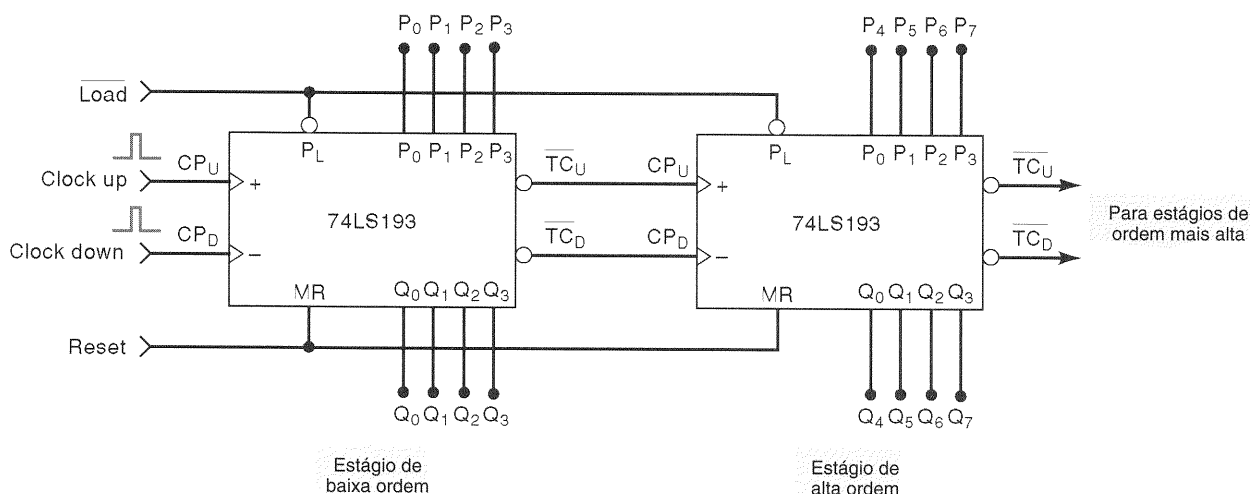
Dependência de Controle (C)

A letra C no nome de uma entrada indica que esta entrada *controla* a entrada de dados para o elemento armazenador (isto é, um flip-flop). Usualmente, C é utilizado para entradas que controlam a entrada de dados em um flip-flop na sua transição de disparo. Verificamos isto quando estuda-

Questões de Revisão

1. Descreva a função das entradas \overline{PL} e P_0 a P_3 .
2. Descreva a função da entrada MR .
3. *Verdadeiro ou falso:* O 74LS193 não pode ser carregado enquanto MR está ativo.
4. Que níveis lógicos devem estar presentes em CP_D , \overline{PL} e MR para que o 74LS193 conte pulsos que apareçam na entrada CP_U ?
5. Qual seria o intervalo máximo de contagem para um contador de quatro estágios feito a partir de CIs 74LS193?

*Esta seção pode ser omitida sem perda de continuidade.



Obs.: A entrada *reset* tem prioridade sobre as entradas \overline{Load} e as entradas de clock.
A entrada *Load* tem prioridade sobre as entradas de clock.

Fig. 7-25 - Dois 74LS193s conectados em um arranjo de dois estágios para estender o intervalo máximo de contagem.

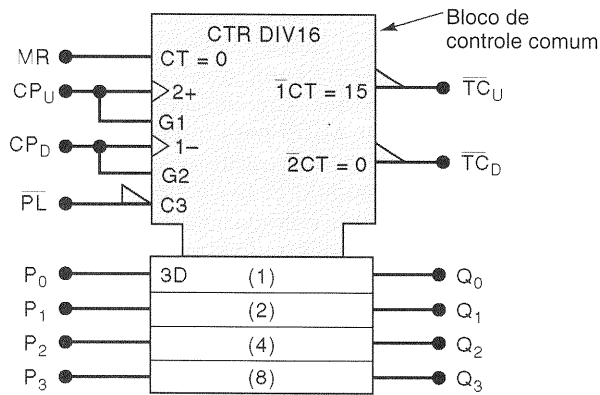


Fig. 7-26 - Símbolo IEEE/ANSI para o CI 74LS193.

mos os símbolos IEEE/ANSI para flip-flops no Cap. 5. Na Fig. 7-26, C é utilizado para a entrada de carga paralela \overline{PL} , uma vez que esta controla a entrada de dados nos quatro flip-flops do contador. Especificamente, a denominação C3 indica que esta entrada controlará qualquer outra entrada que possua o dígito 3 como um prefixo em seu nome. Neste caso, isto inclui as entradas P_0 , P_1 , P_2 e P_3 , uma vez que todas elas têm a indicação 3D (isto é mostrado apenas no flip-flop superior, e consideramos que ele deve ser o mesmo para os outros flip-flops). O “D” presente na denominação se refere a “dados”.

Isto significa que quando \overline{PL} está em seu estado ativo BAIXO, dados presentes em P_0 a P_3 serão armazenados nos flip-flops Q_0 a Q_3 . Uma vez que não há símbolo indicador de disparo por transição em \overline{PL} , está subentendido que \overline{PL} afetará as saídas enquanto estiver no seu estado ativo BAIXO.

Sentido de Contagem (+ ou -)

As entradas CP_U e CP_D são mostradas na Fig. 7-26 como possuindo duas denominações separadas porque elas possuem vários efeitos internos distintos. Vamos considerar primeiro a denominação superior. Esta é 2+ para a entrada CP_U . O sinal de mais (+) indica que uma transição positiva nesta entrada vai incrementar o contador de 1; em outras palavras, vai fazer com que o contador conte de modo crescente. Do mesmo modo, a denominação superior para a entrada CP_D possui um sinal de menos (-) para mostrar que esta entrada decrementa o contador de 1; em outras palavras, vai causar uma contagem decrescente. O significado dos dígitos na frente dos sinais de mais e menos será explicado nos parágrafos seguintes.

Dependência AND (G)

A letra G na denominação para uma entrada representa uma dependência AND. Isto significa que é feita uma operação AND com uma entrada designada por G seguido por um dígito, e qualquer outra entrada ou saída que tenha este mesmo dígito como um prefixo da sua denominação. Na Fig. 7-26 vemos que a designação inferior para a entrada CP_U é G1. Isto significa que uma operação AND é interna-

mente feita com CP_U e com qualquer entrada ou saída que tenha um 1 na sua denominação. A denominação superior para CP_D é 1-, e, portanto, deve haver uma dependência AND entre CP_D e CP_U . Especificamente, esta dependência AND nos diz que CP_U deve estar em ALTO para que CP_D possa realizar sua função de contagem decrescente.

A designação inferior para CP_D é G2. Isto significa que existe uma dependência AND entre CP_D e qualquer entrada ou saída que tenha um 2 na sua denominação. Por exemplo, a denominação superior para CP_U é 2+, que nos diz que CP_D deve estar em ALTO para que CP_U possa realizar sua função de contagem crescente.

Vamos agora observar a designação para a saída \overline{TC}_D . Ela é $\overline{2}CT = 0$. Ela inclui um 2 em sua designação, indicando que existe uma dependência AND com CP_D . Na verdade, como ele é um $\overline{2}$, a dependência AND é com \overline{CP}_D . Então, a denominação para \overline{TC}_D nos diz que ele irá para o seu estado ativo em nível BAIXO quando \overline{CP}_D estiver em BAIXO e o contador for igual a zero ($CT = 0$). De modo semelhante, a designação para \overline{TC}_U nos diz que ele irá para o seu estado ativo em nível BAIXO quando \overline{CP}_U estiver em BAIXO e a contagem for igual a 15 ($CT = 15$).

Questões de Revisão

1. Explique o significado da dependência de controle e da dependência AND.
2. Dê o significado das seguintes designações de entrada:
(a) + (b) G4 (c) C5 (d) 5D

7-11 DECODIFICANDO UM CONTADOR

Contadores digitais são geralmente utilizados em aplicações onde a contagem representada pelo estado dos flip-flops deve ser de algum modo determinada ou visualizada. Uma das maneiras mais simples de visualizar o conteúdo de um contador é apenas conectar a saída de cada flip-flop a um LED [veja Fig. 7-5(b)]. Deste modo, os estados dos flip-flops são visivelmente representados pelos LEDs (aceso = 1, apagado = 0), e a contagem pode ser mentalmente determinada pela **decodificação** dos estados binários dos LEDs. Por exemplo, suponha que este método é usado para um contador BCD e os estados dos LEDs são apagado-aceso-aceso-apagado, respectivamente. Isto representaria 0110, que mentalmente decodificaríamos como o decimal 6. Outras combinações dos estados dos LEDs representariam as outras contagens possíveis.

O método que utiliza LEDs para visualização da contagem torna-se inconveniente à medida que o tamanho (número de bits) do contador aumenta, porque é muito mais difícil decodificar mentalmente os resultados mostrados. Por esta razão, seria desejável desenvolver um meio para *eletronicamente* decodificar o conteúdo de um contador e mostrar os resultados de uma forma que seria imediatamente reconhecida.

Existe uma razão ainda mais importante para a decodificação eletrônica do conteúdo de um contador: em muitas aplicações nas quais contadores são usados para controlar a

temporização ou o seqüenciamento das operações *automaticamente*, sem intervenção humana. Por exemplo, a operação de um certo sistema poderia ser iniciada quando o contador atingisse o estado 101100 (contagem de 44_{10}). Um circuito lógico pode ser usado para decodificar ou para detectar quando esta contagem em particular estiver presente e então iniciar a operação. Muitas operações têm que ser controladas desta maneira em um sistema digital. Obviamente, a intervenção humana neste processo seria indesejável, a não ser que o sistema fosse extremamente lento.

Decodificação Ativa em ALTO

Um contador de módulo X possui X estados diferentes. Cada estado é uma seqüência particular de 0s e 1s armazenados nos flip-flops do contador. Uma malha de decodificação é um circuito lógico que gera X saídas diferentes, cada uma

das quais detecta (decodifica) a presença de um estado particular do contador. As saídas do decodificador podem ser projetadas para produzir um nível ALTO ou BAIXO quando a detecção ocorrer. Um decodificador ativo em ALTO produz saídas em ALTO para indicar a detecção. A Fig. 7-27 mostra um circuito decodificador ativo em ALTO para um contador de módulo 8. O decodificador consiste em oito portas AND de três entradas. Cada porta AND produz um nível ALTO para um estado particular do contador.

Por exemplo, a porta AND 0 tem em suas entradas as saídas dos flip-flops \bar{C} , \bar{B} e \bar{A} . Então, sua saída estará em BAIXO durante todo o tempo, *exceto* quando $A = B = C = 0$, isto é, na contagem de 000 (zero). De modo similar, a porta AND 5 tem em suas entradas as saídas dos flip-flops C , \bar{B} e A , e portanto sua saída irá para ALTO apenas quando $C = 1$, $B = 0$ e $A = 1$, isto é, na contagem de 101 (5 decimal). O resto das portas AND opera de modo semelhante

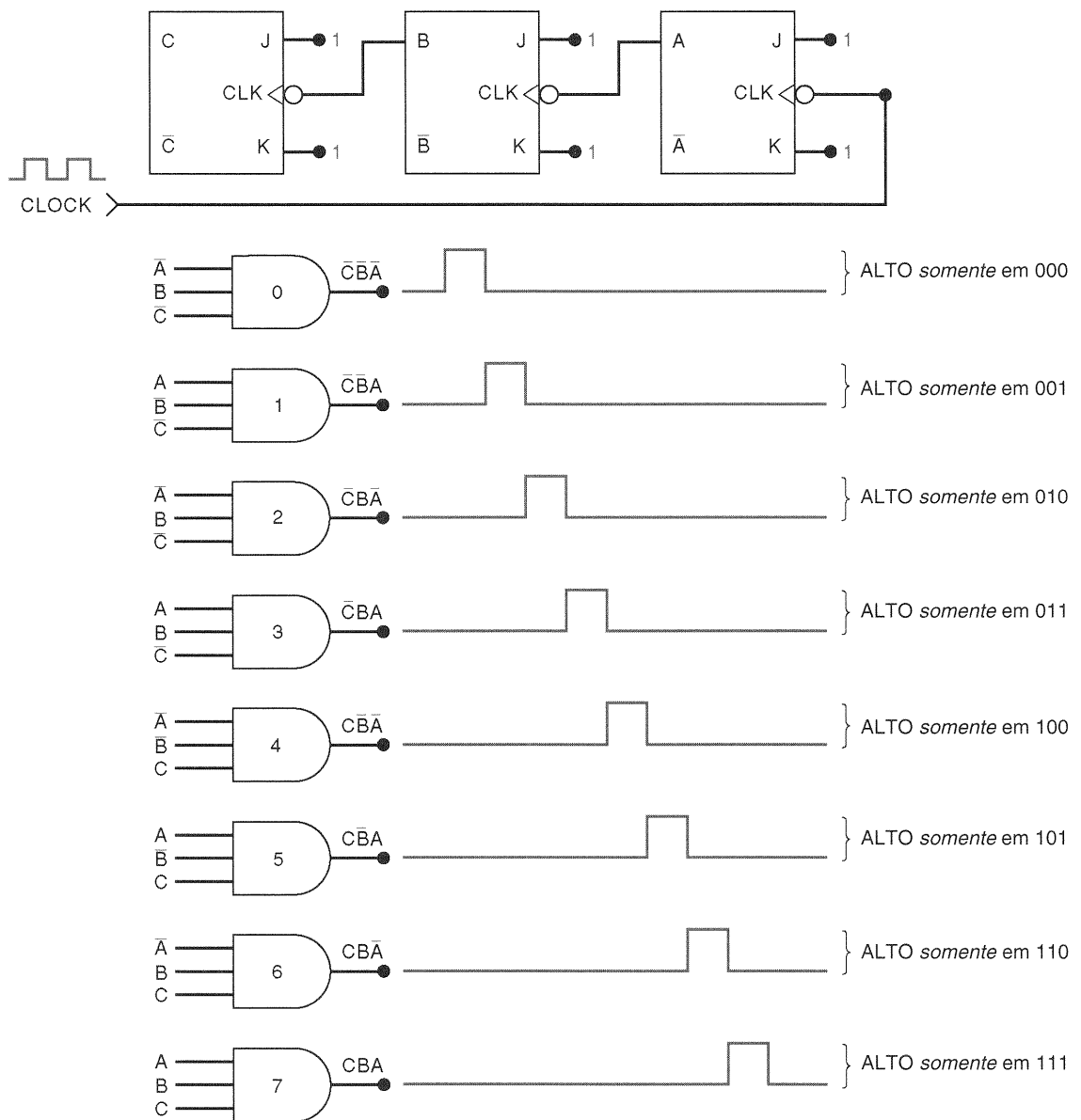


Fig. 7-27 - Usando portas AND para decodificar um contador de módulo 8.

para as outras contagens possíveis. Em qualquer instante de tempo, apenas a saída de uma única porta AND estará em ALTO, aquela que está decodificando a contagem em particular que está presente no contador. As formas de onda na Fig. 7-27 mostram isto claramente.

As oito saídas das portas AND podem ser usadas para controlar oito LEDs, representando números decimais de 0 a 7. Apenas um LED estará aceso em cada instante de tempo, indicando a contagem apropriada.

O decodificador feito com portas AND pode ser estendido a contadores com qualquer número de estados. O exemplo a seguir ilustra esta afirmação.

EXEMPLO 7-16

Quantas portas AND são necessárias para decodificar completamente todos os estados de um contador binário de módulo 32? Quais são as entradas da porta que detecta a contagem 21?

Solução

Um contador de módulo 32 possui 32 estados possíveis. Uma porta AND é necessária para cada estado, e, portanto, o decodificador necessitará de 32 portas AND. Uma vez que $32 = 2^5$, o contador possui cinco flip-flops. Portanto, cada porta terá cinco entradas, uma de cada flip-flop. Para decodificar a contagem de 21 (isto é, 10101_2) necessita-se que as entradas da porta AND sejam E , \bar{D} , C , \bar{B} e A , onde E é o flip-flop mais significativo.

Decodificação Ativa em BAIXO

Se usarmos portas NAND no lugar das AND, as saídas do decodificador produzirão normalmente um sinal ALTO, que

irá para BAIXO apenas quando o número que está sendo decodificado ocorrer. Ambos os tipos de decodificadores são usados, dependendo do tipo de circuitos que estão sendo acionados pelas saídas do decodificador.

EXEMPLO 7-17

A Fig. 7-28 mostra uma situação comum, na qual um contador é usado para gerar uma forma de onda que poderia ser utilizada para controlar dispositivos tais como um motor, uma válvula solenóide ou um aquecedor. Um contador de módulo 16 passa por sua seqüência de contagem continuamente. Cada vez que ele atingir a contagem de 8 (1000), a porta NAND superior produzirá uma saída em BAIXO, que coloca o flip-flop X no estado 1. O flip-flop X permanece em ALTO até que o contador atinja o estado 14 (1110); neste instante, a porta NAND inferior decodifica este estado e produz uma saída em BAIXO, que coloca X no estado 0. Então a saída X estará em ALTO entre as contagens de 8 e 14 para cada ciclo do contador.

Decodificação de um Contador BCD

Um contador BCD possui 10 estados, que podem ser decodificados utilizando-se as técnicas descritas anteriormente. Decodificadores BCD fornecem 10 saídas que correspondem aos dígitos decimais 0 a 9 representados pelos estados dos flip-flops do contador. Estas 10 saídas podem ser usadas para controlar 10 LEDs e fornecer uma indicação visual. Mais freqüentemente, em vez de 10 LEDs, um display é utilizado para mostrar números decimais de 0 a 9. Um dispositivo deste tipo é o chamado *nixie tube*, que contém 10 filamentos muito finos em forma de números colocados uns sobre os outros. As saídas do decodificador BCD controlam

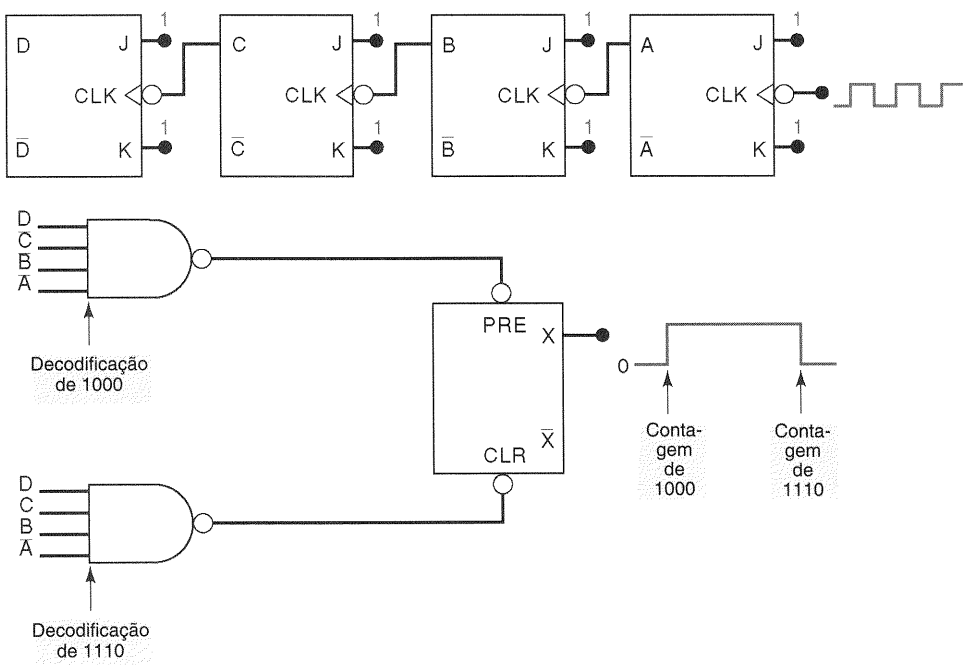


Fig. 7-28 - Exemplo 7-17.

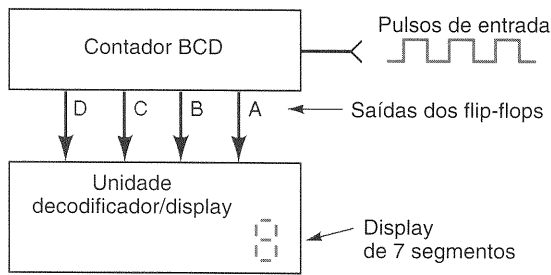


Fig. 7-29 - Contadores BCD geralmente têm sua contagem mostrada em um único display.

que filamento deve ser iluminado. Uma nova classe de displays decimais contém sete pequenos segmentos feitos de um material (geralmente LEDs ou displays de cristal líquido) que ou emite luz ou reflete a luz ambiente. As saídas do decodificador BCD controlam que segmentos são iluminados, de modo a produzir um padrão que represente um dos dígitos decimais.

Entraremos em maiores detalhes sobre estes tipos de decodificadores e displays no Cap. 9. Entretanto, uma vez que contadores BCD e seus decodificadores e displays associados são muito comuns, usaremos uma unidade decodificador/display (veja Fig. 7-29) para representar o circuito completo usado para apresentar o conteúdo de um contador BCD como um dígito decimal.

Questões de Revisão

1. Quantas portas são necessárias para decodificar completamente um contador de 6 bits?
2. Descreva a porta decodificadora necessária para produzir uma saída em BAIXO quando um contador de módulo 64 está na contagem de 23.

7-12 GLITCHES DE DECODIFICAÇÃO

Na Seção 7-5 discutimos os efeitos dos atrasos de propagação em contadores assíncronos. Como foi visto naquela seção, os atrasos de propagação acumulados vão limitar a frequência máxima deste tipo de contador. Os atrasos entre as transições dos flip-flops podem causar problemas quando estivermos decodificando um contador assíncrono. O problema aparece na forma de **glitches de decodificação**, isto é, pulsos estreitos que aparecem nas saídas de algumas portas decodificadoras. Isto é ilustrado na Fig. 7-30 para um contador assíncrono de módulo quatro.

As formas de onda nas saídas de cada flip-flop e de cada porta decodificadora podem ser vistas na figura. Observe o atraso de propagação entre o sinal de clock e a saída A e aquele existente entre as formas de onda de A e B. Os glitches em X_0 e X_2 são causados pelo atraso de propagação entre as formas de onda A e B. X_0 é a saída da porta AND decodificadora para a contagem 00. Esta condição 00 também ocorre momentaneamente quando o contador vai da contagem 01 para 10, como pode ser visto nas formas de onda. Isto acontece porque B não pode mudar de esta-

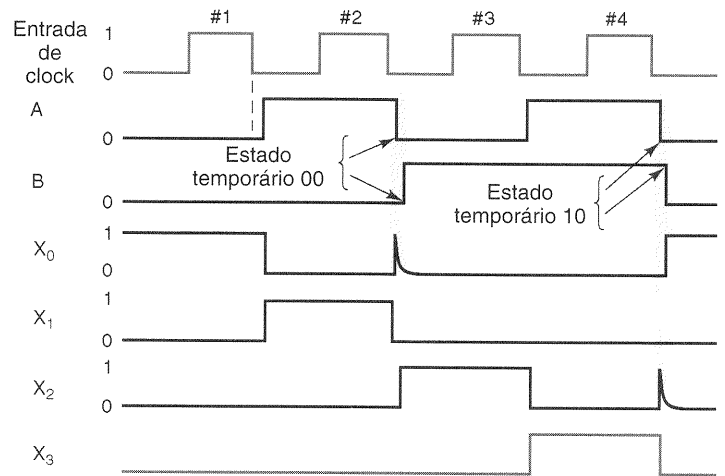
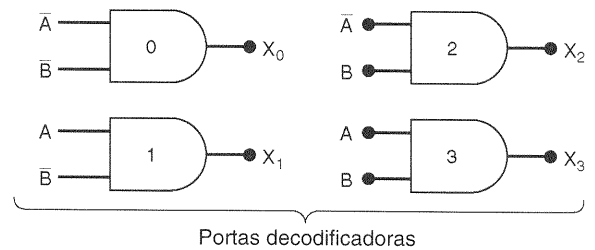
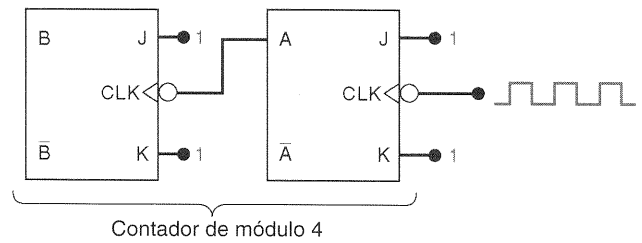


Fig. 7-30 - As formas de onda nos flip-flops e as formas de onda decodificadas para um contador assíncrono de módulo 4, mostrando glitches nas saídas X_0 e X_2 .

do até que A vá para BAIXO. Esse estado momentâneo 00 dura vários nanossegundos (dependendo do t_{pd} do flip-flop B), mas pode ser detectado pela porta decodificadora caso a resposta desta porta seja suficientemente rápida. Daí o pulso estreito na saída X_0 .

Uma situação similar produz um glitch na saída X_2 . X_2 é o resultado da decodificação da condição 10, que ocorre momentaneamente quando o contador vai de 11 para 00 em resposta ao quarto pulso de clock, como pode ser visto nas formas de onda. Novamente, isto acontece devido ao atraso na resposta do flip-flop B após o sinal A ter ido para BAIXO.

Embora esta situação esteja ilustrada para um contador de módulo 4, este mesmo tipo de situação pode ocorrer para *qualquer* contador por pulsação. Isto acontece porque este tipo de contador trabalha de acordo com o princípio da "reação em cadeia", onde cada flip-flop dispara o seguinte e assim por diante. Os pulsos estreitos nas saídas decodificadas podem ou não representar um problema, dependendo do modo como o contador está sendo usado. Quando o con-

tador está sendo usado apenas para contar pulsos e mostrar os resultados, os glitches decodificados não representam maiores problemas, pois estes são de duração muito curta e nem serão mostrados no display. Entretanto, quando o contador é usado para controlar outros circuitos lógicos, como foi feito na Fig. 7-28, estes pulsos estreitos podem causar uma operação imprópria. Por exemplo, um pulso estreito na saída de uma das portas NAND decodificadora faria com que o flip-flop fosse para o estado 1 ou para o estado 0 no momento errado.

Podemos prever que ocorrerá um estado temporário em uma seqüência de contagem assíncrona acompanhando uma transição no estado de contagem em um flip-flop de cada vez. Por exemplo, vamos observar passo a passo o processo pelo qual o contador vai de 011 (3) para 100 (4):

	<i>C</i>	<i>B</i>	<i>A</i>		
	0	1	1	(3)	
estados temporários	{	0	1	0	(2) < FF A comuta primeiro
		0	0	0	(0) < e faz com que B comute
		1	0	0	(4) < o que faz com que C comute.

Observe a ocorrência de dois estados temporários: 010 e 000.

Nas situações onde pulsos estreitos decodificados não podem ser tolerados, existem duas soluções básicas para o problema. A primeira é usar um contador síncrono em vez de um contador assíncrono. Lembre-se de que em contadores síncronos todos os flip-flops são disparados ao mesmo tempo pelo pulso de clock, de modo que parece que as condições que produziram pulsos estreitos não podem ocorrer. Entretanto, mesmo em um contador síncrono estes pulsos estreitos podem ser produzidos porque não necessariamente todos os flip-flops têm o mesmo t_{pd} , especialmente quando alguns flip-flops tiverem suas saídas mais carregadas do que outros.

Strobing (Amostragem)

O método mais confiável de eliminar estes pulsos estreitos decodificados é usar uma técnica chamada **strobing**. Esta

técnica utiliza um sinal chamado *strobe* que mantém as portas AND decodificadoras desabilitadas (saídas em 0) até que todos os flip-flops tenham atingido um estado estável em resposta à transição negativa do clock. Isto está ilustrado na Fig. 7-31, onde o sinal de strobe é conectado como uma entrada em cada uma das portas decodificadoras. As formas de onda mostram que o sinal de strobe vai para BAIXO quando o pulso de clock vai para ALTO. Durante o tempo em que o strobe está BAIXO, as portas decodificadoras são mantidas em BAIXO. O sinal de strobe vai para ALTO, para habilitar as portas decodificadoras, algum tempo t_D depois de o pulso de clock ir para BAIXO. t_D é escolhido para ser maior que o intervalo total necessário para que o contador atinja uma contagem estável, e isto depende, é claro, dos atrasos de propagação e do número de flip-flops do contador. Neste método, as saídas das portas decodificadoras não terão nenhum pulso estreito, porque estarão desabilitadas durante o tempo em que os flip-flops estiverem em transição.

O método de strobe não é utilizado se o contador é usado apenas para visualização, uma vez que os pulsos decodificados são muito estreitos para afetar a apresentação. O sinal de strobe é usado quando o contador é utilizado em aplicações de controle, como a da Fig. 7-28, onde estes pulsos poderiam causar operação incorreta.

Questões de Revisão

1. Explique por que as portas decodificadoras para um contador assíncrono podem ter glitches nas suas saídas.
2. Como a amostragem elimina os glitches decodificados?

7-13 LIGAÇÃO EM CASCATA DE CONTADORES BCD

Contadores BCD são freqüentemente usados quando pulsos devem ser contados e o resultado deve ser mostrado

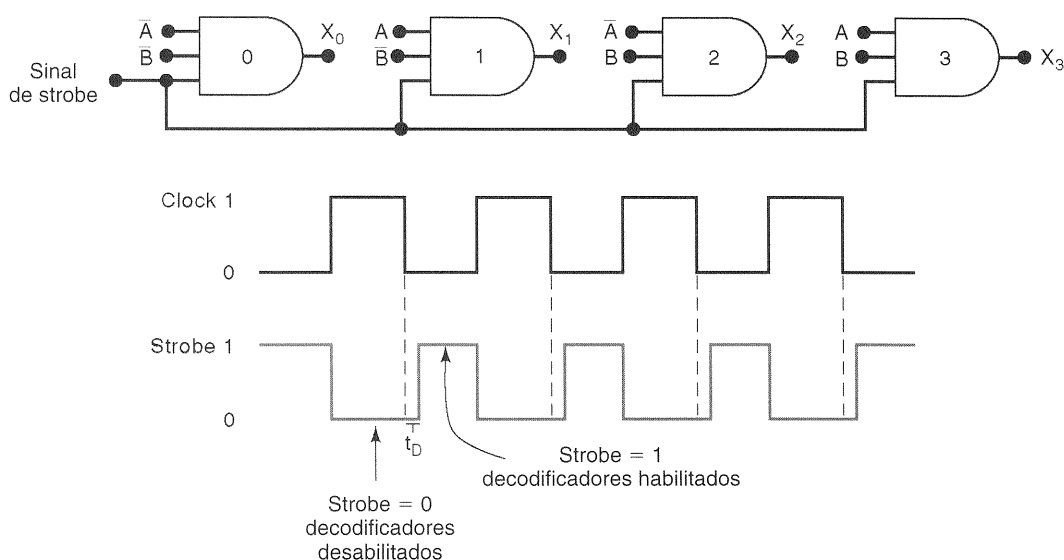


Fig. 7-31 - Uso do sinal de strobe para eliminar spikes de decodificação.

em decimal. Um contador BCD simples conta de 0 a 9 e depois retorna a 0. Para contar valores decimais maiores, podemos **ligar em cascata** estágios contadores BCD, como pode ser visto na Fig. 7-32. Este arranjo com vários estágios opera da seguinte maneira:

1. Inicialmente, todos os contadores são colocados no estado 0. Portanto, é mostrado 000.
2. À medida que os pulsos de entrada chegam, o contador BCD das unidades avança uma contagem por pulso. Após terem ocorrido nove pulsos, os contadores BCD das dezenas e das centenas ainda estão em 0, e o contador das unidades está em 9 (binário 1001). Então, o número mostrado é 009.
3. No décimo pulso de entrada, o contador das unidades retorna a 0 fazendo com que a saída do seu flip-flop *D* vá de 1 para 0. Esta transição negativa age como uma entrada de clock para o contador das dezenas, fazendo com que este avance uma contagem. Então, após 10 pulsos, o número lido será 010.
4. À medida que pulsos adicionais ocorrem, o contador das unidades avança uma contagem por pulso, e toda vez que este retorna a 0, ele faz com que o contador das dezenas avance uma contagem. Então, após 99 pulsos de entrada terem ocorrido, o contador das dezenas está em 9, assim como o contador das unidades. O número decimal lido é, portanto, 099.
5. No centésimo pulso de entrada, o contador de unidades retorna a 0, o que faz com que o contador das dezenas retorne a 0. A saída do flip-flop do contador das dezenas faz uma transição negativa que age como um clock para o contador das centenas e faz com que este avance a contagem. Então, após 100 pulsos, o número lido é igual a 100.
6. Este processo continua até que tenham ocorrido 999 pulsos de entrada. No milésimo pulso, todos os contadores retornam a 0.

Deveria ser óbvio que este arranjo pode ser expandido para um número qualquer de dígitos decimais através da simples adição de mais estágios. Por exemplo, para contar até 999.999 serão necessários seis contadores BCD e seus decodificadores e displays associados. De um modo geral, precisamos de um contador BCD para cada dígito decimal.

Cada contador BCD neste arranjo em cascata, como aquele da Fig. 7-32, poderia ser um contador de módulo variável como o 74LS293 configurado como um contador de

módulo 10, ou poderia ser um CI que é internamente ligado como um contador BCD como os CIs 74LS90 e 74LS192/HC192.

7-14 PROJETO DE CONTADORES SÍNCRONOS*

Vários tipos de contadores estão disponíveis na forma de circuitos integrados: assíncronos, síncronos e síncronos/assíncronos. A maioria deles conta segundo uma seqüência binária normal, embora suas seqüências de contagem possam ser de algum modo alteradas usando os métodos demonstrados para os CIs 74293 e 74193. Existem situações, entretanto, em que um contador deve seguir uma seqüência que não é aquela binária normal, como por exemplo 000, 010, 101, 001, 110, 000 ...

Existem vários métodos para projetar contadores que sigam seqüências arbitrárias. Apresentaremos em detalhe um método muito comum que utiliza flip-flops J-K em arranjos contadores síncronos. Este mesmo método pode ser usado em projetos com o flip-flop D. Esta técnica é um dos vários procedimentos de projeto que fazem parte de uma área de projeto de circuitos digitais chamada **projeto de circuitos seqüenciais**, que normalmente faz parte de um curso avançado.

Idéia Básica

Em contadores síncronos, todos os flip-flops são disparados ao mesmo tempo. Antes de cada pulso de clock, as entradas *J* e *K* de cada flip-flop devem estar no nível correto para garantir que o flip-flop vá para o estado correto. Por exemplo, considere a situação mostrada na Tabela 7-1. Quando ocorrer o próximo pulso de clock, as entradas *J* e *K* dos flip-flops devem estar nos níveis corretos para fazer com que o flip-flop *C* mude de 1 para 0, o flip-flop *B* de 0 para 1 e o flip-flop *A* de 1 para 1 (isto é, não mude).

O procedimento para projetar um contador síncrono torna-se um processo de projeto de circuitos lógicos, que *decodificam* os vários estados do contador para fornecer os níveis lógicos para cada entrada *J* e *K*. As entradas destes

*Esta seção pode ser omitida sem afetar a continuidade do restante do livro.

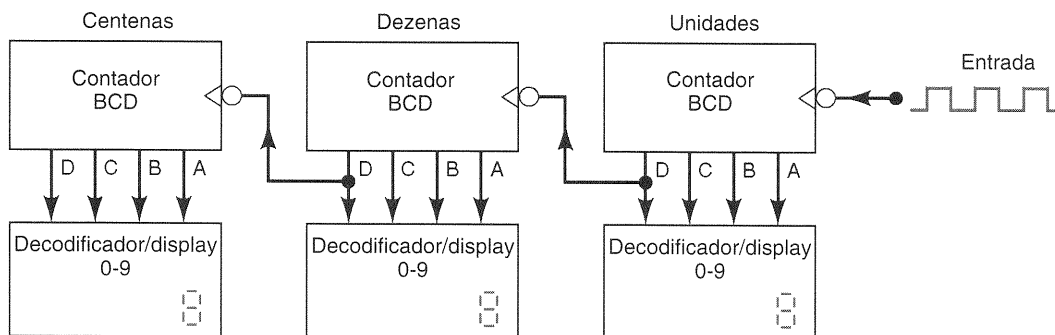


Fig. 7-32 - Contadores BCD em cascata para contar e mostrar números de 000 a 999.

TABELA 7-1

Estado ATUAL			PRÓXIMO Estado		
<i>C</i>	<i>B</i>	<i>A</i>	<i>C</i>	<i>B</i>	<i>A</i>
1	0	1	0	1	1

circuitos decodificadores são provenientes das saídas de um ou mais flip-flops. Para exemplificar, para o contador síncrono da Fig. 7-17, a porta AND, que fornece as entradas *J* e *K* do flip-flop *C*, decodifica os estados dos flip-flops *A* e *B*. Do mesmo modo, a porta AND, que fornece as entradas *J* e *K* do flip-flop *D*, decodifica os estados dos flip-flops *A*, *B* e *C*.

Tabela de Excitação J-K

Antes de iniciarmos o processo de projetar circuitos decodificadores para cada entrada *J* e *K*, devemos primeiro rever a operação de um flip-flop J-K usando uma abordagem diferente através da *tabela de excitação* (Tabela 7-2). A coluna mais à esquerda desta tabela enumera cada transição possível da saída de um flip-flop. A segunda e terceira colunas relacionam o estado atual do flip-flop, simbolizado por $Q(N)$, e o próximo estado simbolizado por $Q(N + 1)$, para cada transição. As duas últimas colunas enumeram os níveis lógicos nas entradas *J* e *K* necessários para produzir cada uma das transições. Vamos examinar cada caso.

TRANSIÇÃO 0 → 0 O estado atual do flip-flop é 0 e ele deve permanecer em 0 quando o pulso de clock for aplicado. A partir da nossa compreensão de como um flip-flop J-K funciona, isto pode acontecer quando ou $J = K = 0$ (condição sem mudança) ou $J = 0$ e $K = 1$ (condição de reset). Portanto, *J* deve estar em 0, mas *K* pode estar em qualquer nível. A tabela indica este fato com um “0” em *J* e um “*x*” em *K*. Lembre-se de que “*x*” representa uma condição “*don't care*”.

TRANSIÇÃO 0 → 1 O estado atual é 0 e deve mudar para 1. Isto pode acontecer quando $J = 1$ e $K = 0$ (condição set) ou $J = K = 1$ (condição de comutação). Portanto, *J* deve estar em nível 1, mas *K* pode estar em qualquer nível para esta transição ocorrer.

TRANSIÇÃO 1 → 0 O estado atual é 1 e deve mudar para 0. Isto pode acontecer quando ou $J = 0$ e $K = 1$ ou $J = K = 1$. Portanto, *K* deve estar em 1, mas *J* pode estar em qualquer nível.

TABELA 7-2 Tabela de excitação do flip-flop J-K.

Transição na Saída	Estado ATUAL	PRÓXIMO Estado	<i>J</i>	<i>K</i>
	$Q(N)$	$Q(N + 1)$		
0 → 0	0	0	0	<i>x</i>
0 → 1	0	1	1	<i>x</i>
1 → 0	1	0	<i>x</i>	1
1 → 1	1	1	<i>x</i>	0

TRANSIÇÃO 1 → 1 O estado atual é 1 e deve permanecer em 1. Isto pode ocorrer quando $J = K = 0$ ou $J = 1$ e $K = 0$. Portanto, *K* deve estar em 0, enquanto *J* pode estar em qualquer nível.

O uso desta **tabela de excitação J-K** (Tabela 7-2) é a parte principal do procedimento de projeto de contadores síncronos.

Procedimento de Projeto

Passaremos agora por um procedimento completo de projeto de contadores síncronos. Embora façamos isso para uma seqüência de contagem específica, os mesmos passos podem ser aplicados para qualquer seqüência desejada.

Passo 1. Determine o número de bits necessários (número de flip-flops) e a seqüência de contagem desejada.

Para o nosso exemplo, projetaremos um contador de três bits cuja seqüência de contagem pode ser vista na Tabela 7-3. Observe que esta seqüência não inclui os estados 101, 110 e 111. Vamos nos referir a eles como *estados indesejáveis*.

Passo 2. Desenhe o diagrama de transição de estados mostrando **todos** os estados possíveis, incluindo aqueles que não fazem parte da seqüência de contagem desejada.

Para o nosso exemplo, o diagrama de transição de estados pode ser visto na Fig. 7-33. Os estados 000 a 100 estão ligados segundo a seqüência esperada. O que há de novo neste diagrama é a inclusão dos estados indesejáveis. Eles devem ser incluídos em nosso projeto para o caso de o contador ir para um desses estados ao ligar o circuito ou devido ao ruído presente. O projetista pode escolher para cada um dos estados indesejáveis para qual estado ele deve ir mediante aplicação do próximo pulso de clock. Escolhemos que todos eles devem ir para o estado 000 a partir do qual a seqüência correta de contagem será gerada.

Passo 3. Use o diagrama de transição de estados para construir uma tabela que relacione **todos** os estados ATUAIS e seus PRÓXIMOS estados.

Para o nosso exemplo, esta informação pode ser vista na Tabela 7-4. O lado esquerdo da tabela relaciona *todos* os estados possíveis, mesmo aqueles que não fazem parte da seqüência. Vamos denominá-los estados ATUAIS. O lado direito enumera o PRÓXIMO estado para cada estado ATU-

TABELA 7-3

<i>C</i>	<i>B</i>	<i>A</i>
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
0	0	0
0	0	1
	etc.	

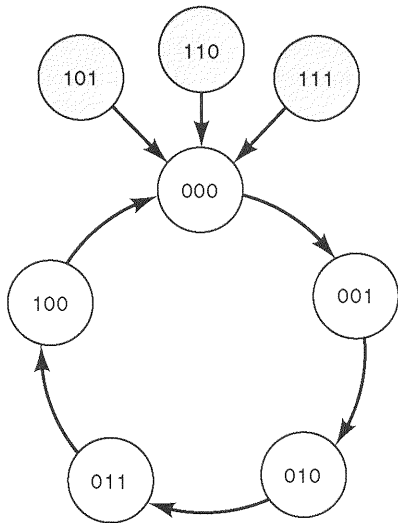


Fig.7-33 - Diagrama de transição de estados para o exemplo de projeto do contador síncrono.

TABELA 7-4

linha	Estado ATUAL			PRÓXIMO Estado		
	C	B	A	C	B	A
1	0	0	0	0	0	1
2	0	0	1	0	1	0
3	0	1	0	0	1	1
4	0	1	1	1	0	0
5	1	0	0	0	0	0
6	1	0	1	0	0	0
7	1	1	0	0	0	0
8	1	1	1	0	0	0

AL. Estes podem ser obtidos a partir do diagrama de transição de estados da Fig. 7-33. Por exemplo, a linha 1 mostra que o estado ATUAL 000 tem como PRÓXIMO estado 001, a linha 5 mostra que o estado ATUAL 100 tem como PRÓXIMO estado 000. As linhas 6, 7 e 8 mostram que os estados ATUAIS indesejáveis 101, 110 e 111 têm como PRÓXIMO estado 000.

Passo 4. Acrescente uma coluna a esta tabela para cada entrada J e K . Para cada estado ATUAL, indique

os níveis necessários em cada entrada J e K para produzir a transição para o PRÓXIMO estado.

Nosso exemplo utiliza três flip-flops — C , B e A — e cada um deles tem entradas J e K . Portanto, devemos adicionar seis novas colunas como mostrado na Tabela 7-5. Esta tabela completa é chamada de **tabela de excitação do circuito**. As seis novas colunas são as entradas J e K de cada flip-flop. Os valores para cada coluna J e K são obtidos utilizando a Tabela 7-2, que é a tabela de excitação do flip-flop J-K que desenvolvemos anteriormente. Demonstraremos isto para vários casos, e você pode verificar o resto.

Vamos observar a linha 1 da Tabela 7-5. O estado ATUAL 000 deve ir para o PRÓXIMO estado 001 na ocorrência de um pulso de clock. Para esta transição de estados, o flip-flop C vai de 0 para 0. Pela tabela de excitação J-K, veremos que J_C deve estar em 0 e K_C em “ x ” para que esta transição ocorra. O flip-flop B vai de 0 para 0 e, portanto, $J_B = 0$ e $K_B = x$. O flip-flop A vai de 0 para 1. Também a partir da Tabela 7-2, vemos que $J_A = 1$ e $K_A = x$ para esta transição.

Na linha 4 da Tabela 7-5, o estado ATUAL 011 tem como PRÓXIMO estado 100. Para esta transição de estado, o flip-flop C vai de 0 para 1, o que requer que $J_C = 1$ e $K_C = x$. Os flip-flops A e B estão ambos indo de 1 para 0. A tabela de excitação do J-K indica que estes dois flip-flops necessitam de que $J = x$ e $K = 1$ para que isto ocorra.

Os níveis necessários para todas as outras linhas da Tabela 7-5 podem ser determinados da mesma maneira.

Passo 5. Projete os circuitos lógicos que forneçam os níveis necessários para cada entrada J e K .

A Tabela 7-5, que é a tabela de excitação do circuito, relaciona as seis entradas J e K : J_C , K_C , J_B , K_B , J_A e K_A . Devemos considerar cada uma destas entradas como saídas de um circuito lógico próprio cujas entradas são provenientes dos flip-flops C , B e A . Portanto, devemos projetar um circuito lógico para cada uma destas entradas. Vamos projetar o circuito para J_A .

Para fazer isto, devemos observar o estado ATUAL presente nos flip-flops C , B e A e os níveis desejados para J_A em cada caso. Esta informação pode ser obtida da Tabela 7-5 e pode ser vista na Fig. 7-34(a). Esta tabela-verdade mostra os níveis desejados para J_A , para cada estado ATUAL. É claro que para alguns destes casos temos uma condição “*don't care*” para J_A . Para obter o circuito lógico para J_A , devemos determinar sua expressão em termos de C , B e A .

TABELA 7-5 Tabela de excitação do circuito.

linha	Estado ATUAL			PRÓXIMO Estado			J_C	K_C	J_B	K_B	J_A	K_A
	C	B	A	C	B	A						
1	0	0	0	0	0	1	0	x	0	x	1	x
2	0	0	1	0	1	0	0	x	1	x	x	1
3	0	1	0	0	1	1	0	x	x	0	1	x
4	0	1	1	1	0	0	1	x	x	1	x	1
5	1	0	0	0	0	0	x	1	0	x	0	x
6	1	0	1	0	0	0	x	1	0	x	x	1
7	1	1	0	0	0	0	x	1	x	1	0	x
8	1	1	1	0	0	0	x	1	x	1	x	1

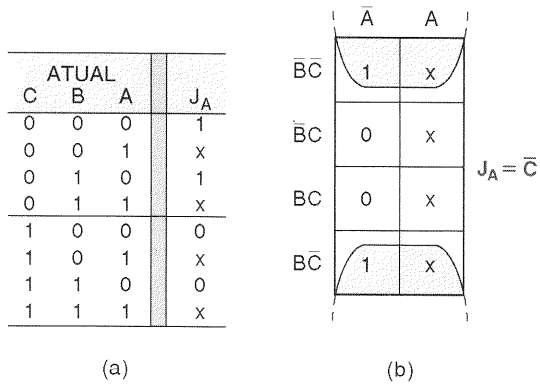


Fig. 7-34 - (a) Porção da tabela de excitação do circuito mostrando J_A para cada estado ATUAL; (b) mapa de Karnaugh usado para obter uma expressão simplificada para J_A .

Faremos isto transferindo a informação contida na tabela-verdade para um mapa de Karnaugh de três variáveis e realizando a simplificação como mostra a Fig. 7-34(b).

Existem apenas dois 1s neste mapa de Karnaugh, que podem ser agrupados para obter o termo $\bar{A}\bar{C}$, mas se utilizarmos as condições *don't care* $A\bar{B}\bar{C}$ e ABC como 1s,

podemos agrupar um quarteto para obter o termo mais simples \bar{C} . Portanto, a expressão final é

$$J_A = \bar{C}$$

Agora, vamos considerar K_A . Podemos seguir os mesmos passos que fizemos para J_A . Entretanto, observando os valores de K_A na tabela de excitação do circuito, temos apenas 1s e condições do tipo *don't care*. Se trocarmos todas as condições *don't care* por 1s, teremos K_A sempre igual a 1. Portanto, a expressão final é

$$K_A = 1$$

De uma maneira similar, podemos obter expressões para J_C , K_C , J_B e K_B . Os mapas de Karnaugh para estas expressões podem ser vistos na Fig. 7-35. Você pode querer confirmar se as expressões estão corretas conferindo-as com a tabela de excitação do circuito.

Passo 6. Implemente as expressões finais.

Os circuitos lógicos para cada entrada J e K são implementados a partir das expressões obtidas no mapa de Karnaugh. O circuito completo do contador síncrono projetado está na Fig. 7-36. Observe que todos os flip-flops são disparados pelo mesmo sinal de clock. Você pode querer

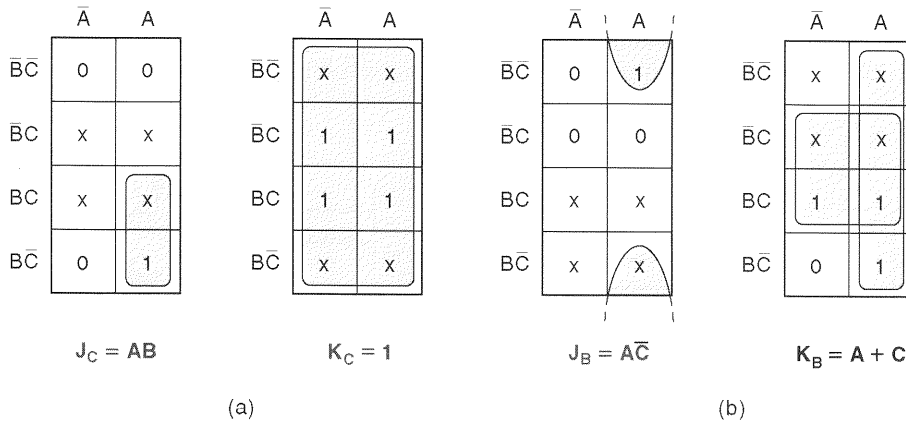


Fig. 7-35 - (a) Mapas de Karnaugh para os circuitos lógicos J_C e K_C ; (b) mapas de Karnaugh para os circuitos lógicos J_B e K_B .

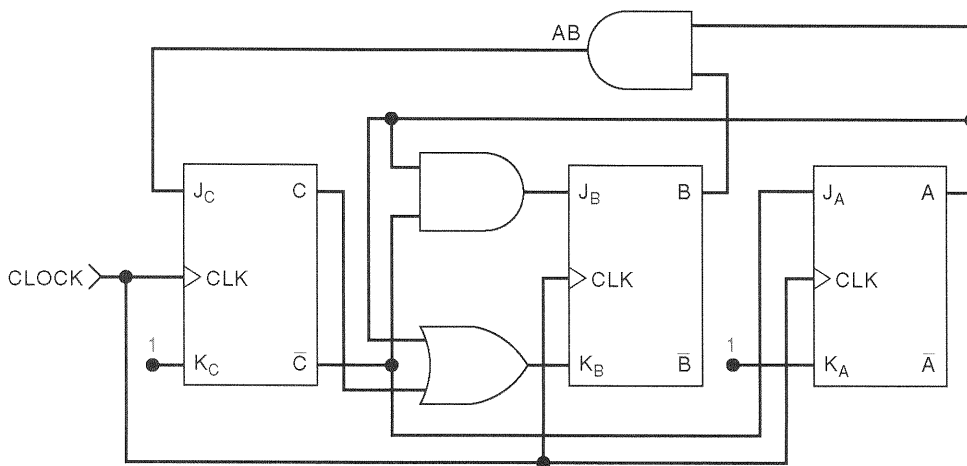


Fig. 7-36 - Implementação final do exemplo de projeto de um contador síncrono.

verificar que os circuitos lógicos para as entradas J e K concordam com as Figs. 7-34 e 7-35.

Controle de um Motor de Passo

Vamos aplicar este procedimento de projeto em uma situação prática — o controle de um *motor de passo*. Um motor de passo gira em passos discretos, geralmente 15° por passo, em vez de girar em movimento contínuo. Os enrolamentos dentro do motor devem ser energizados e desenergizados em uma seqüência específica para produzir movimento em passos discretos. Sinais digitais são normalmente usados para controlar a corrente em cada enrolamento do motor. Motores de passo são bastante utilizados em situações onde o controle preciso de posição é necessário, como por exemplo no posicionamento de cabeças para leitura/escrita de discos magnéticos, no controle de cabeças de impressão em impressoras e em robôs.

A Fig. 7-37(a) mostra um diagrama de um típico motor de passo de quatro enrolamentos. Para que o motor gire de modo correto, os enrolamentos 1 e 2 devem estar sempre em estados opostos, isto é, quando o enrolamento 1 está energizado, o enrolamento 2 não está, e vice-versa. Do mesmo modo, os enrolamentos 3 e 4 devem estar sempre em estados opostos. As saídas de um contador síncrono de dois bits são usadas para controlar a corrente nos quatro enrolamentos. A e \bar{A} controlam os enrolamentos 1 e 2, e B e \bar{B} controlam os enrolamentos 3 e 4. Amplificadores de

corrente são necessários porque as saídas dos flip-flops não podem gerar a corrente exigida pelos enrolamentos.

Uma vez que o motor de passo pode girar em sentido horário ou anti-horário, temos uma entrada D que é usada para controlar a direção de rotação. Os diagramas de estado para as duas situações podem ser vistos na Fig. 7-37(b). Para termos a rotação em sentido horário, devemos ter $D = 0$, e o estado do contador BA deve seguir a seqüência 11, 10, 00, 01, 11, 10, ..., e assim sucessivamente, à medida que ocorra um pulso na entrada Passo. Para a rotação em sentido anti-horário, temos que D deve ser igual a 1 e que o contador deve seguir a seqüência 11, 01, 00, 10, 11, 01, ... e assim por diante.

Estamos agora prontos para seguir os seis passos para o projeto de um contador síncrono. Os passos 1 e 2 já foram feitos, e podemos proceder com os passos 3 e 4. A Tabela 7-6 mostra cada estado ATUAL possível para D , B e A e o próximo estado desejado, juntamente com os níveis lógicos para as entradas J e K necessários para alcançar todas as transições. Observe que em todos os casos, a entrada que indica a direção, D , não muda do estado ATUAL para PRÓXIMO; isto acontece porque ela é uma entrada independente que é mantida em ALTO ou BAIXO à medida que o contador avança em sua seqüência.

O passo 5 do procedimento de projeto é apresentado na Fig. 7-38, onde a informação na Tabela 7-6 foi transferida para os mapas de Karnaugh que mostram como cada sinal J e K está relacionado com o estado ATUAL de D , B e A . Fazendo os agrupamentos apropriados, as expressões lógicas simplificadas para cada sinal são obtidas.

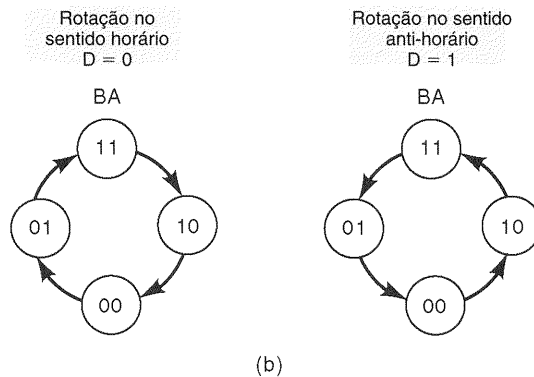
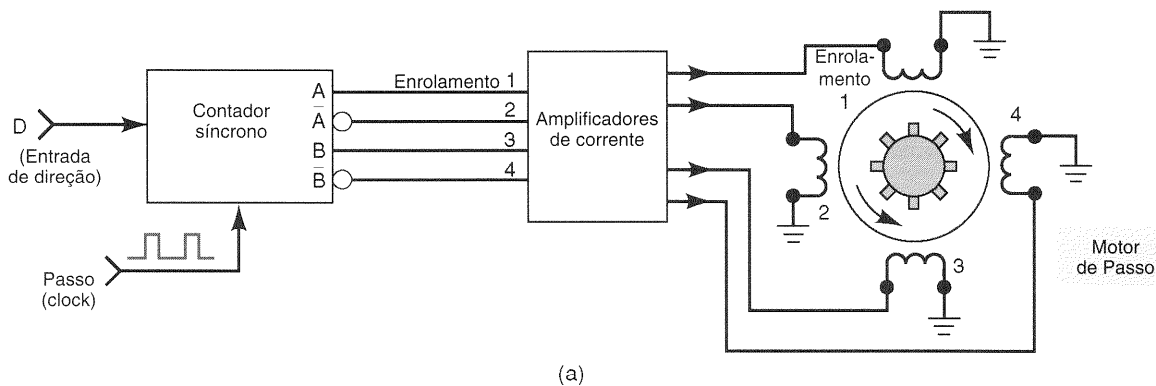


Fig. 7-37- (a) Um contador síncrono fornece a seqüência apropriada de saídas para acionar o motor de passo; (b) diagramas de transição de estados para os dois valores da entrada de direção D .

TABELA 7-6 Tabela de excitação do circuito da Fig. 7-37(b).

Estado ATUAL			PRÓXIMO Estado			J_B	K_B	J_A	K_A
D	B	A	D	B	A				
0	0	0	0	0	1	0	x	1	x
0	0	1	0	1	1	1	x	x	0
0	1	0	0	0	0	x	1	0	x
0	1	1	0	1	0	x	0	x	1
1	0	0	1	1	0	1	x	0	x
1	0	1	1	0	0	0	x	x	1
1	1	0	1	1	1	x	0	1	x
1	1	1	1	0	1	x	1	x	0

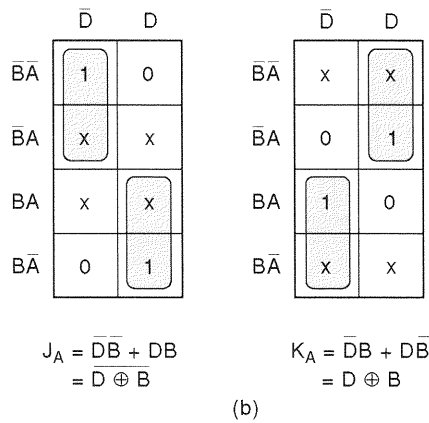
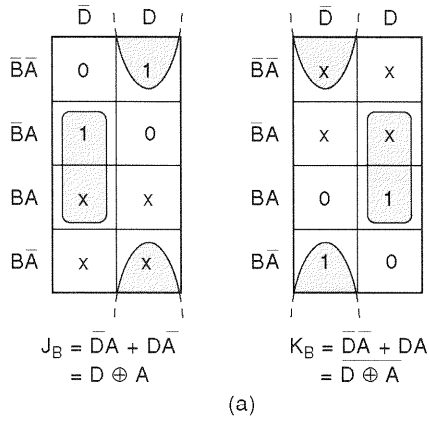


Fig. 7-38 - (a) Mapas de Karnaugh para J_B e K_B ; (b) mapas de Karnaugh para J_A e K_A .

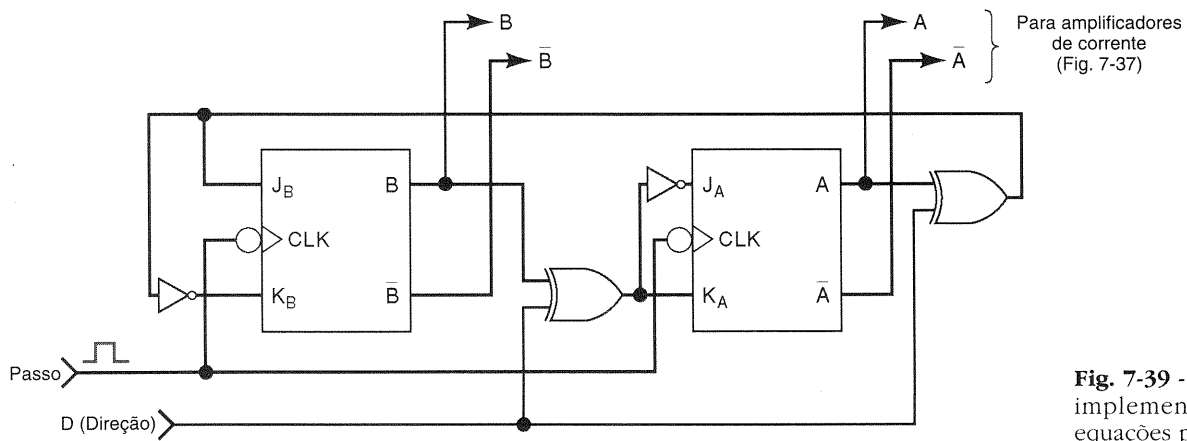


Fig. 7-39 - Contador síncrono implementado a partir das equações para J e K .

O passo final é mostrado na Fig. 7-39, onde o contador síncrono de dois bits é implementado usando as expressões para J e K obtidas nos mapas.

7-15 CONTADORES COM REGISTRADORES DE DESLOCAMENTO

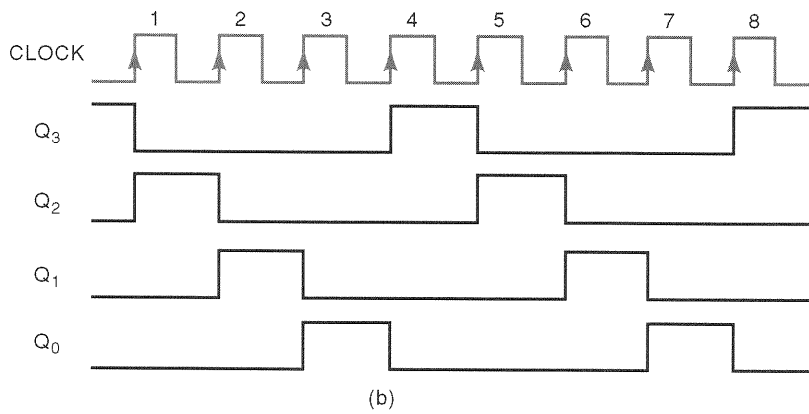
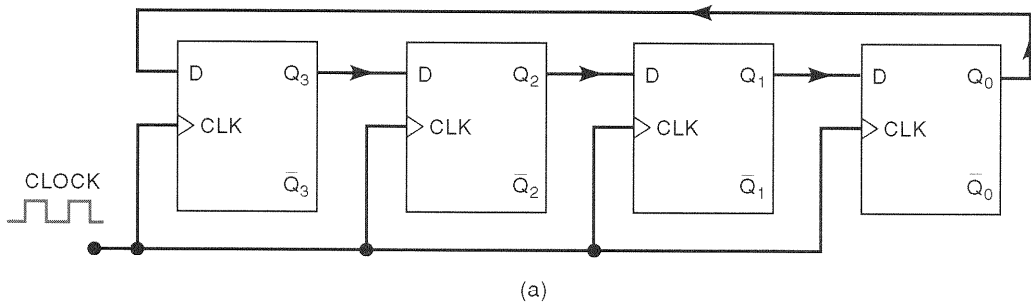
Na Seção 5-18 vimos como conectar FFs para formar um registrador de deslocamento para transferir dados da esquerda para a direita, ou vice-versa, um bit de cada vez (serialmente). Contadores com registradores de deslocamento usam *realimentação*, o que significa que a saída do último FF do registrador é conectada de algum modo ao primeiro flip-flop.

Contador em Anel

O contador com registrador de deslocamento mais simples é essencialmente um **registrador de deslocamento circular** conectado de modo que o último FF desloque seu valor para o primeiro FF. Este arranjo é mostrado na Fig. 7-40 usando flip-flops do tipo D (flip-flops J-K também po-

Questões de Revisão

1. Enumere os seis passos no procedimento de projeto para um contador síncrono.
2. Que informação está contida na tabela de excitação J-K?
3. Que informação está contida na tabela de excitação do circuito?
4. *Verdadeiro ou falso:* O procedimento de projeto de contadores síncronos pode ser usado para a seguinte seqüência: 0010, 0011, 0100, 0111, 1010, 1110, 1111, e a partir daí repete-se o ciclo.



Q ₃	Q ₂	Q ₁	Q ₀	Pulso de CLOCK
1	0	0	0	0
0	1	0	0	1
0	0	1	0	2
0	0	0	1	3
1	0	0	0	4
0	1	0	0	5
0	0	1	0	6
0	0	0	1	7
.
.

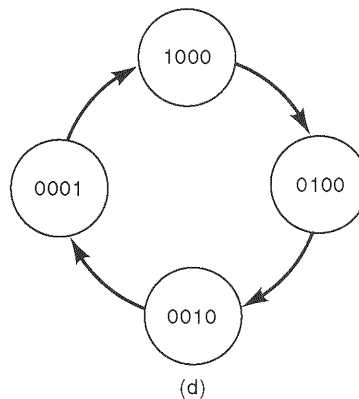


Fig. 7-40 - (a) Contador em anel de 4 bits; (b) formas de onda; (c) tabela de seqüência; (d) diagrama de estados.

dem ser usados). Os FFs são conectados de modo que a informação seja deslocada da esquerda para a direita e circule de volta de Q_0 para Q_3 . Na maioria dos casos, somente um único 1 está no registrador, e este circula pelo registrador enquanto pulsos de clock forem aplicados. Por esta razão, ele é chamado **contador em anel**.

As formas de onda, a tabela de seqüência e o diagrama de estados podem ser vistos na Fig. 7-40, e mostram os diversos estados dos FFs à medida que pulsos são aplicados, considerando o estado inicial de $Q_3 = 1$ e $Q_2 = Q_1 = Q_0 = 0$. Após o primeiro pulso, o 1 foi deslocado de Q_3 para Q_2 de modo que o contador esteja em 0100. O segundo pulso produz o estado 0010, e o terceiro pulso produz o estado 0001. No *quarto* pulso de clock, o 1 é transferido de Q_0 para Q_3 , resultando no estado 1000, que é, obviamente, o estado inicial. Pulsos subseqüentes farão com que a seqüência se repita.

Este contador funciona como um contador de módulo 4, uma vez que ele possui *quatro* estados distintos antes que a seqüência se repita. Apesar de este circuito não progredir segundo a seqüência de contagem binária normal, ele ainda é um contador porque cada contagem corresponde a um único conjunto de estados dos flip-flops. Observe que a saída de cada FF tem uma freqüência igual a um quarto da freqüência do clock, uma vez que ele é um contador em anel de módulo 4.

Contadores em anel podem ser construídos para qualquer módulo desejado. Um contador em anel de módulo N utiliza N flip-flops conectados segundo o arranjo da Fig. 7-40. De um modo geral, um contador em anel necessitará de mais flip-flops do que um contador binário de mesmo módulo. Por exemplo, um contador em anel de módulo 8 necessita de oito FFs, enquanto um contador binário de módulo 8 requer apenas três.

Apesar de ser menos eficiente no uso de FFs, um contador em anel ainda é útil porque ele pode ser decodificado sem o uso de portas decodificadoras. O sinal decodificado para cada estado é obtido na saída do seu flip-flop correspondente. Compare as formas de onda do contador em anel com aquelas decodificadas que podem ser vistas na Fig. 7-27. Em alguns casos, um contador em anel pode ser uma escolha melhor do que um contador binário com suas portas decodificadoras associadas. Isto é especialmente verdadeiro em aplicações onde o contador é usado para controlar a seqüência de operações em um sistema.

Partida de um Contador em Anel

Para funcionar corretamente, o contador em anel deve partir com apenas um FF no estado 1 e todos os outros no estado 0. Uma vez que os estados iniciais dos FFs são imprevisíveis quando a alimentação do circuito é ligada, o contador deve ser colocado no estado inicial desejado antes da aplicação de pulsos de clock. Um modo de fazer isto é aplicar um pulso momentâneo na entrada assíncrona \overline{PRE} (por exemplo, Q_3 na Fig. 7-40) e na entrada \overline{CLR} de todos os outros FFs. Um outro método é mostrado na Fig. 7-41. Quando a alimentação do circuito for ligada, o capacitor será lentamente carregado em direção a $+V_{CC}$. A saída do INVERSOR Schmitt-trigger 1 permanecerá em ALTO, e a saída do INVERSOR 2 permanecerá em BAIXO até que a tensão do capacitor exceda a tensão de limiar positivo (V_{T+}) da en-

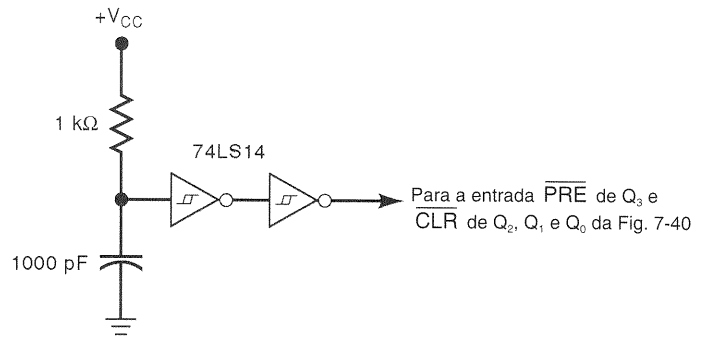


Fig. 7-41 - Circuito que assegura que o contador em anel da Fig. 7-40 inicie no estado 1000 quando a alimentação for ligada.

trada do INVERSOR 1 (em torno de 1,7 V). Isto fará com que a entrada \overline{PRE} de Q_3 e a entrada \overline{CLR} de Q_2 , Q_1 e Q_0 sejam mantidas em BAIXO por um tempo suficientemente grande enquanto a alimentação está sendo ligada para assegurar que o contador comece de 1000.

Contador Johnson

O contador em anel básico pode ser ligeiramente modificado para produzir um outro tipo de contador com registrador de deslocamento, que terá propriedades um pouco diferentes. O **contador Johnson** ou **contador em anel torcido** é construído exatamente como um contador em anel normal, exceto pelo fato de que a saída *invertida* do último FF é que está conectada à entrada do primeiro. Um contador Johnson de três bits é mostrado na Fig. 7-42. Observe que a saída \overline{Q}_0 é conectada de volta à entrada D de Q_2 . Isto significa que o *inverso* do nível armazenado em Q_0 será transferido para Q_2 no pulso de clock.

A operação de um contador Johnson é fácil de analisar se notarmos que em cada transição positiva do pulso de clock o nível de Q_2 é deslocado para Q_1 , o de Q_1 é deslocado para Q_0 , e o *inverso* do nível de Q_0 é deslocado para Q_2 . Usando estas idéias e considerando que todos os FFs estão inicialmente em 0, as formas de onda, a tabela de seqüência e o diagrama de estados vistos na Fig. 7-42 podem ser obtidos.

O exame das formas de onda e da tabela de seqüência revela os seguintes pontos importantes:

1. Este contador possui seis estados distintos: 000, 100, 110, 111, 011 e 001, antes que a seqüência se repita. Portanto, ele é contador Johnson de módulo 6. Observe que ele não conta conforme a contagem binária normal.
2. A forma de onda da saída de cada FF é uma onda quadrada (50% de taxa de ciclo) com um sexto da freqüência do clock. Além disso, as formas de onda de duas saídas sucessivas estão deslocadas de um período de clock.

O módulo de um contador Johnson será sempre igual a *duas* vezes o número de FFs. Por exemplo, se conectarmos cinco FFs conforme o arranjo da Fig. 7-42, teremos um contador de módulo 10, onde a saída de cada FF é uma onda quadrada com um décimo da freqüência do clock. Portanto, é possível construir um contador de módulo N (onde N é um número par) conectando $N/2$ flip-flops neste arranjo de contador.

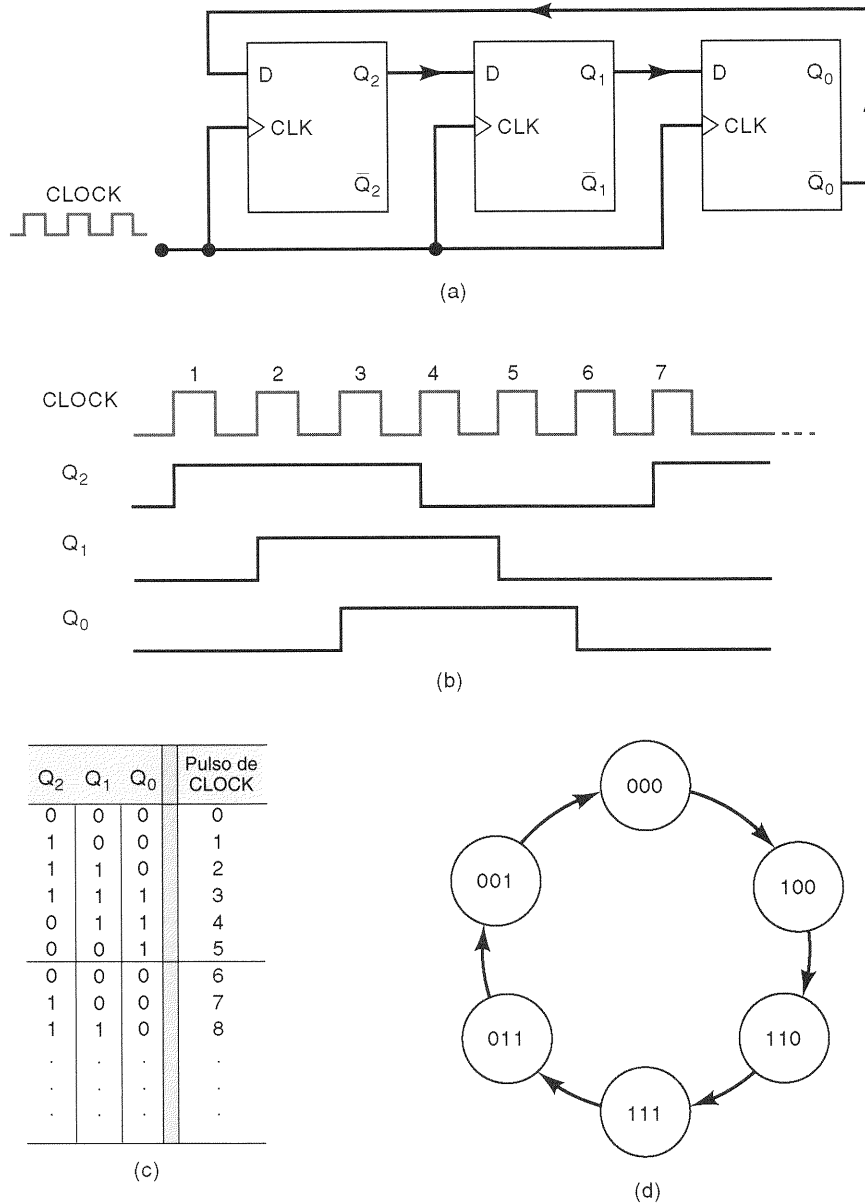


Fig. 7-42 - (a) Contador Johnson de módulo 6; (b) formas de onda; (c) tabela de seqüência; (d) diagrama de estado.

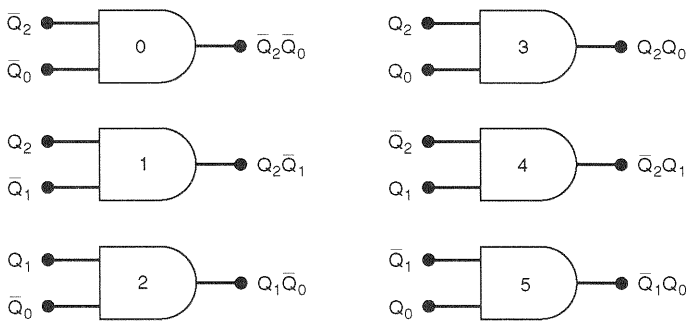
Decodificando um Contador Johnson

Para um dado módulo, um contador Johnson necessita de apenas metade do número de FFs que um contador em anel. Entretanto, um contador Johnson necessita de portas decodificadoras, enquanto um contador em anel não. Como um contador binário, o contador Johnson usa uma porta lógica para decodificar cada contagem, mas necessita apenas de portas de duas entradas, independentemente do número de flip-flops que existam. A Fig. 7-43 mostra as portas decodificadoras para os seis estados do contador Johnson da Fig. 7-42.

Observe que cada porta decodificadora possui apenas duas entradas, mesmo havendo três FFs no contador. Isto acontece porque, para cada contagem, dois dos três FFs estão em uma combinação única de estados. Por exemplo, a com-

biniação $Q_2 = Q_0 = 0$ ocorre apenas uma vez na seqüência, na contagem 0. Então, a porta AND 0, com entradas \bar{Q}_2 e \bar{Q}_0 , pode ser usada para decodificar esta contagem. Esta mesma característica é compartilhada por todos os outros estados da seqüência, como o leitor pode verificar. De fato, *qualquer* que seja o tamanho do contador Johnson, as portas decodificadoras terão apenas duas entradas.

Contadores Johnson representam um meio-termo entre contadores binários e contadores em anel. Um contador Johnson requer um menor número de FFs que um contador em anel; entretanto, geralmente necessita de um maior número que um contador binário. Ele possui mais circuitos decodificadores do que um contador em anel, porém menos do que um contador binário. Portanto, ele às vezes representa uma escolha lógica para certas aplicações.



Q_2	Q_1	Q_0	Contagem
0	0	0	0
1	0	0	1
1	1	0	2
1	1	1	3
0	1	1	4
0	0	1	5

Retorna

Fig. 7-43 - Lógica de decodificação para um contador Johnson de módulo 6.

CI's Contadores com Registradores de Deslocamento

Existem muito poucos contadores em anel ou contadores Johnson disponíveis como circuitos integrados. A razão para isto é que é relativamente simples pegar um CI registrador de deslocamento e conectá-lo ou como um contador em anel ou como um contador Johnson (veja o Exemplo 7-20). Alguns dos CI's contadores Johnson CMOS (74HC4017, 74HC4022) incluem o circuito de decodificação completo no mesmo chip do contador.

Questões de Revisão

1. Que contador com registrador de deslocamento necessita de um maior número de FFs para um dado módulo?
2. Que contador com registrador de deslocamento necessita de mais circuitos decodificadores?
3. Como um contador em anel pode ser convertido para um contador Johnson?
4. *Verdadeiro ou falso:*
 - (a) As saídas de um contador em anel são sempre ondas quadradas.
 - (b) O circuito decodificador para um contador Johnson é mais simples do que para um contador binário.
 - (c) Contadores em anel e Johnson são contadores síncronos.

RESUMO (PARTE I)

1. Em contadores assíncronos, o sinal de clock é aplicado ao FF LSB, e todos os outros FFs são disparados pela saída do flip-flop anterior.
2. O módulo de um contador é o número de estados estáveis durante o seu ciclo de contagem. Ele também é a maior razão de divisão de frequência.
3. O módulo normal de um contador é 2^N . Uma maneira de modificar o módulo do contador é adicionar circuitos que façam com que ele recicle antes de atingir a sua última contagem normal.
4. Contadores podem ser ligados em cascata para produzir intervalos de contagem maiores e uma maior razão de divisão de frequência.
5. Em um contador síncrono, todos os FFs são disparados simultaneamente pelo mesmo sinal de clock.

6. A frequência máxima do clock para um contador assíncrono, f_{max} , decresce à medida que o número de bits aumenta. Para um contador síncrono, f_{max} permanece a mesma, independentemente do número de bits.
7. Um contador decádico é qualquer contador de módulo 10. Um contador BCD é um contador decádico cuja seqüência contém os dez códigos BCD (0-9).
8. Um contador com carga pode ser carregado com qualquer valor de contagem desejado para a partida.
9. Um contador crescente/decrescente pode ser comandado pela entrada de contagem crescente ou pela entrada de contagem decrescente.
10. Portas lógicas podem ser usadas para decodificar (detectar) algum ou todos os estados de um contador.
11. Contadores assíncronos podem produzir glitches nas portas decodificadoras, devido aos atrasos de propagação do contador. Contadores síncronos são menos propensos a causar glitches de decodificação. Amostragem é uma técnica para eliminar os efeitos dos glitches de decodificação.
12. Contadores síncronos com seqüência de contagem arbitrária podem ser implementados usando um procedimento de projeto padrão.
13. Um contador em anel é, na verdade, um registrador de deslocamento de N bits que recircula continuamente um único 1 e portanto age como um contador de módulo N . Um contador Johnson é um contador em anel modificado que opera como um contador de módulo $2N$.

TERMOS IMPORTANTES (PARTE I)

contador assíncrono (por pulsação)
 módulo
 contador decádico
 contador BCD
 contador crescente
 contador decrescente
 contadores síncronos (paralelos)
 contadores crescentes/decrescentes
 contadores carregáveis
 carga paralela
 contador de vários estágios
 decodificação
 glitches de decodificação
 strobing (amostragem)
 ligação em cascata
 projeto de circuito(s) seqüencial(is)
 tabela de excitação J-K
 tabela de excitação do circuito
 registrador de deslocamento circular
 contador em anel
 contador Johnson

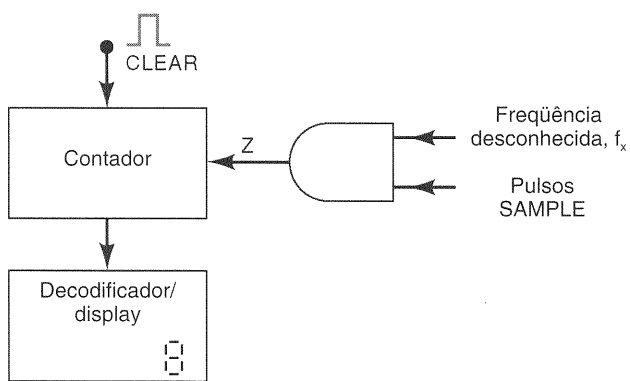
PARTE II

7-16 APLICAÇÕES DE CONTADORES: FREQUÊNCÍMETRO

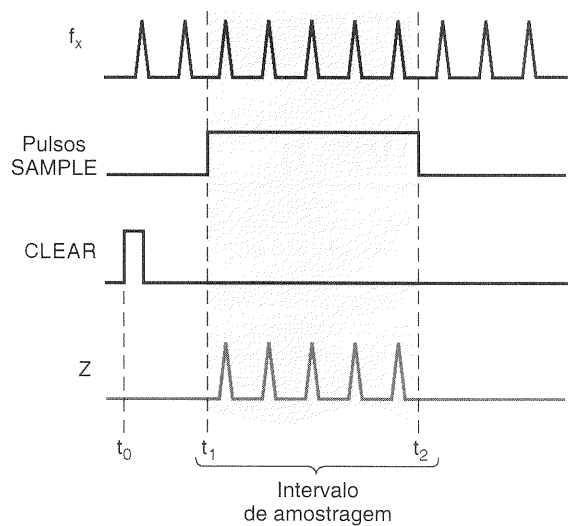
Existem numerosas aplicações para os diversos tipos de contadores que temos estudado. Nesta seção e na próxima, analisaremos duas aplicações representativas que ilustram a utilização de contadores em sistemas digitais.

Um **frequencímetro** é um circuito que pode medir e mostrar a frequência de um sinal. Um dos métodos mais diretos para construir um frequencímetro é mostrado, de maneira simplificada, na Fig. 7-44(a). Ela contém um contador com circuitos do tipo decodificador/display e uma porta AND. As entradas da porta AND incluem os pulsos da frequência desconhecida, f_x , e um pulso de SAMPLE que controla por quanto tempo esses pulsos podem passar pela porta AND para o contador. O contador usualmente é feito com contadores BCD em cascata (Fig. 7-32), e a unidade decodificador/display converte as saídas BCD para a apresentação decimal a fim de facilitar a visualização.

As formas de onda na Fig. 7-44(b) mostram que um pulso de CLEAR é aplicado no contador em t_0 para iniciar o contador em 0. Antes de t_1 , a forma de onda do pulso SAMPLE está em BAIXO, e portanto também a saída da porta AND, Z, está em BAIXO e o contador não está contando. O pulso SAMPLE vai para ALTO de t_1 até t_2 ; isto é denominado **intervalo de amostragem**. Durante o intervalo de amostragem, os pulsos da frequência desconhecida passarão pela porta AND e serão contados pelo contador. Após t_2 , a saída da AND retorna para BAIXO e o contador pára de contar. Deste modo, o contador terá contado o número de pulsos que ocorreram durante o intervalo de amostragem, e seu conteúdo resultante é uma medida direta da frequência da forma de onda pulsada.



(a)



(b)

Fig. 7-44 - Método básico para contagem de frequência.

EXEMPLO 7-18

A frequência desconhecida é de 3.792 pulsos por segundo (pps). O contador é levado para o estado 0 antes de t_1 . Determine a saída do contador após um intervalo de amostragem de (a) 1 s, (b) 0,1 s e (c) 10 ms.

Solução

- (a) Dentro de um intervalo de amostragem de 1 s existirão 3.792 pulsos entrando no contador, e portanto, depois de t_2 , o conteúdo do contador será 3.792.
- (b) Com um intervalo de amostragem de 0,1 s, o número de pulsos que passa através da porta AND para o contador será de $3.792 \text{ pulsos/s} \times 0,1 \text{ s} = 379,2$. Isto significa que ou 379 ou 380 pulsos serão contados, dependendo em que parte do ciclo do pulso t_1 ocorre.
- (c) Com um intervalo de amostragem de $10 \text{ ms} = 0,01 \text{ s}$, o contador apresentará uma contagem de 37 ou 38.

A exatidão deste método depende quase que inteiramente da duração do intervalo de amostragem, que deve ser controlado de modo bem preciso. Um método comumente utilizado para obter pulsos de amostragem bem precisos é mostrado na Fig. 7-45. Um oscilador controlado a cristal é usado para gerar uma forma de onda de 100 kHz bastante precisa, que é transformada em pulsos quadrados e levada para uma série de contadores decádicos, que estão sendo usados para dividir sucessivamente esta frequência de 100 kHz por 10. As frequências nas saídas de cada contador decádico são tão precisas (percentualmente) quanto a frequência do cristal. Estes contadores decádicos são usualmente contadores binários ou Johnson.

A chave rotativa é usada para selecionar uma das frequências de saída dos contadores decádicos, que por sua vez será

dividida por 2 por um FF. Por exemplo, na posição 1 da chave, os pulsos de 1 Hz são levados ao flip-flop Q , que está operando no modo de comutação, de maneira que sua saída será uma onda quadrada com um período de $T = 2$ s e com um pulso de duração $t_p = T/2 = 1$ s. A duração deste pulso é o intervalo de amostragem desejado de 1 s. Na posição 2, o intervalo de amostragem seria 0,1 s, e assim por diante para as outras posições.

EXEMPLO 7-19

Admita que o contador na Fig. 7-44 é construído com três contadores BCD em cascata, com os respectivos displays. Se a frequência desconhecida de entrada estiver entre 1 kpps e 9,99 kpps, qual é a melhor escolha para a posição da chave na Fig. 7-45?

Solução

Com três contadores BCD, a capacidade total do contador é 999. Uma frequência de 9,99 kpps produziria uma contagem de 999 se um intervalo de amostragem de 0,1 s fosse usado. Assim, de modo a usar a capacidade total do contador, a chave deveria ser colocada na posição 2. Se um intervalo de amostragem de 1 s fosse usado, a capacidade do contador sempre seria excedida para as frequências na faixa especificada. Se um intervalo de amostragem mais curto fosse utilizado, o contador contaria apenas entre 1 e 99; isto daria uma leitura com apenas dois dígitos significativos e seria um desperdício da capacidade do contador.

Freqüencímetro Completo

Vamos analisar agora um circuito de freqüencímetro mais completo na Fig. 7-46(a). O circuito contém um monoestável, um flip-flop J-K operando em comutação, e a porta AND

tem três entradas, uma das quais é a saída X do FF. Os pulsos SAMPLE estão conectados na porta AND e também na entrada CLK do FF. Estes pulsos SAMPLE seriam gerados por um circuito semelhante ao da Fig. 7-45. A seguinte descrição, passo a passo, se refere às formas de onda na Fig. 7-46(b).

1. Admita que o flip-flop X está no estado 0 (ele comutou para 0 na descida do pulso de amostragem anterior).
2. Este nível BAIXO de X é levado para a porta AND, desabilitando sua saída, de modo que nenhum pulso é levado para o contador, mesmo quando o primeiro pulso SAMPLE ocorre entre t_1 e t_2 .
3. Em t_2 , a descida do primeiro pulso de SAMPLE comuta o flip-flop X para o estado 1 (note que $J = K = 1$). Esta transição positiva em X dispara o MONO, que gera um pulso de 100 ns para limpar o contador. O contador agora apresenta zero.
4. Em t_3 , o segundo pulso de SAMPLE habilita a porta AND (já que X agora está em 1) e permite que a frequência desconhecida alcance o contador para ser contada até t_4 .
5. Em t_4 , o pulso de SAMPLE retorna para o nível BAIXO e comuta X para BAIXO, desabilitando a porta AND. O contador pára de contar.
6. Entre t_4 e t_6 , o contador mantém e mostra a contagem que alcançou até t_4 . Note que o terceiro pulso de SAMPLE não habilita a porta AND, pois o flip-flop X está em BAIXO.
7. Em t_6 , a descida do pulso SAMPLE comuta X para ALTO, e a operação segue a mesma seqüência que começou em t_2 .

Esse freqüencímetro, portanto, realiza uma seqüência repetitiva de limpar para 0, contar, manter o valor para o display, limpar para 0, contar e assim por diante. Por exemplo, vamos supor que o contador tenha três estágios BCD e um display de três dígitos. Se usarmos um intervalo de amostragem de 1 s e a frequência desconhecida for de 237

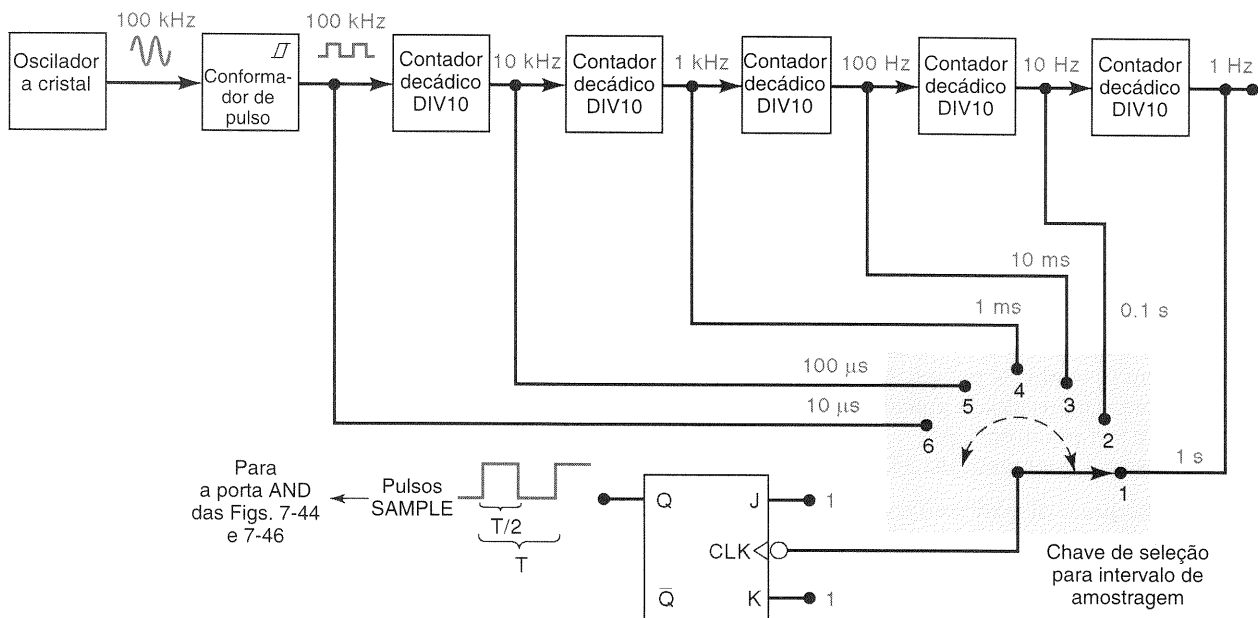


Fig. 7-45 - Método para obter intervalos de amostragem precisos para um freqüencímetro.

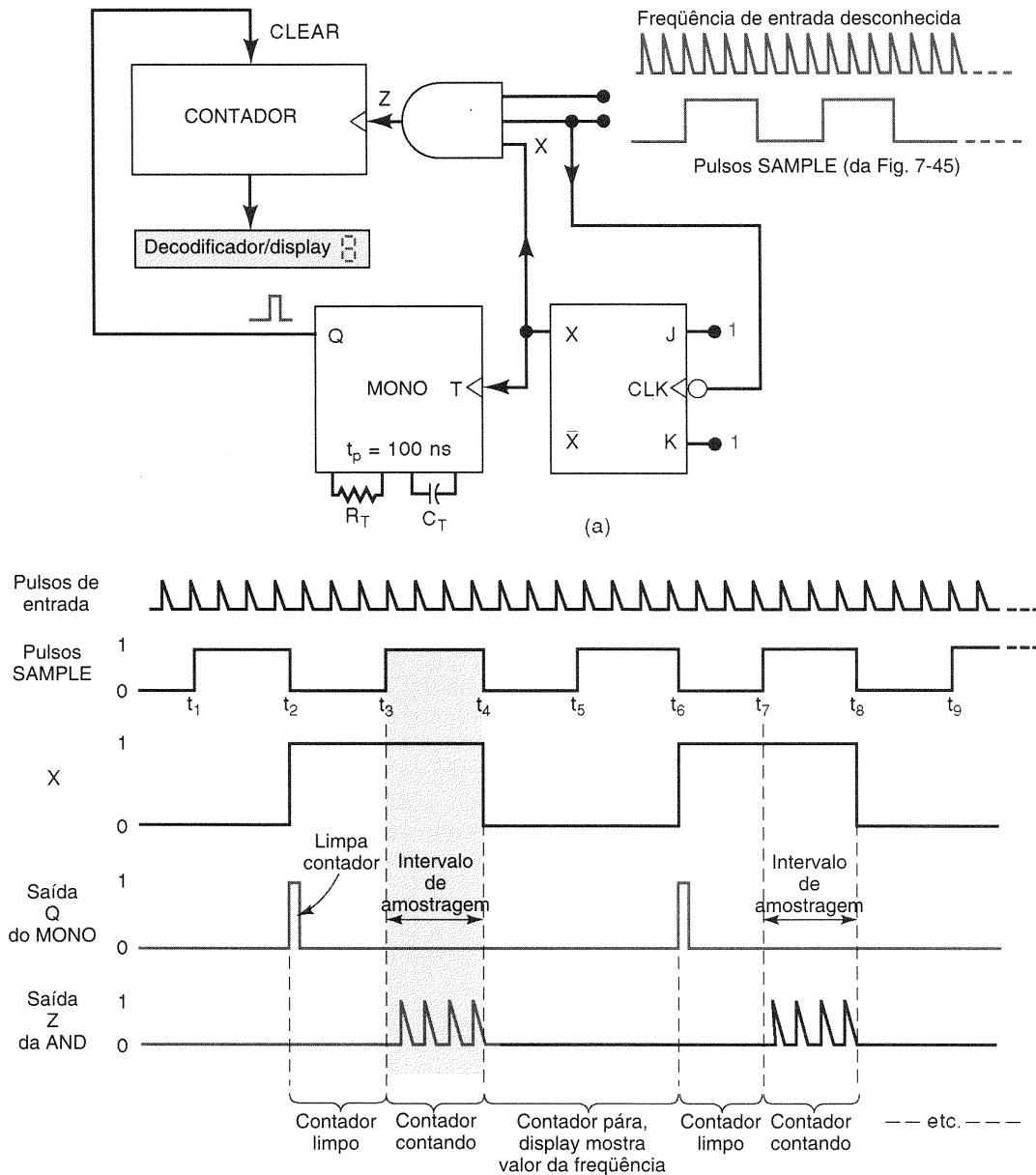


Fig. 7-46 - Freqüencímetro.

pps, o contador e o display seguirão indefinidamente esta seqüência:

- Limpa para 0 e mostra 0 por 1 s [t_2 até t_3 na Fig. 7-46(b)].
- Começando em 0, conta os pulsos da freqüência desconhecida durante o intervalo de amostragem de 1 s (t_3 até t_4); a contagem vai parar em 237.
- Mantém e mostra a contagem de 237 por 2 s (t_4 até t_6).

Tendo em vista que o display está conectado diretamente nas saídas do contador, o display mostrará a operação de reset e a contagem. Isto torna muito difícil ler o display para determinar a freqüência desconhecida, exceto para intervalos de amostragem muito lentos. Este problema pode ser resolvido inserindo-se um *registrador buffer* entre o

contador e a unidade do decodificador/display. Consideraremos esta característica no Problema 7-43.

QUESTÕES DE REVISÃO

1. Qual é o melhor intervalo de amostragem para usar se o contador de pulsos tiver quatro estágios BCD e a freqüência de entrada estiver entre 2 e 8 Mpps?
2. Descreva a seqüência de operações do freqüencímetro completo da Fig. 7-46.
3. Por que não seria inteligente utilizar contadores em anel, em vez de contadores Johnson, para os contadores decádicos na Fig. 7-45?

7-17 APLICAÇÕES DE CONTADORES: RELÓGIO DIGITAL

Uma das aplicações mais comuns de contadores é o relógio digital — um relógio de tempo que mostra em um display o tempo do dia em horas, minutos e às vezes segundos. De modo a construir um relógio digital preciso, é necessária uma frequência básica bastante controlada. Para relógios digitais que funcionam com bateria, a frequência básica é obtida normalmente de um oscilador com cristal de quartzo. Relógios digitais que operam com tensão AC, da rede de energia elétrica, podem usar a frequência de 60 Hz como sua frequência básica. Em ambos os casos, a frequência básica deve ser dividida para a frequência de 1 Hz ou 1 pulso por segundo (1 pps). A Fig. 7-47 mostra o diagrama de blocos básico para um relógio digital que opera com 60 Hz.

O sinal de 60 Hz é enviado para um circuito Schmitt-trigger para produzir pulsos quadrados a uma taxa de 60 pps. Esta forma de onda de 60 pps é levada ao contador de módulo 60, que é usado para dividir os 60 pps para 1 pps. O sinal de 1 pps é levado para a seção de SEGUNDOS, que por sua vez é usada para contar e mostrar os segundos de 0 até 59. O contador BCD avança uma contagem por segundo. Após 9 segundos, o contador BCD recicla para 0, o que, por sua vez, aciona o contador de módulo 6 e faz com que ele avance uma contagem. Isto continua por 59 segundos; neste ponto, o contador de módulo 6 está com a contagem de 101 (5) e o contador BCD está com 1001 (9), portanto o display apresenta 59 segundos. O próximo pulso recicla o contador BCD para 0, o que por sua vez recicla o contador de módulo 6 para 0 (lembre-se, o contador de módulo 6 conta de 0 a 5).

A saída do contador de módulo 6 da seção dos SEGUNDOS tem uma frequência de 1 pulso por minuto (ele recicla a cada 60 segundos). Este sinal é levado para a seção dos MINUTOS, que conta e mostra os minutos de 0 até 59. A

seção dos MINUTOS é idêntica à seção dos segundos, e opera exatamente da mesma maneira.

A saída do contador de módulo 6 da seção dos MINUTOS tem uma frequência de 1 pulso por hora (ele recicla a cada 60 minutos). Este sinal é levado para a seção das HORAS, que conta e mostra as horas de 1 até 12. A seção das HORAS é diferente das seções dos SEGUNDOS e dos MINUTOS, pois ela nunca vai para o estado 0. Os circuitos desta seção são suficientemente não-usuais para garantirem uma investigação mais detalhada.

A Fig. 7-48 mostra em detalhe os circuitos contidos na seção das HORAS. Ela tem um contador BCD para contar as unidades das horas, e um único FF (módulo 2) para contar dezenas de horas. O contador BCD é um 74LS192, que opera exatamente igual ao 74LS193, que estudamos anteriormente, com a exceção de que ele só conta entre 0000 e 1001. Em outras palavras, o 74LS192 pode tanto contar em BCD de modo crescente (isto é, de 0 a 9, reciclando para 0) como de modo decrescente (isto é, de 9 para 0, reciclando para 9). Aqui, ele é usado para contar no modo crescente, em resposta ao sinal de 1 pulso/hora vindo da seção de MINUTOS. O INVERSOR na entrada CP_U é necessário pois o 74LS192 responde a transições de subida, e queremos que ele responda na descida, que ocorre quando a seção de MINUTOS recicla de volta para 0.

Os pulsos que chegam vão avançando a contagem BCD uma vez por hora. Por exemplo, às 7 horas este contador estará com 0111, e seu circuito decodificador/display estará mostrando o número 7. Ao mesmo tempo, X estará em BAIXO, e seu display mostrará um 0. Assim, os dois displays mostrarão "07". Quando o contador BCD está no estado 1001 (9) e o próximo pulso de entrada ocorre, ele reciclará de volta para 0000. A descida de Q_3 comutará o flip-flop X de 0 para 1. Isto produz o número 1 no display de X, e o número 0 no display do contador BCD, de modo que os displays combinados apresentam "10", para indicar 10 horas em ponto.

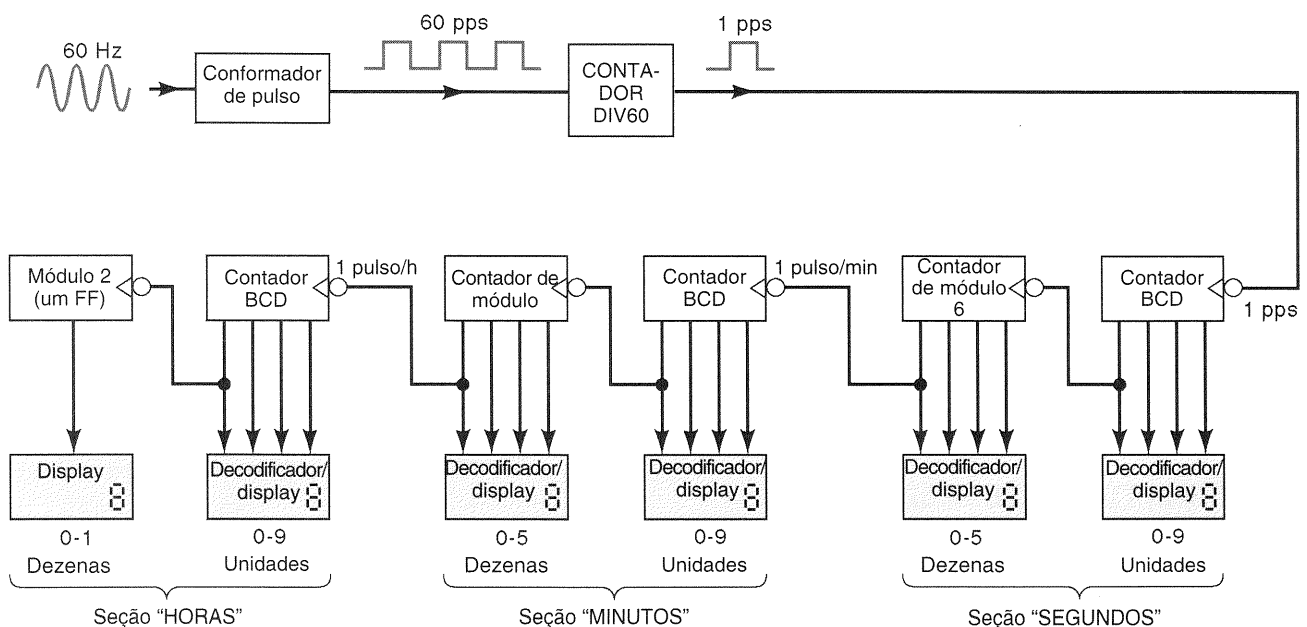


Fig. 7-47 - Diagrama de blocos para um relógio digital.

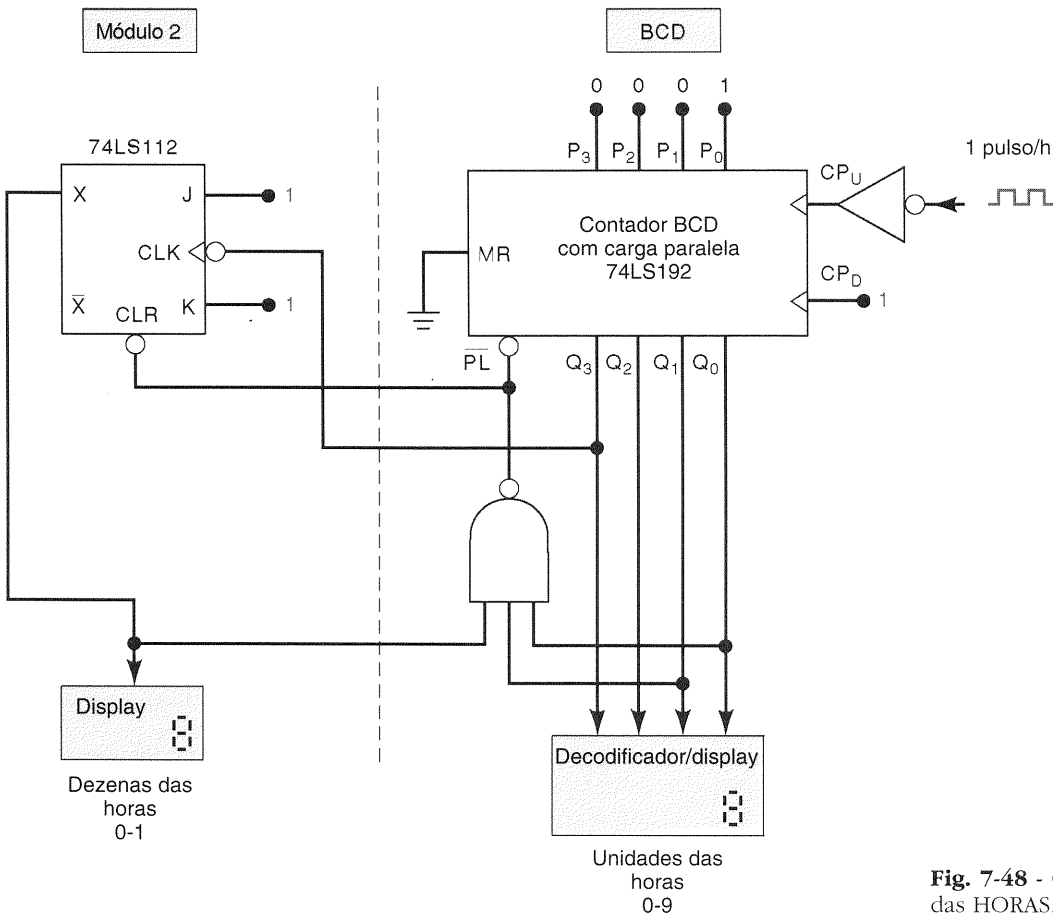


Fig. 7-48 - Circuito detalhado para a seção das HORAS.

Os dois próximos pulsos incrementam o contador BCD, de modo que “11” e “12” são apresentados às 11 e às 12 horas, respectivamente. O próximo pulso leva o contador BCD para 0011 (3). Neste estado, as saídas Q_1 e Q_0 do contador estão ambas em ALTO, e X ainda está em ALTO. Assim, a saída da porta NAND vai para BAIXO e ativa o \overline{CLR} do flip-flop X e a entrada \overline{PL} do 74LS192. Isto limpa X para 0 e carrega o contador BCD com 0001. O resultado é a apresentação no display de “01”, para indicar 1 hora. Diversos problemas no final do capítulo fornecerão maiores detalhes sobre o circuito do relógio digital.

neira pela qual os dados saem do registrador. As diversas classificações são listadas a seguir:

1. Entrada paralela/saída paralela
2. Entrada serial/saída serial
3. Entrada paralela/saída serial
4. Entrada serial/saída paralela

Cada um destes tipos e muitas variações estão disponíveis sob a forma de CIs, de modo que o projetista pode, na maioria das vezes, encontrar exatamente o que é necessário para uma dada aplicação. Nas seções seguintes, examinaremos um CI representativo para cada uma das categorias relacionadas.

QUESTÕES DE REVISÃO

1. Relacione os blocos básicos que formam um circuito de relógio digital.
2. Por que é necessário um INVERSOR na Fig. 7-48?

7-18 CIRCUITOS INTEGRADOS DE REGISTRADORES

Os vários tipos de registradores podem ser classificados de acordo com a maneira pela qual os dados podem ser apresentados ao registrador para armazenamento e com a ma-

7-19 ENTRADA PARALELA/SAÍDA PARALELA — O 74174 E O 74178

Realmente existem dois tipos de registradores na categoria de **entrada paralela/saída paralela**. Um é estritamente paralelo, e o outro é, na verdade, um registrador de deslocamento que pode ser carregado com dados paralelos e tem saídas paralelas disponíveis.

O 74174

A Fig. 7-49(a) mostra o diagrama lógico para o 74174 (também para o 74LS174 e o 74HC174), um registrador de 6 bits

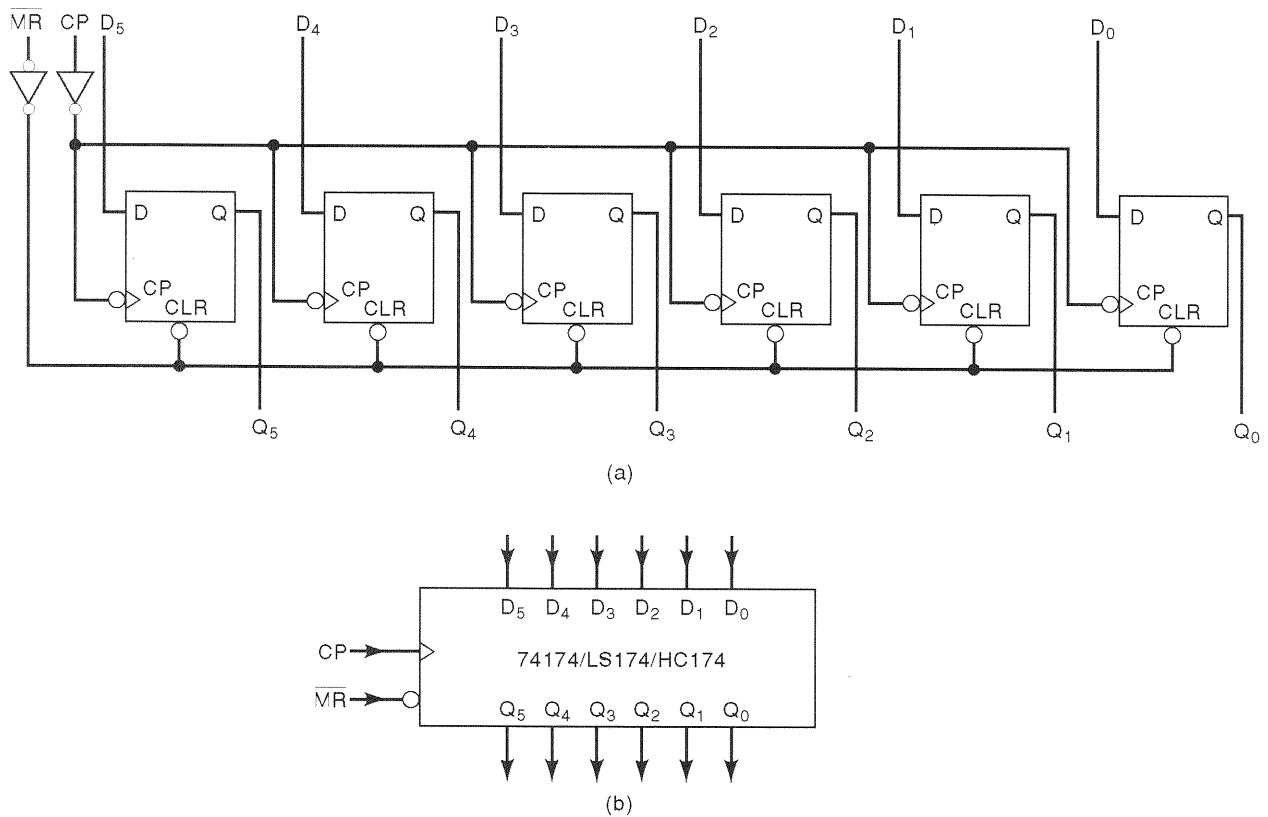


Fig. 7-49 - (a) Diagrama do circuito do 74174; (b) símbolo lógico. (Cortesia da Fairchild, uma companhia da Schlumberger.)

que tem entradas paralelas, D₅ até D₀, e saídas paralelas, Q₅ até Q₀. Os dados paralelos são carregados no registrador na subida da entrada de clock CP. Uma entrada de reset geral, MR, pode ser usada para ressetar assincronamente todos os FFs do registrador para 0.

O símbolo lógico para o 74174 está mostrado na Fig. 7-49(b). Este símbolo é usado em diagramas de circuitos para representar o circuito da Fig. 7-49(a).

O 74178

A Fig. 7-50(a) mostra o diagrama lógico para o 74178 (também para o 74HC178), um registrador de deslocamento de 4 bits que tem entrada paralela de dados (P₀ até P₃) e saídas paralelas (Q₀ até Q₃). Ele tem uma entrada serial de dados, D₅, e duas entradas de habilitação: PE (habilitador paralelo) e SE (habilitador serial).

A Fig. 7-50(b) é a tabela de seleção de modo que descreve os vários modos de operação para este CI. A primeira linha indica as condições de entrada necessárias para a operação de deslocamento à direita. Com SE = 1, os dados serão deslocados da esquerda para a direita na descida da entrada de clock CP, não importando o nível lógico na entrada PE (lembre-se de que X representa a condição don't care). Você pode verificar isto seguindo o diagrama lógico e reparando que quando SE = 1, a entrada D₅ atravessa as portas lógicas e aparece na entrada D do flip-flop Q₀. Analogamente, Q₀ aparecerá na entrada D de Q₁; Q₁ aparecerá na entrada D de Q₂; e Q₂ aparecerá na entrada D de Q₃.

A segunda linha da tabela indica as condições necessárias para produzir uma transferência paralela das entradas de dados paralelos (P₀ até P₃) para as saídas (Q₀ até Q₃). Quando SE = 0 e PE = 1, esta transferência paralela ocorre na descida de CP. Note que esta é uma transferência síncrona. Novamente, acompanhando o diagrama lógico, você pode verificar que quando SE = 0 e PE = 1, as entradas paralelas de dados passarão pelas portas e aparecerão nas entradas D de seus respectivos FFs.

A última linha da tabela indica que a condição SE = 0 e PE = 0 faz com que os FFs do registrador mantenham seus níveis atuais, não importando o que aconteça na entrada de clock. Para esta condição de entrada, cada saída de FF é habilitada a passar por suas respectivas portas lógicas e aparecer na entrada D do mesmo FF. Assim, uma descida em CP não mudará o estado do FF.

A Fig. 7-51 mostra o símbolo lógico para o 74178/74HC178.

EXEMPLO 7-20

Descreva como o 74178 pode ser conectado para operar como um contador em anel e como um contador Johnson.

Solução

As conexões para contador em anel estão mostradas na Fig. 7-52. A saída Q₃ é conectada de volta para a entrada D₅. As

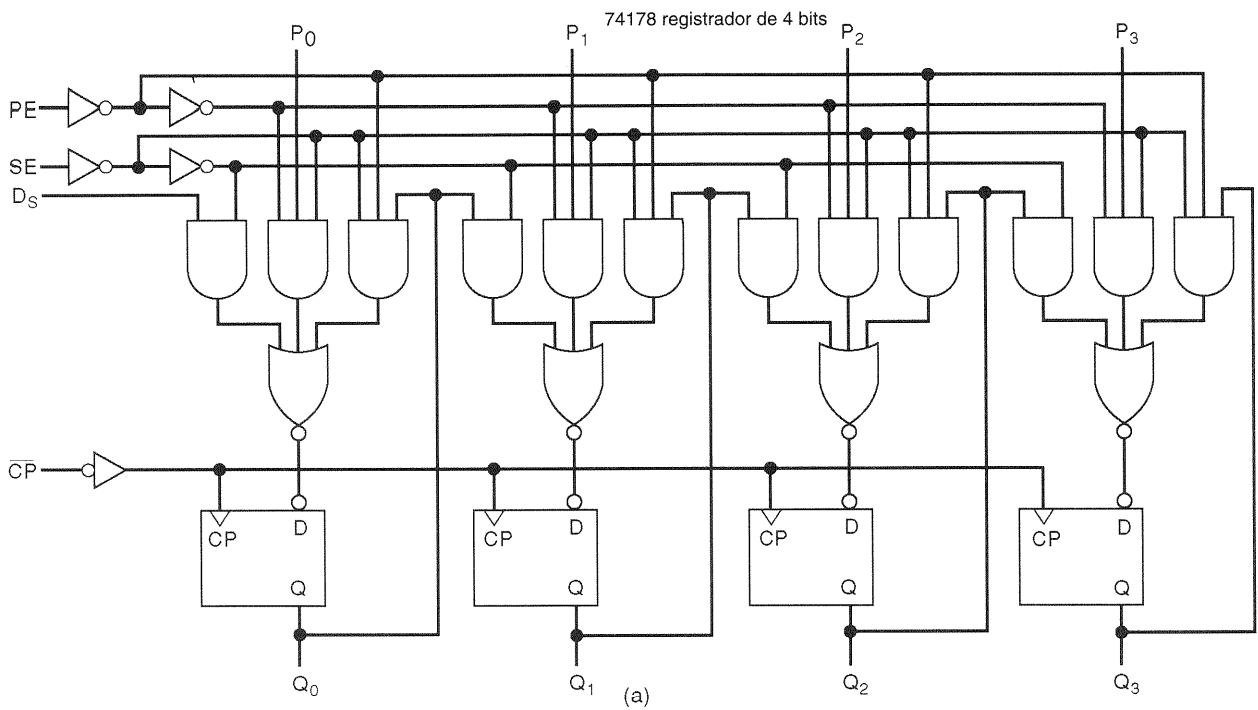


Tabela de seleção de modo

Entradas			Resposta
SE	PE	CP	
H	X		Deslocamento à direita $D_S \rightarrow Q_0; Q_0 \rightarrow Q_1$, etc.
L	H		Carga paralela $P_0 \rightarrow Q_0; P_1 \rightarrow Q_1$, etc.
L	L	X	Mantém (Q's não mudam)

H = nível ALTO (HIGH)
L = nível BAIXO (LOW)
X = irrelevante

(b)

Fig. 7-50 - (a) Diagrama lógico para o 74178; (b) tabela de seleção de modo. (Cortesia da Fairchild, uma companhia da Schlumberger.)

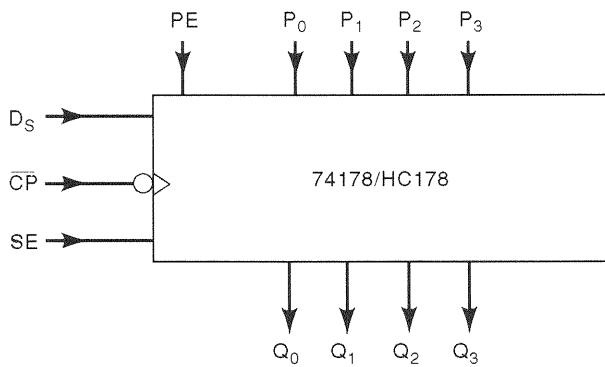


Fig. 7-51 - Símbolo lógico para o 74178/HC178.

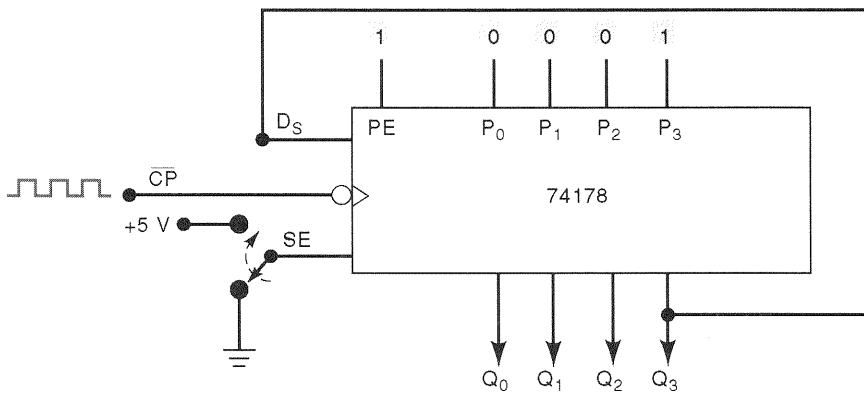


Fig. 7-52 - O 74178 ligado como um contador em anel.

entradas paralelas de dados estão permanentemente configuradas com 0001, e a entrada PE está conectada permanentemente em ALTO. A entrada SE está inicialmente em BAIXO. Isto permite que cada descida de \overline{CP} faça uma carga paralela de 0001 no registrador de deslocamento. Então, SE é chaveado para o estado ALTO (modo de deslocamento), onde permanece, as transições de descida em \overline{CP} provocam o deslocamento do único 1, que recircula pelo registrador.

Para formar um contador Johnson, adicione um INVERSOR entre a saída Q_3 e D_3 e altere as entradas paralelas de dados para 0000, para ajustar o contador para 0000.

7-20 ENTRADA SERIAL/SAÍDA SERIAL — O 4731B

O 4731B é um registrador de deslocamento CMOS *quádruplo* de 64 bits da categoria **entrada serial/saída serial**. Ele contém quatro registradores de deslocamento idênticos de 64 bits em um chip. A Fig. 7-53 mostra o diagrama lógico para um dos registradores de 64 bits. Ele tem uma entrada serial, D_s , uma entrada de clock \overline{CP} que responde nas descidas e uma saída serial do último FF, Q_{63} . Esta é a única saída que é acessível externamente. Note que esta saída passa por um circuito *buffer* (símbolo triangular sem a bolha de inversão). Um buffer não altera o nível lógico do sinal; ele é utilizado para fornecer uma capacidade de corrente de saída maior do que a normal. Repare também que não existe nenhuma maneira para efetuar a entrada de dados paralelos nos FFs do registrador.

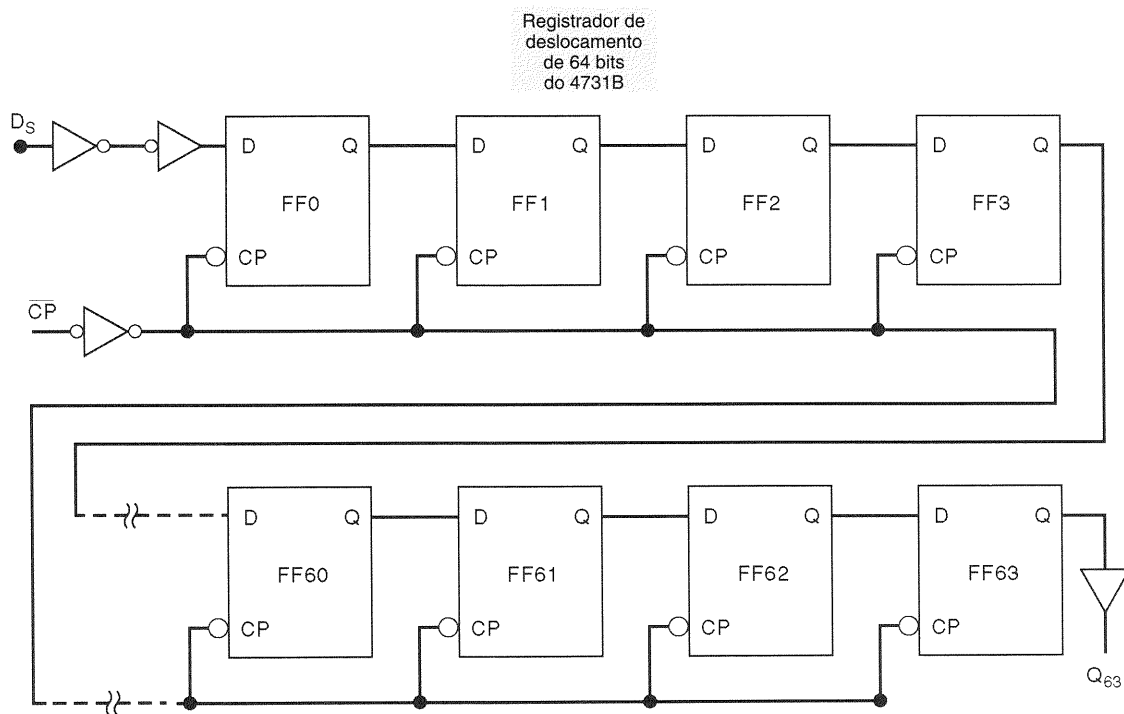


Fig. 7-53 - Diagrama lógico para um dos quatro registradores de deslocamento de 64 bits de um 4731B. (Cortesia da Fairchild, uma companhia da Schlumberger.)

EXEMPLO 7-21

Um registrador de deslocamento é utilizado freqüentemente para atrasar um sinal digital por um número inteiro de ciclos de clock. O sinal digital é aplicado na entrada serial do registrador de deslocamento e é deslocado através do registrador de deslocamento pelos sucessivos pulsos de clock até que ele alcance o final do registrador, onde ele aparece como sinal de saída. Isto está ilustrado na Fig. 7-54 usando um dos registradores de 64 bits do chip 4731B.

Vamos admitir que a entrada serial, D_s , ficou em BAIXO por um longo tempo e que pulsos de clock vinham sendo aplicados, de modo que o registrador está preenchido com 0s e Q_{63} inicia com nível BAIXO, conforme mostrado. Então, D_s vai para ALTO imediatamente antes de t_0 . As descidas de \overline{CP} fazem com que este nível ALTO seja deslocado através do registrador, fazendo cada FF ir para ALTO, até que finalmente em t_63 a saída Q_{63} vai para ALTO. O efeito resultante, então, é que a mudança no sinal D_s não foi sentida na saída Q_{63} até aproximadamente 64 ciclos de clock mais tarde.

Este método para atrasar um sinal digital é comum no campo das comunicações digitais. Por exemplo, o sinal digital deve ser a versão *digitalizada* de um sinal de áudio, que deve ser atrasado antes de ser transmitido.

7-21 ENTRADA PARALELA/SAÍDA SERIAL — O 74165/74LS165/74HC165

O símbolo lógico para o 74165, um registrador de 8 bits com **entrada paralela/saída serial**, é mostrado na Fig. 7-55(a).

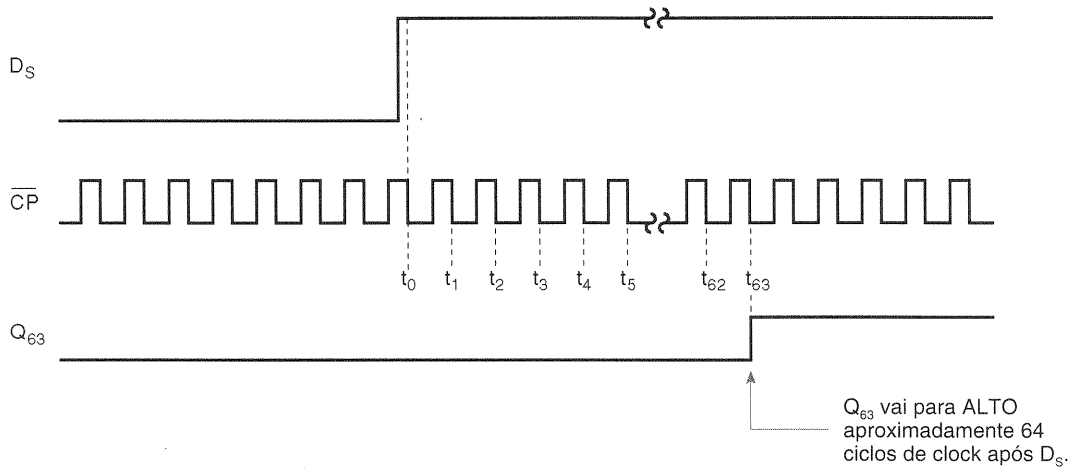


Fig. 7-54 - Formas de onda mostrando como um dos registradores de deslocamento do 4731B pode ser usado para atrasar um sinal digital.

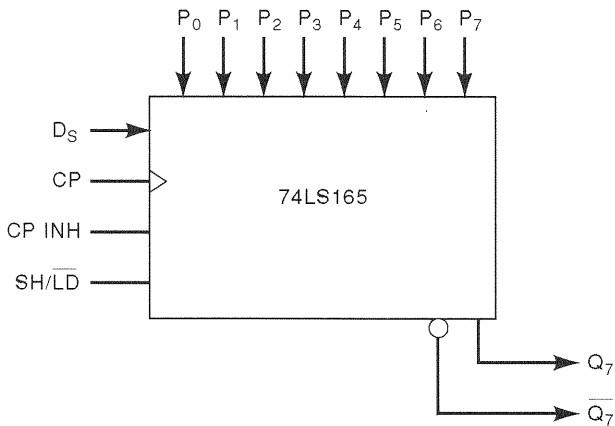


Fig. 7-55 - Símbolo lógico para o registrador de entrada paralela/saída serial 74LS165.

Ele, na verdade, tem tanto entrada de dados serial, via D_s , quanto entrada de dados paralelos, via P_0 a P_7 . As únicas saídas acessíveis são Q_7 e \overline{Q}_7 . CP é a entrada de clock usada para a operação de deslocamento. A entrada de inibição do clock, $CP\ INH$, pode ser usada para anular os efeitos dos pulsos em CP . A entrada de deslocamento/carga, SH/\overline{LD} , determina qual operação está sendo realizada.

EXEMPLO 7-22

Examine o símbolo lógico do 74LS165 e determine as condições necessárias para carregar o registrador com dados paralelos.

Solução

Já que existe uma barra de inversão sobre o símbolo \overline{LD} da entrada SH/\overline{LD} , a operação de carga paralela é feita quando SH/\overline{LD} está em BAIXO. A operação de carga é assíncrona, o que significa que acontece independentemente da entrada de clock. Os dados presentes nas entradas P_0 - P_7 serão

carregados nos oito FFs do registrador tão logo SH/\overline{LD} vá para BAIXO. Naturalmente, apenas a saída do bit mais à direita, FF Q_7 , estará externamente disponível.

EXEMPLO 7-23

Que condições são necessárias para o 74LS165 realizar uma operação de deslocamento para a direita?

Solução

A entrada de SH/\overline{LD} deve estar em ALTO para a operação de deslocamento. A entrada $CP\ INH$ deve estar em BAIXO; senão, os pulsos de clock em CP estariam impedidos de acionar os FFs do registrador. Quando estas condições são satisfeitas, os dados serão deslocados a cada transição de subida de cada pulso de clock, com D_s fornecendo os dados para o FF Q_0 .

7-22 ENTRADA SERIAL/SAÍDA PARALELA — O 74164/74LS164/74HC164

O diagrama lógico para o 74164 é mostrado na Fig. 7-56(a). Ele é um registrador de deslocamento de oito bits com **entrada serial/saída paralela**, com a saída de cada FF externamente acessível. Em vez de uma única entrada serial, uma porta AND combina as entradas A e B para produzir a entrada serial para o flip-flop Q_0 .

A operação de deslocamento ocorre nas transições de subida da entrada de clock CP . A entrada \overline{MR} , quando está em nível BAIXO, proporciona o reset assíncrono de todos os FFs.

EXEMPLO 7-24

Admita que o conteúdo inicial do registrador 74164 na Fig. 7-57(a) é 00000000. Determine a seqüência de estados conforme os pulsos de clock vão sendo aplicados.

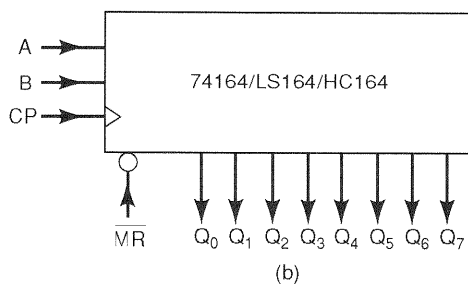
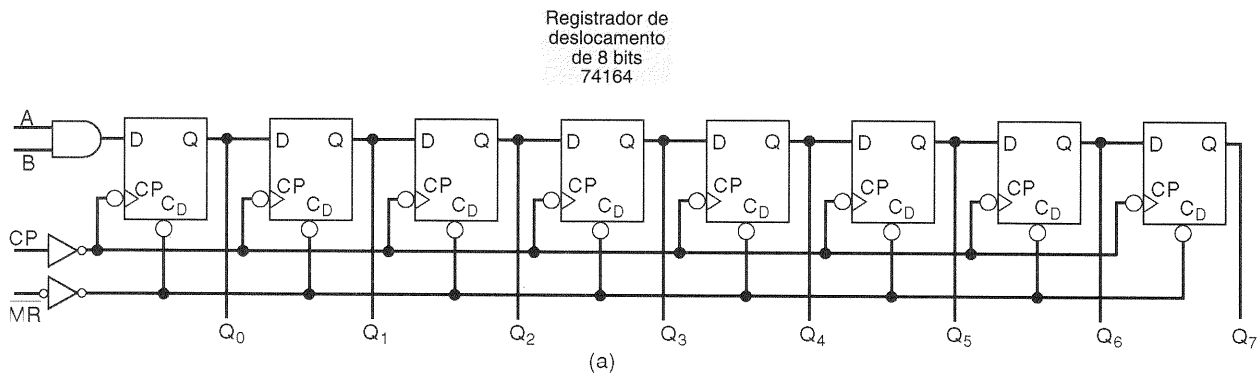
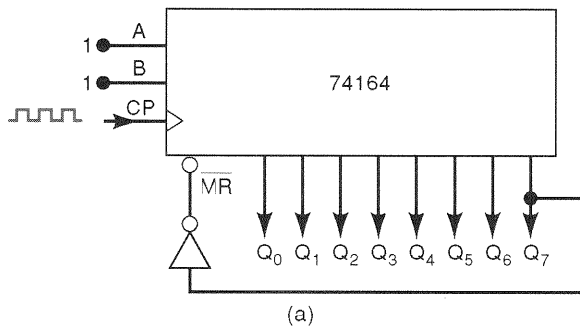


Fig. 7-56 - (a) Diagrama lógico para o 74164; (b) símbolo lógico. (Cortesia da Fairchild, uma companhia da Schlumberger.)



Número do pulso de entrada	Q ₀	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Q ₇
0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0
2	1	1	0	0	0	0	0	0
3	1	1	1	0	0	0	0	0
4	1	1	1	1	0	0	0	0
5	1	1	1	1	1	0	0	0
6	1	1	1	1	1	1	0	0
7	1	1	1	1	1	1	1	0
8	1	1	1	1	1	1	1	1

(b)

Recicla

Estado temporário

Fig. 7-57 - Exemplo 7-24.

Solução

A seqüência correta é dada na Fig. 7-57(b). Com $A = B = 1$, a entrada serial é 1, portanto 1s serão deslocados pelo registrador em cada subida de CP . Como Q_7 está inicialmente em 0, a entrada \overline{MR} está inativa.

No oitavo pulso, o registrador tenta ir para o estado 11111111, quando o 1 de Q_6 se desloca para Q_7 . Este estado ocorre apenas momentaneamente, pois $Q_7 = 1$ produz um nível BAIXO em \overline{MR} que imediatamente resseta o registrador de volta para 00000000. Então a seqüência é repetida nos próximos oito pulsos de clock.

A seguir, está uma lista de alguns outros CIs registradores que são variações daqueles já apresentados:

- **74194/LS194/HC194.** Este é um CI *registrador de deslocamento bidirecional universal* de quatro bits que pode realizar as operações de deslocamento à esquerda, deslocamento à direita, entrada paralela e saída paralela. Estas operações são selecionadas por um código de seleção de modo de dois bits, aplicado como entrada para o dispositivo. O Problema 7-56 fornecerá a você uma oportunidade de descobrir mais sobre este chip versátil.
- **74373/LS373/HC373/HCT373.** Este é um registrador de oito bits (octal) de entrada paralela/saída paralela que contém oito latches do tipo D com saídas de *terceiro estado*. Uma saída de terceiro estado é um tipo especial de circuito lógico de saída que permite que as saídas do dispositivo sejam ligadas juntas de modo seguro. Estudaremos as características de dispositivos de terceiro estado, tal como o 74373, no próximo capítulo.
- **74374/LS374/HC374/HCT374.** Este é um registrador de oito bits (octal) de entrada paralela/saída paralela que contém oito flip-flops D , disparados pela borda, com saídas de terceiro estado.

Os CIs de registradores que foram apresentados aqui são representativos dos vários tipos disponíveis comercialmente. Embora existam muitas variações nestes registradores básicos, agora deve ser fácil de compreender a maioria deles a partir das folhas de características dos fabricantes.

Apresentaremos diversas aplicações de registradores nos problemas do final do capítulo e no material abordado nos capítulos subseqüentes.

QUESTÕES DE REVISÃO

1. Que espécie de registrador pode ter um número binário completo carregado nele em uma operação, e então deslocá-lo um bit de cada vez?
2. *Verdadeiro ou falso:* Um registrador de entrada serial/saída paralela pode ter todos os seus bits mostrados de uma vez.
3. Que tipo de registrador pode ter entrada de dados de um bit de cada vez, mas tem todos os bits de dados disponíveis como saídas?
4. Em que tipo de registrador temos acesso apenas ao FF mais à esquerda ou mais à direita?
5. Como difere a entrada paralela de dados entre o 74165 e o 74178?
6. Como funciona a entrada $CP\ INH$ do 74LS165?

7-23 SÍMBOLOS IEEE/ANSI PARA REGISTRADORES

Apresentaremos dois exemplos dos símbolos IEEE/ANSI para CIs de registradores. Primeiro, vamos considerar o CI 74174 de entrada paralela/saída paralela, cuja lógica interna e o símbolo lógico tradicional foram mostrados na Fig. 7-49. O símbolo IEEE/ANSI para o 74174 é dado na Fig. 7-58(a). Seu

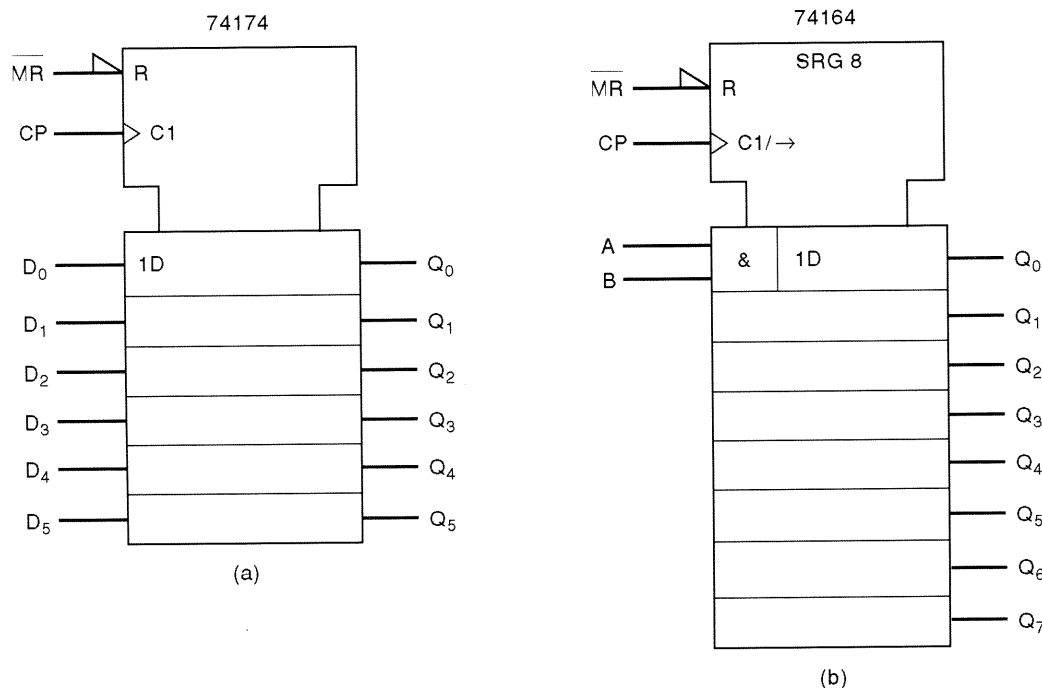


Fig. 7-58 - Símbolos IEEE/ANSI para (a) o 74174 registrador de entrada paralela/saída paralela e (b) o 74164 registrador de deslocamento de entrada serial/saída paralela.

contorno consiste no bloco de controle comum, com chanfro, e de seis retângulos estreitos representando os seis FFs.

O bloco de controle comum tem as entradas que são comuns a todos os elementos do CI; neste caso, as entradas \overline{MR} e CP são comuns aos seis FFs, Q_0 até Q_5 , que constituem o registrador. A indicação interna para a entrada \overline{MR} é mostrada como um R para indicar que sua função é *ressetar* cada FF. A indicação interna para a entrada CP é C1, que nos informa que ela controla a entrada de dados em qualquer elemento de armazenamento que tiver um prefixo de 1 em seu nome de entrada. Cada entrada D dos FFs tem um indicador interno de 1D (mostrado apenas para Q_0 , mas admite-se o mesmo para cada FF). O “1” em C1 e 1D estabelece a dependência das entradas D dos flip-flops com a entrada comum de clock CP .

O símbolo IEEE/ANSI para o registrador de deslocamento de entrada serial/saída paralela 74164 é apresentado na Fig. 7-58(b). Seu contorno consiste no bloco de controle comum e em oito FFs que formam o registrador. A notação SRG 8 identifica este CI como sendo um registrador de deslocamento de oito bits.

A entrada CP tem um indicador interno C1/→. A barra (/) é usada para separar as duas funções C1 e → realizadas por esta entrada. O C1 indica que CP controla a entrada de dados no flip-flop Q_0 , já que Q_0 tem o indicador de entrada 1D. Note que o bit de dado que entra em Q_0 é a combinação AND das entradas A e B . Repare também que já que não existe entrada de dados externa para Q_1 até Q_7 , CP não controla a entrada de dados destes FFs. A → denota que a transição ativa de CP produzirá a operação de deslocamento para a direita (de Q_0 em direção a Q_7).

QUESTÕES DE REVISÃO

1. O que significa a barra (/) quando ela aparece em um indicador de entrada?
2. Que notação deveria ser usada para descrever a função realizada por um dos registradores do CI 4731B da Fig. 7-53?

7-24 PESQUISA DE FALHAS

Flip-flops, contadores e registradores são os principais componentes em **sistemas de lógica seqüencial**. Um sistema de lógica seqüencial, devido aos seus dispositivos de memória, tem a característica de que suas saídas e as seqüências de operações dependem tanto das entradas presentes como das entradas anteriores. Embora os sistemas lógicos seqüenciais sejam geralmente mais complexos que os sistemas lógicos combinacionais, os procedimentos essenciais para pesquisar falhas se aplicam bem em ambos os tipos de sistemas. Sistemas seqüenciais sofrem dos mesmos tipos de falhas (circuitos abertos, em curto-circuito, falhas internas em CIs etc.) que os sistemas combinacionais.

Muitos dos passos utilizados para isolar as falhas em um sistema combinacional podem ser aplicados em sistemas seqüenciais. Uma das técnicas mais eficazes de depuração começa com o pesquisador observando a operação do sis-

tema e, através de raciocínio analítico, determinando as causas possíveis do mau funcionamento do sistema. Então, ele utiliza os instrumentos de teste disponíveis para isolar o defeito. Os exemplos seguintes mostrarão o tipo de raciocínio analítico que seria o passo inicial na depuração de sistemas seqüenciais. Após estudar estes exemplos, você deveria estar pronto para “atacar” os problemas de depuração do fim do capítulo.

EXEMPLO 7-25

A Fig. 7-59(a) mostra um 74LS293 ligado como um contador de módulo 10. Um estudante testa a operação do contador aplicando um sinal de clock de 1 kHz e observa as saídas Q com um osciloscópio. As formas de onda são mostradas na Fig. 7-59(b). Determine as possíveis causas do comportamento incorreto do circuito.

Solução

As formas de onda mostram que Q_0 está comutando em resposta às descidas do clock, mas todos os outros FFs estão permanentemente no estado BAIXO. Diversas falhas possíveis poderiam produzir esta operação.

1. A saída Q_1 está interna ou externamente em curto com a terra. Consultando o diagrama do 74LS293 na Fig. 7-8(a), podemos ver que isto impediria Q_2 e Q_3 de comutar, tendo em vista que Q_1 é o sinal de clock para Q_2 e Q_2 é o sinal de clock para Q_3 .
2. A conexão de Q_0 para \overline{CP}_1 está aberta, de modo que Q_1 não recebe sinal de clock.
3. Existe uma falha interna no CI que impede Q_1 de comutar.
4. A entrada MR_1 está internamente em curto-circuito com a terra, forçando $Q_1 = 0$.

EXEMPLO 7-26

Após analisar a situação descrita no Exemplo 7-25, o estudante procedeu para isolar a falha. Ele realiza testes com o ohmímetro e verifica que Q_1 não está em curto com a terra e que Q_0 está conectado em \overline{CP}_1 . Isto elimina as duas primeiras possibilidades de falha. Concluindo que o CI está ruim, ele o substitui. Para sua surpresa, a operação do circuito exibe o mesmo sintoma. Coçando a cabeça, ele decide observar melhor as formas de onda dos FFs utilizando uma escala de tempo de 10 ns/cm por divisão. Nesta escala, ele pode ver um glitch muito estreito ocorrendo no sinal Q_1 no instante da descida de Q_0 (vide Fig. 7-60). Qual é a falha provável?

Solução

Quando o contador está operando corretamente, deveria haver um glitch em Q_1 quando o contador vai para o estado 1010 (10), no qual os níveis ALTOs em Q_3 e Q_1 fazem as entradas MR limparem a contagem de volta para 0000. As formas de onda na Fig. 7-60, entretanto, não mostram Q_3 em ALTO quando o glitch em Q_1 ocorre. O defeito mais provável é uma conexão aberta em MR_2 , já que isto seria interpre-

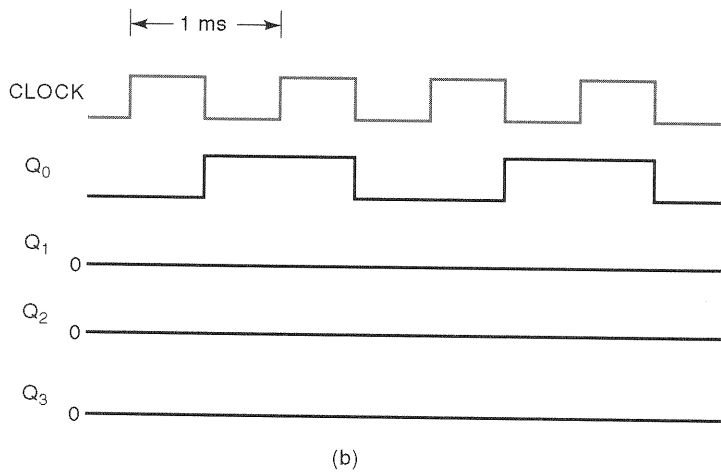
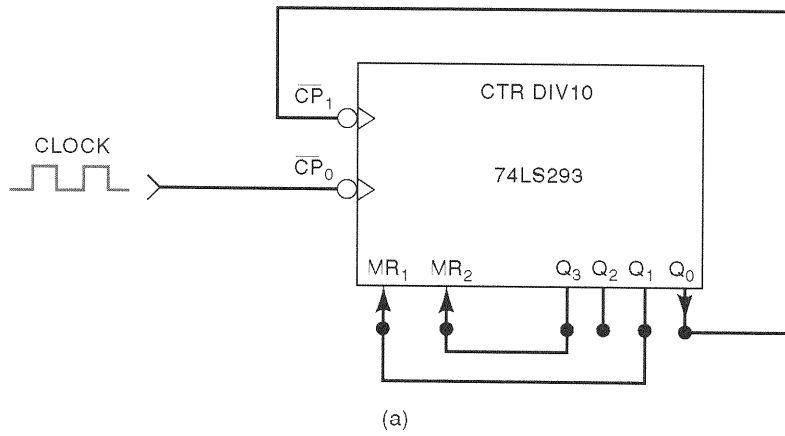


Fig. 7-59 - Exemplo 7-25.

tado como um nível ALTO constante pelo circuito integrado TTL. Assim, tão logo Q_1 vai para ALTO, as entradas MR ficam ambas em ALTO e o contador é ressetado para 0000.

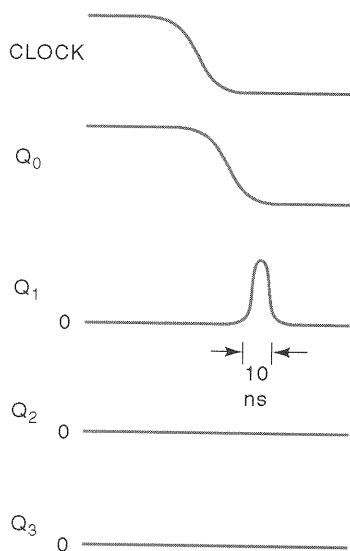


Fig. 7-60 - Exemplo 7-26.

EXEMPLO 7-27

Uma estudante testa o freqüencímetro da Fig. 7-46 para diversos intervalos de amostragem e para diferentes freqüências desconhecidas de entrada. Em todos os casos, ela encontra que a freqüência indicada é exatamente *duas vezes* o que deveria ser. Qual é a provável causa do mau funcionamento?

Solução

Consultando a Fig. 7-46, notamos que a freqüência desconhecida é habilitada, através da porta AND, no contador durante o intervalo de t_3 até t_4 , enquanto SAMPLE e X estão ambos em nível ALTO. Se a entrada do meio da porta AND estiver aberta, funcionaria como se estivesse permanentemente em ALTO (admitindo-se dispositivos TTL). Isto permitiria que pulsos da freqüência desconhecida passassem pela porta, enquanto X fosse ALTO durante o intervalo de t_2 até t_4 . Isto é duas vezes o intervalo normal, e, portanto, o contador contaria duas vezes o valor normal.

EXEMPLO 7-28

Um estudante monta o relógio digital das Figs. 7-47 e 7-48. Ele observa que a seção dos SEGUNDOS está contando

TABELA 7-7

Dezenas das HORAS	Unidades das HORAS
0	1
0	2
0	3
0	4
0	5
0	6
0	7
1	8
1	9
1	0
1	1
1	2

adequadamente. Para testar rapidamente a operação das seções dos MINUTOS e das HORAS, ele desconecta o contador de módulo 60 para que os contadores sejam acionados a uma taxa 60 vezes maior do que a normal. Ele observa que a seção dos MINUTOS está operando corretamente, mas a seção das HORAS conta e apresenta os números da maneira indicada na Tabela 7-7. Qual é a provável causa desta seqüência incorreta?

Solução

Tendo em vista que o problema se encontra na seção das HORAS, precisamos consultar a Fig. 7-48. A seqüência está correta, com a exceção de que o dígito das dezenas é incrementado de 0 a 1 quando o dígito das unidades vai de 7 para 8, em vez de quando vai de 9 para 0. Esta operação ocorreria se a entrada *CLK* do flip-flop *X* fosse erroneamente conectada em Q_2 , no lugar de Q_3 , do contador BCD. Se fosse este o caso, então, quando o contador BCD incrementasse de 7 para 8, seu flip-flop Q_2 geraria uma descida que comutaria o flip-flop *X* mais cedo do que o esperado.

RESUMO (PARTE II)

1. Um freqüencímetro é um circuito que utiliza contadores binários para medir e apresentar em um display a freqüência de um sinal de entrada.
2. Um circuito de relógio digital usa contadores binários para acompanhar e mostrar as horas do dia.
3. Numerosos CIs de registradores estão disponíveis e podem ser classificados de acordo com o tipo de entrada que possuem: paralelas (todos os bits apresentados simultaneamente), seriais (um bit de cada vez) ou ambas. Do mesmo modo, registradores podem ter saídas paralelas (todos os bits disponíveis simultaneamente) ou seriais (um bit de cada vez).
4. Um sistema de lógica seqüencial utiliza FFs, contadores e registradores, além de portas lógicas. Suas saídas e a seqüência de operações dependem das entradas passadas e atuais.
5. A pesquisa de falhas de um sistema de lógica seqüencial começa pela observação da operação do sistema, seguida de um raciocínio arfáltico para determinar as possíveis causas de algum mau funcionamento e, finalmente, de medidas de teste para isolar a falha real.

TERMOS IMPORTANTES (PARTE II)

freqüencímetro
 intervalo de amostragem
 entrada paralela/saída paralela
 entrada serial/saída serial
 entrada paralela/saída serial
 entrada serial/saída paralela
 sistema de lógica seqüencial

PROBLEMAS

PARTE I

SEÇÕES 7-1 E 7-2

- 7-1. Uma onda quadrada de 8 MHz aciona um contador assíncrono de 5 bits. Qual é a freqüência do último FF (MSB)? Qual é a taxa de ciclo da sua forma de onda de saída?
- 7-2. Repita o Problema 7-1 para uma entrada com taxa de ciclo de 20%.
- 7-3. Admita que o contador binário de 5 bits comece no estado 00000. Qual será a contagem depois de 144 pulsos de entrada?
- D7-4. Utilize flip-flops J-K e qualquer outra lógica necessária para construir um contador assíncrono de módulo 24.
- 7-5. Desenhe as formas de onda para todos os FFs no contador decádico da Fig. 7-6(b) em resposta a uma freqüência de clock de 1 kHz. Mostre qualquer glitch que possa aparecer nas saídas dos FFs. Determine a freqüência da saída *D*.
- 7-6. Repita o Problema 7-5 para o contador da Fig. 7-6(a).
- 7-7. Altere as entradas para a porta NAND da Fig. 7-7 de modo que o contador divida a freqüência por 50. Repita para uma divisão de freqüência por 100.
- 7-8. Um contador, ou um grupo de contadores, é freqüentemente usado para dividir um sinal de clock de alta freqüência para uma freqüência de saída mais baixa. Quando estes contadores são contadores binários (isto é, eles contam na seqüência binária), a saída não será uma onda quadrada simétrica se a seqüência binária for encurtada para produzir o módulo desejado. Por exemplo, consulte a forma de onda *C* do contador de módulo 6 da Fig. 7-4.

Quando um contador está sendo usado apenas para divisão de freqüência, não é necessário que ele conte em uma seqüência binária, desde que ele tenha o módulo desejado. Uma onda quadrada simétrica de saída pode ser obtida para qualquer módulo *par* separando-se o módulo em um produto de dois módulos, um dos quais é uma potência de dois. Por exemplo, um contador de módulo 6 pode ser formado por um contador de módulo 3 e por um contador de módulo 2, como mostra a Fig. 7-61.

Nela, os flip-flops *A*, *B* e a porta NAND implementam o contador de módulo 3, cuja saída *B* tem um terço da freqüência dos pulsos de entrada. Esta saída *B* está conectada na entrada do flip-flop *C*, que está atuando como um contador de módulo 2, para dividir a freqüência para um sexto da freqüência de entrada.

- (a) Admita que todos os FFs estão inicialmente em nível BAIXO e rascunhe as formas de onda para cada saída de FF por 12 ciclos da entrada.
- (b) Construa o diagrama de transição de estados e mostre que esta não é uma seqüência binária normal.

SEÇÃO 7-3

- D7-9. Mostre como um contador 74LS293 pode ser usado para produzir uma saída de 1,2 kpps a partir de uma entrada de 18 kpps.

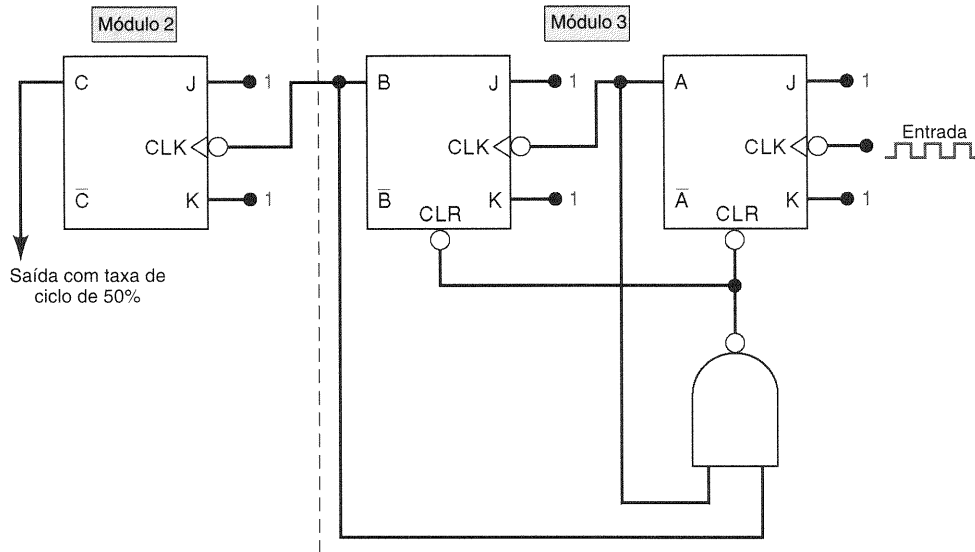


Fig. 7-61 - Problema 7-8.

- D7-10. Mostre como dois 74LS293 podem ser conectados para dividir uma frequência de entrada por 60, produzindo uma onda quadrada de saída simétrica.
- C7-11. Determine a frequência na saída X da Fig. 7-62.
- D7-12. (a) Acrescente a lógica necessária a um 74HC4024 de modo que ele opere como um contador de módulo 100.

SEÇÃO 7-5

- 7-15. Um contador por pulsação de quatro bits é acionado por um sinal de clock de 20 MHz. Desenhe as formas de onda das saídas de cada FF se cada FF tem $t_{pd} = 20$ ns. Determine que estados de contagem, caso existam, não ocorrerão por causa dos atrasos de propagação.

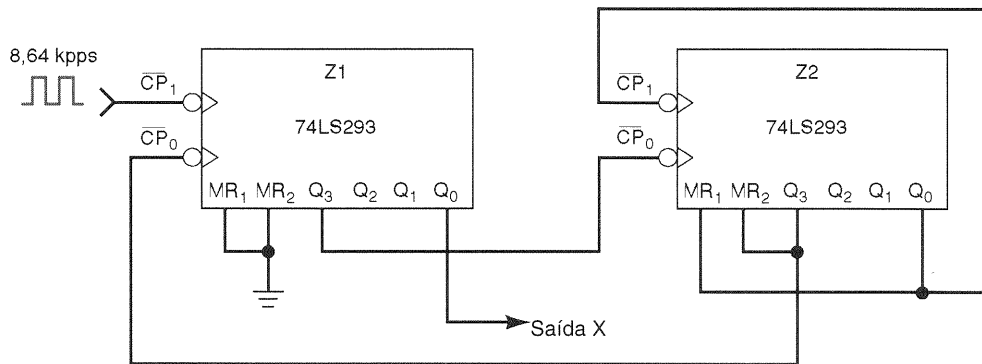


Fig. 7-62 - Problemas 7-11 e 7-64.

- (b) Utilize 74HC4024s e qualquer outra lógica necessária para converter um sinal de 10 kpps para 1 pps.

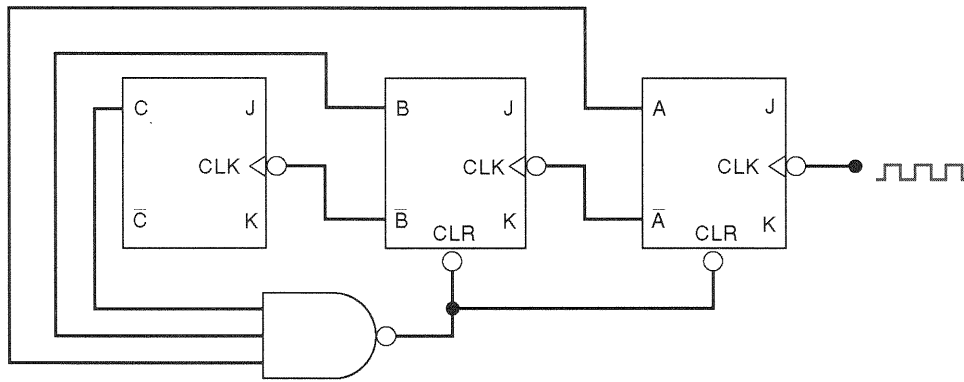
- 7-16. (a) Qual é a máxima frequência de clock que pode ser usada com o contador do Problema 7-15?
- (b) Qual seria f_{max} se o contador fosse expandido para seis bits?

SEÇÃO 7-4

- 7-13. (a) Desenhe o diagrama para um contador *decrecente* de módulo 16.
- (b) Construa o diagrama de transição de estados.
- (c) Se o contador está inicialmente no estado 0110, em qual estado ele estará após 37 pulsos de clock?
- 7-14. Consulte o contador mostrado na Fig. 7-63. Como você pode saber que ele é um contador decrescente? Ele foi modificado, de modo que ele *não* conta a seqüência binária completa de 111 até 000. Determine a seqüência de contagem real que ele realiza.

SEÇÕES 7-6 E 7-7

- 7-17. (a) Desenhe o diagrama de circuito para um contador paralelo de módulo 64.
- (b) Determine f_{max} para este contador se cada FF tem um $t_{pd} = 20$ ns e cada porta tem $t_{pd} = 10$ ns.
- C7-18. A Fig. 7-64 mostra um contador paralelo de quatro bits que foi projetado de modo a não seguir os 16 estados binários. Analise sua operação determinando sua seqüência de contagem, e então desenhe as formas de onda para cada



Todas as entradas J e K estão em ALTO

Fig. 7-63 - Problema 7-14.

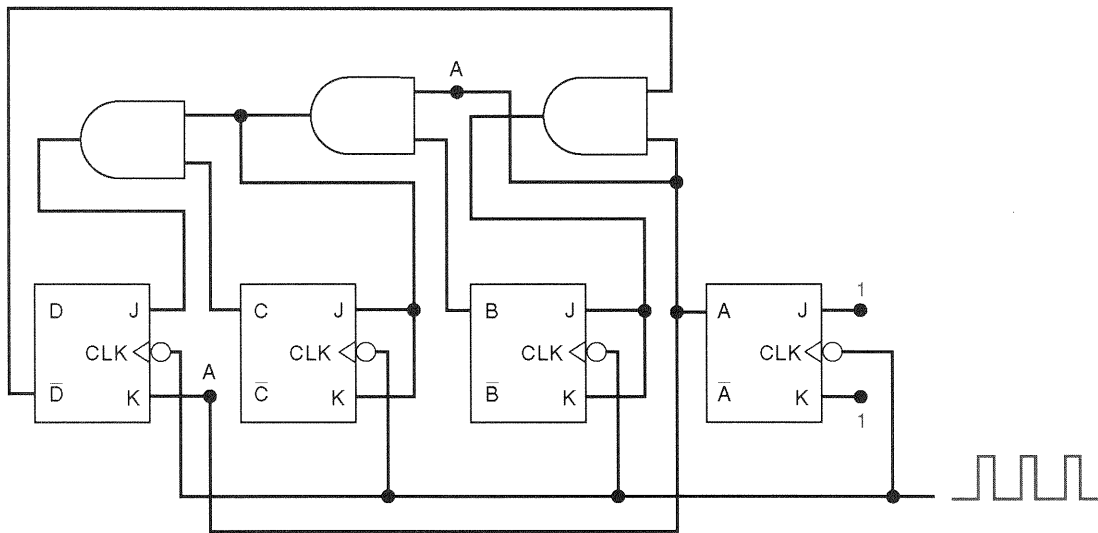


Fig. 7-64 - Problema 7-18.

saída. (Veja a Seção 5-23 para rever o procedimento de análise.) Admita que todos os FFs estão inicialmente no estado 0.

7-19. Desenhe o diagrama para um contador síncrono decrescente de módulo 8.

T7-20. Descreva como o contador crescente/decrescente da Fig. 7-18 operaria se a saída do INVERSOR ficasse sempre em ALTO.

SEÇÕES 7-8 E 7-9

C7-21. Mostre como conectar dois 74LS193s para formar um contador de 8 bits que divide a frequência do clock por 100. Utilize a saída \overline{TC}_D de um estágio como clock do segundo estágio. (Sugestão: O contador deve ser carregado quando ambos os estágios estiverem simultaneamente em suas contagens finais.)

N, C 7-22. A Fig. 7-65 mostra como um contador decrescente com carga pode ser usado em um circuito temporizador programável. A frequência do clock de entrada é de 1 Hz, com precisão, derivada da frequência da rede de 60 Hz, após a divisão por 60. As chaves S1 até S4 são usadas para ajustar o contador para uma contagem inicial quando um pulso é aplicado em \overline{PL} . A operação do temporizador é iniciada

pressionando-se a chave de início. O flip-flop Z é usado para eliminar os efeitos da trepidação de contato da chave de INÍCIO. O MONO é usado para fornecer um pulso bem estreito para a entrada \overline{PL} . A saída do flip-flop X terá uma forma de onda que vai para ALTO por um número de segundos igual ao número presente nas chaves.

- (a) Admita que todos os FFs e o contador estão no estado 0, e analise e explique a operação do circuito, mostrando formas de onda quando for necessário, para o caso em que SW1 e SW4 estão em BAIXO e SW2 e SW3 estão em ALTO. Não deixe de explicar a função do flip-flop X.
- (b) Por que a saída do temporizador não pode ser tomada da saída \overline{TC}_D ?
- (c) Por que a chave de INÍCIO não pode ser usada para disparar o MONO diretamente?
- (d) O que aconteceria se a chave de INÍCIO fosse mantida acionada por um longo período? Inclua a lógica necessária para garantir que a manutenção do acionamento da chave de INÍCIO não vai afetar a operação do temporizador.

7-23. Modifique o circuito da Fig. 7-24 de modo que ele funcione como um contador de módulo 10. A frequência da saída Q_3 deveria ser um décimo da frequência da entrada CP_D . Desenhe as formas de onda de Q_3 , Q_2 , Q_1 , Q_0 e \overline{TC}_D .

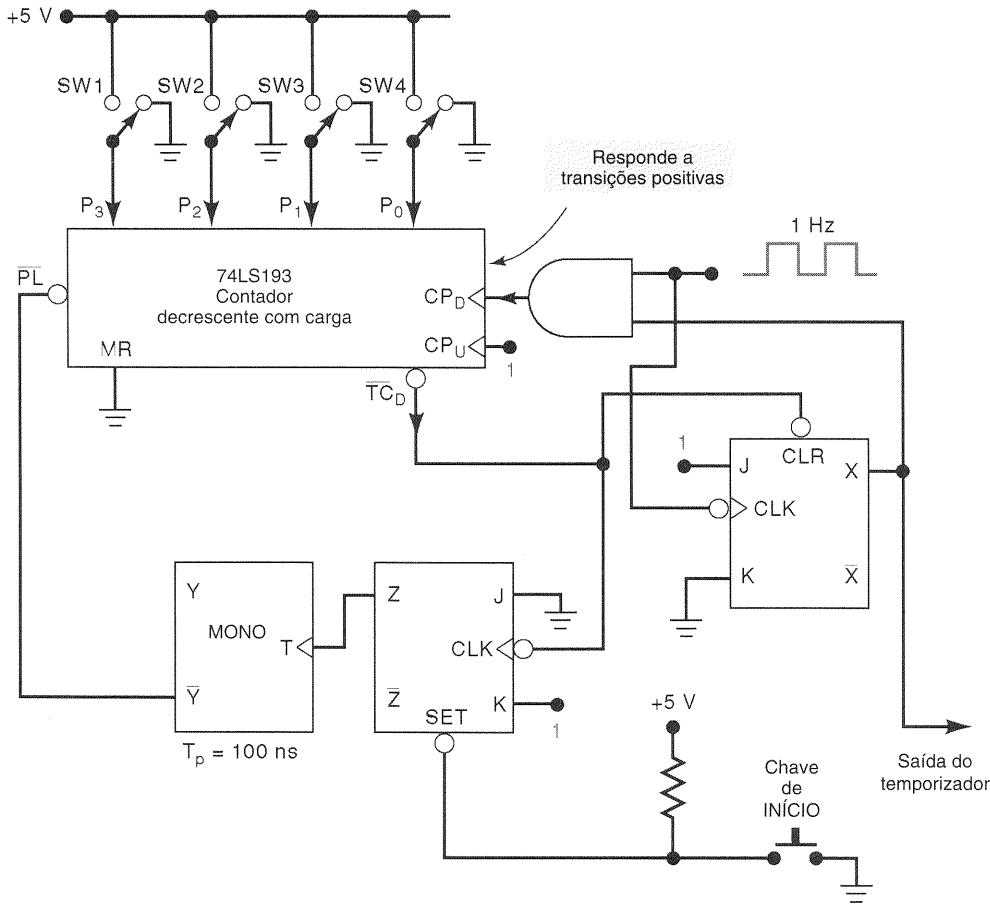


Fig. 7-65 - Problemas 7-22, 7-63 e 7-66.

7-24. Altere as entradas de dados paralelos na Fig. 7-24 para 1001. Desenhe as formas de onda em Q_3, Q_2, Q_1, Q_0 e \overline{TC}_D . Qual é o módulo?

7-25. Desenhe as formas de onda para os sinais de entrada necessários para realizar as seguintes seqüências de operações no circuito da Fig. 7-25: (1) limpar a contagem para 0; (2) contar crescente até 24_{10} ; (3) carregar o contador com 76_{10} ; (4) contar decrescente até 0.

SEÇÃO 7-10

7-26. A Fig. 7-66 mostra o símbolo IEEE/ANSI para um CI 7490 ou 74290. Examine o símbolo e determine o seguinte:

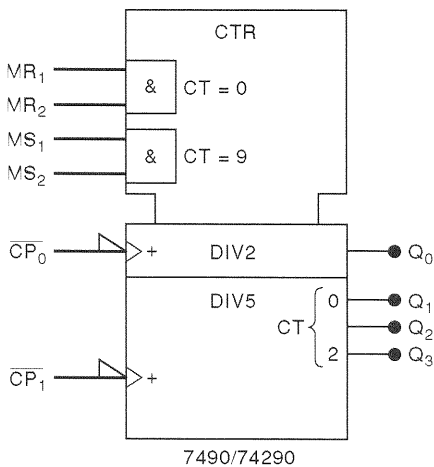


Fig. 7-66 - Problema 7-26.

- (a) O módulo total
- (b) A função realizada pelas entradas MR
- (c) A função realizada pelas entradas MS
- (d) Ele é um contador crescente ou decrescente?
- (e) Como você o conectaria para que ele funcionasse como um contador BCD? (Consulte a folha de características no Apêndice.)
- (f) Como você o conectaria para que ele dividisse a frequência do clock por 10 e produzisse uma onda quadrada simétrica?

7-27. O CI contador 74192 opera exatamente como o 74193, exceto pelas seguintes diferenças:

- O 74192 é um contador BCD, que tanto conta de modo crescente, de 0 a 9, como de modo decrescente, de 9 a 0.
- A saída \overline{TC}_U é ativada quando a contagem é 9 e a entrada CP_U está em BAIXO.

Modifique o símbolo IEEE/ANSI da Fig. 7-26 de modo que ela represente o 74192.

SEÇÕES 7-11 E 7-12

7-28. Desenhe as portas necessárias para decodificar todos os estados de um contador de módulo 16 usando saídas ativas em BAIXO.

7-29. Desenhe as portas AND necessárias para decodificar os 10 estados do contador BCD da Fig. 7-6(b).

7-30. A Fig. 7-67 mostra um contador assíncrono sendo usado para ajudar a gerar sinais de controle. Os sinais de controle 1 e 2 poderiam ser utilizados para muitos propósitos, incluindo o controle de motores, solenóides, válvulas e aquecedores. Determine as formas de onda de controle, admitindo que todos os FFs estejam inicialmente em BAIXO. Ignore os

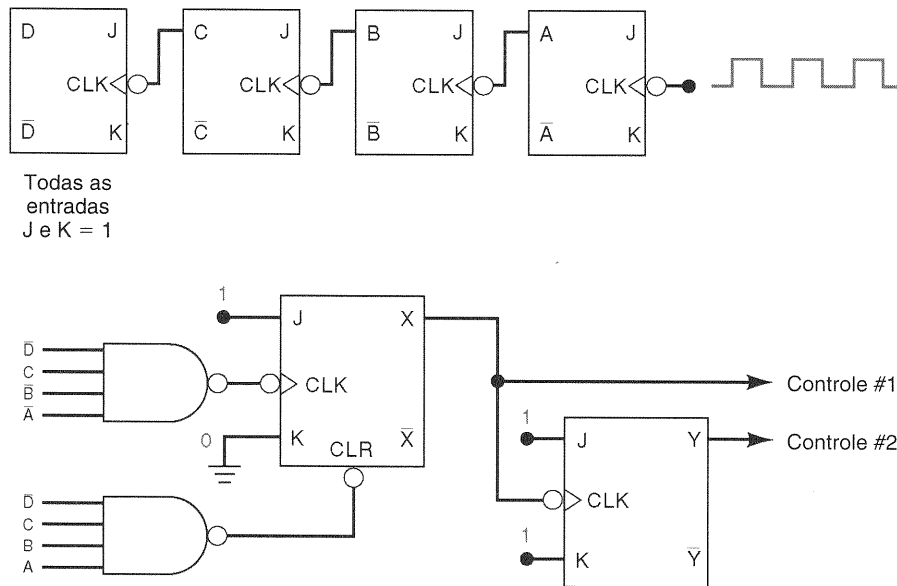


Fig. 7-67 - Problema 7-30.

glitches de decodificação. Admita que a frequência de clock seja igual a 1 kpps.

- 7-31. Desenhe todas as formas de onda das saídas das portas de decodificação de um contador *por pulsação* de módulo 16, incluindo quaisquer glitches ou spikes que possam ocorrer devido aos atrasos dos FFs. Por que são as portas que estão decodificando números *pares* as únicas que têm glitches?
- 7-32. O circuito da Fig. 7-67 pode não funcionar bem por causa dos glitches nas saídas das portas NAND de decodificação.
 - (a) Determine em que ponto(s) os glitches podem causar problemas de operação.
 - (b) Quais são duas maneiras que podem ser usadas para eliminar a possibilidade de operação com erros?

- C, D 7-36. Utilize o procedimento de projeto de contadores síncronos para projetar um contador síncrono decrescente de quatro bits que conta por todos os estados desde 1111 até 0000. Compare o resultado com o contador síncrono decrescente descrito na Seção 7-7.
- C, D 7-37. Utilizando um procedimento similar ao que foi seguido no projeto do contador para acionar o motor de passo (Fig. 7-39), projete um contador síncrono de três bits que conta crescente ou decrescente sob o controle de uma entrada de Direção, *D*. Ele deve contar de modo crescente quando *D* = 1, e contar decrescente quando *D* = 0. (*Sugestão*: Este é um problema de *quatro* variáveis.) Compare seu circuito final com o contador síncrono crescente/decrescente da Fig. 7-18.

SEÇÃO 7-13

- 7-33. Quantos FFs são usados na Fig. 7-32? Indique o estado de cada um destes FFs após 795 pulsos terem ocorrido.
- 7-34. Quantos contadores BCD em cascata são necessários para contar até 8000? Quantos FFs isto requer? Compare isto com o número de FFs necessários para um contador binário normal contar até 8000. Tendo em vista que ele usa mais FFs, por que o método de ligar contadores BCD em cascata é usado?

SEÇÃO 7-14

- D7-35. (a) Projete um contador síncrono que realiza a seguinte seqüência: 000, 010, 101, 110, e repete. Os estados indesejáveis (não-usados) 001, 011, 100 e 111 devem sempre levar para 000 no PRÓXIMO pulso de clock.
 - (b) Projete novamente o contador da parte (a) sem nenhuma restrição sobre os estados não-usados; isto é, seus PRÓXIMOS estados podem ser *don't cares*. Compare com o projeto feito em (a).

SEÇÃO 7-15

- 7-38. Desenhe o diagrama para o contador em anel de cinco bits utilizando flip-flops J-K.
- 7-39. Combine o contador em anel do Problema 7-38 com um *único* flip-flop J-K para produzir um contador de módulo 10. Determine a seqüência de estados para este contador. Este é um exemplo de um contador decádico que não é um contador BCD.
- 7-40. Desenhe o diagrama para um contador Johnson de módulo 10 utilizando flip-flops J-K, e determine sua seqüência de contagem. Desenhe o circuito decodificador necessário para decodificar cada um dos 10 estados. Este é um outro exemplo de contador decádico que não é um contador BCD.
- 7-41. Determine a frequência dos pulsos nos pontos *w*, *x*, *y* e *z* no circuito da Fig. 7-68.
- 7-42. (a) Um grupo de oito luzes de sinalização em uma máquina de jogos é controlado pelos FFs de um contador em anel de 8 bits que está sendo acionado por um sinal de clock de 2 pps. Descreva o efeito visual que é produzido.
 - (b) Repita para um contador Johnson de oito bits.

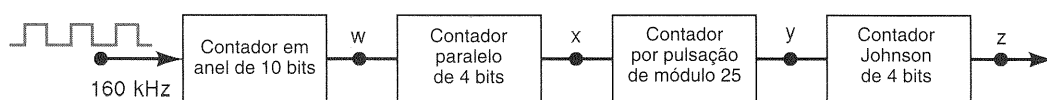


Fig. 7-68 - Problema 7-41.

PARTE II

SEÇÃO 7-16

7-43. Conforme foi salientado no texto, o freqüencímetro da Fig. 7-46 tem a desvantagem de o display mostrar todas as operações do contador (reset, contagem, manutenção), e portanto poderia ficar confuso, ou até mesmo ilegível. Isto pode ser resolvido pela inclusão de registradores buffers para armazenar a contagem no final de cada intervalo (t_3 a t_4 na Fig. 7-46) e mantê-lo para o display até o final do próximo intervalo de contagem (t_4 a t_5). A Fig. 7-69 mostra esta modificação. Um registrador formado por quatro flip-flops D foi inserido entre cada contador BCD e sua unidade decodificador/display.

- (a) Analise este circuito e descreva sua operação, particularmente a transferência de dados dos contadores para o display.
- (b) O que você veria em um display de três dígitos se a frequência desconhecida estivesse constante em 2.570 pps e o intervalo de amostragem fosse 0,1 s?
- (c) O que você veria neste display se a frequência desconhecida fosse subitamente alterada para 3.230 pps?

7-44. O freqüencímetro da Fig. 7-69 utiliza três contadores BCD e um intervalo de amostragem de 100 microssegundos. De-

termine as leituras nos três displays do freqüencímetro para cada uma das seguintes frequências de entrada.

- (a) 220 kpps
(b) 4,5 Mpps
(c) 750 pps

SEÇÃO 7-17

7-45. Projete o circuito completo para a seção de SEGUNDOS do circuito do relógio digital da Fig. 7-47. Utilize um 74LS293 para o contador de módulo 6 e um 74LS290 para o contador BCD (veja a folha de características no Apêndice).

D7-46. O relógio digital da Fig. 7-47 deve ter algum meio de ajustar as seções de HORAS e MINUTOS para o tempo inicial correto. Por exemplo, isto pode ser feito levando o sinal de 1 pps para a entrada da seção de MINUTOS quando um botão de AJUSTE MINUTOS é ativado. Uma operação similar pode ser feita com um botão de AJUSTE HORAS. Projete a lógica necessária para implementar esta característica utilizando duas chaves do tipo botão.

D7-47. Modifique a seção das HORAS do relógio digital (Fig. 7-48) de modo que ele conte e mostre o tempo do modo militar (isto é, de 00 a 23 horas).

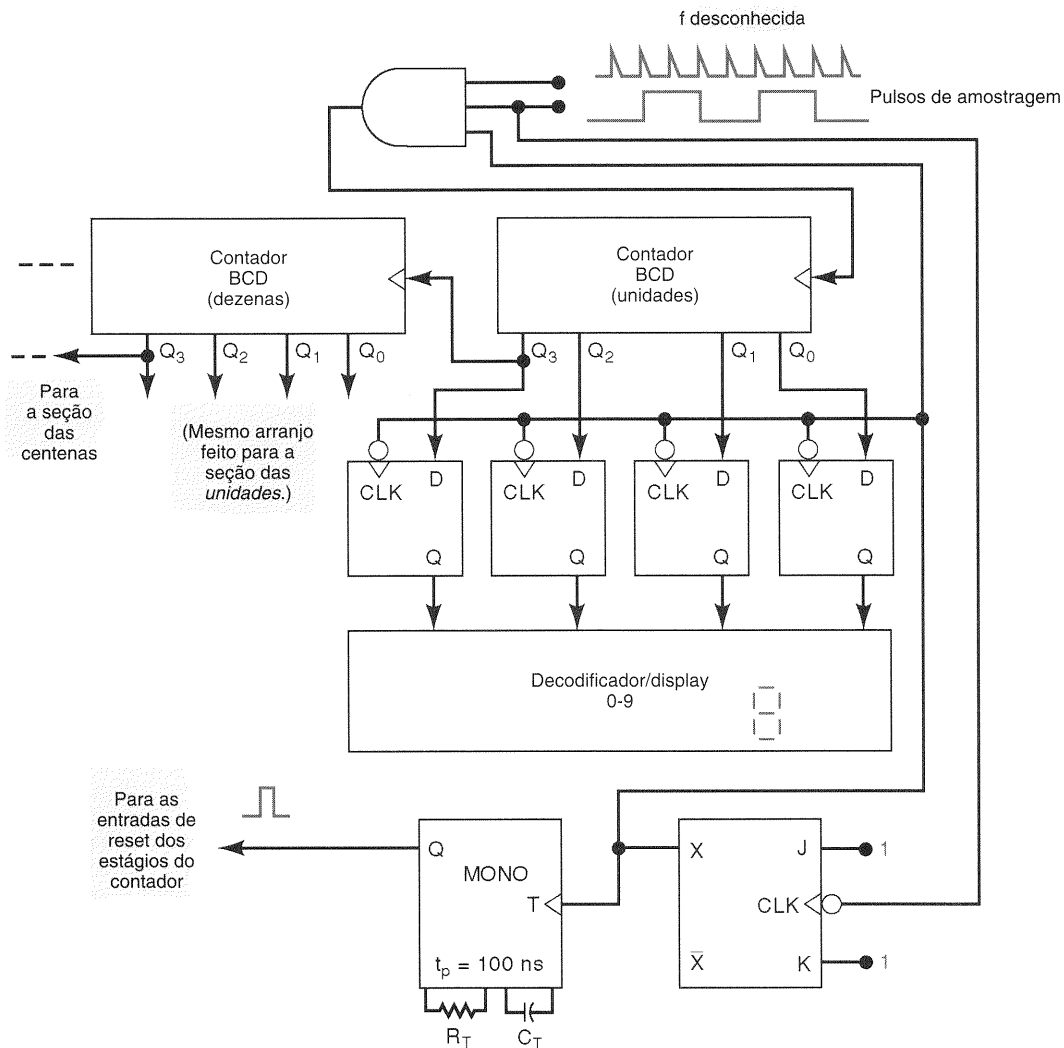


Fig. 7-69 - Problemas 7-43 e 7-48.

SEÇÕES 7-19 E 7-20

D7-48. Modifique o freqüencímetro da Fig. 7-69 de modo que ele utilize CIs 74174. Considere que o freqüencímetro contem três contadores BCD e um display de três dígitos.

D7-49. Mostre como conectar dois 74178s como um contador em anel de oito bits.

N, C7-50. A Fig. 7-70 mostra como um 74178 pode ser usado como um *conversor paralelo-série*. Os dados paralelos, que são colocados de P_0 até P_3 , são deslocados serialmente para fora, de modo que uma forma de onda serial aparece em Q_3 . O deslocamento para a saída dos dados paralelos é controlado pela ocorrência do pulso de INÍCIO. Este pulso de INÍCIO ocorre assincronamente em relação aos pulsos de clock, e portanto os flip-flops D são usados para sincronizar o carregamento paralelo e o deslocamento no 74178.

funcionar como um registrador de deslocamento (entrada serial/saída serial). Mostre como isto pode ser feito. Então, mostre como, com a inclusão da lógica necessária, ele pode funcionar como um contador Johnson.

7-52. Considere a situação apresentada pelas formas de onda na Fig. 7-54. Se D_5 for para BAIXO imediatamente antes de t_{247} , quando Q_3 irá para BAIXO?

7-53. Mostre como o chip 4731B pode ser conectado como um registrador de deslocamento de 256 bits.

SEÇÕES 7-21 E 7-22

C, D 7-54. Modifique o circuito da Fig. 7-57 de modo que a saída do INVERSOR fique conectada na entrada A , em vez de conectada em MR .

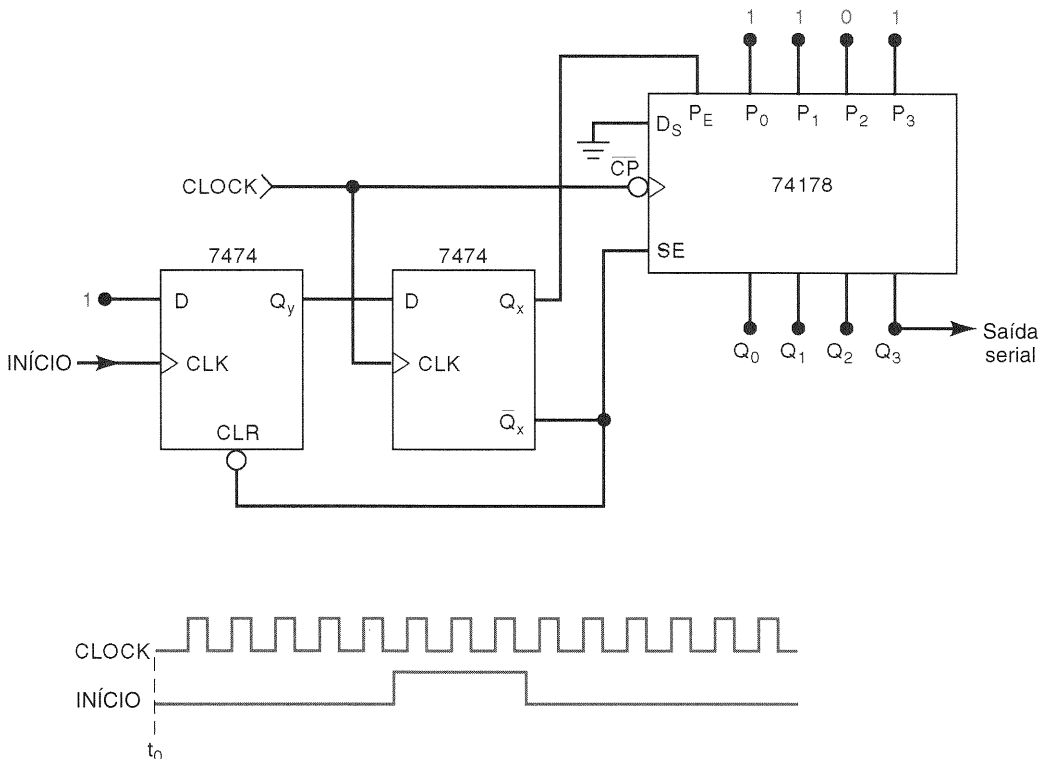


Fig. 7-70 - Problema 7-50.

Admita que o pulso de INÍCIO estava em BAIXO e que pulsos de clock foram continuamente aplicados ao circuito por um longo período de tempo antes do tempo t_0 (veja as formas de onda). Desenhe as formas de onda que aparecem em Q_x , \bar{Q}_x , Q_y e Q_3 em resposta ao pulso de INÍCIO mostrado na figura.

D 7-51. O 74LS174 é um registrador de entrada paralela/saída paralela. No entanto, ele pode ser conectado de modo a

- (a) Desenhe as formas de onda de saída de cada FF em resposta às formas de onda de entrada mostradas na Fig. 7-71.
- (b) Adicione a lógica necessária para produzir um sinal de saída que vai para ALTO somente durante os intervalos de tempo de t_1 até t_2 e de t_8 até t_9 .
- (c) Adicione a lógica necessária para produzir um sinal que vai para BAIXO somente durante o intervalo de tempo de t_4 até t_7 .

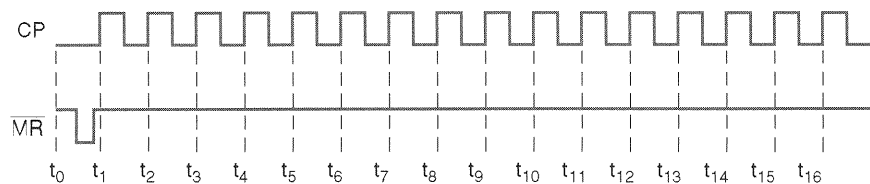


Fig. 7-71 - Problema 7-54.

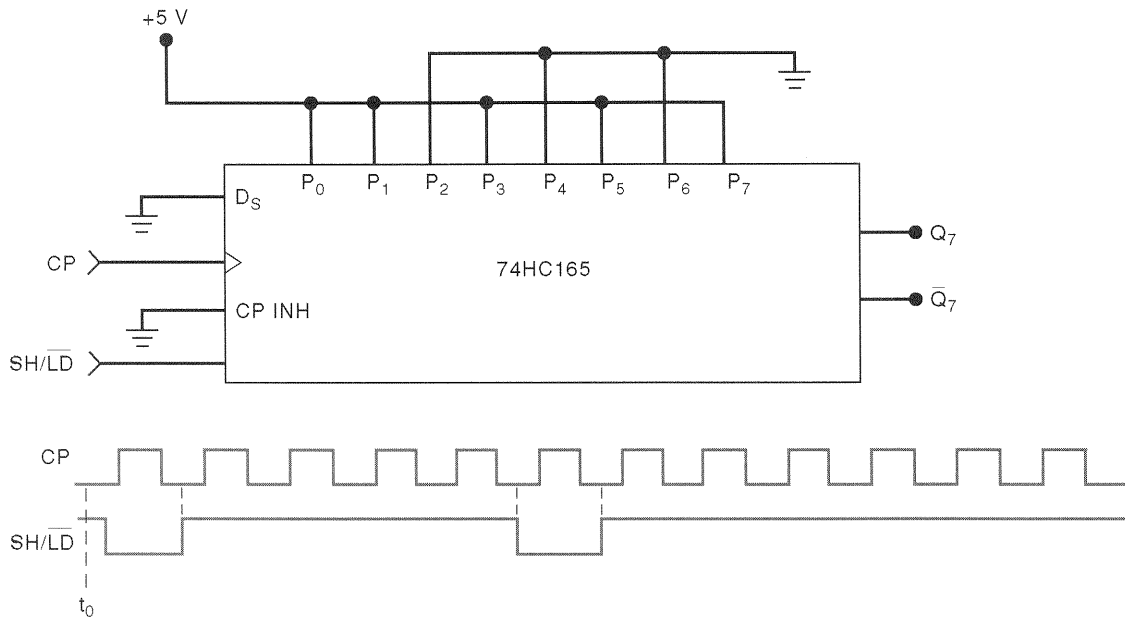


Fig. 7-72 - Problema 7-55.

7-55. Um 74HC165 está conectado conforme mostrado na Fig. 7-72. Admita que antes de t_0 pulsos foram aplicados em CP , e que a entrada SH/\overline{LD} foi mantida em nível ALTO por um longo tempo. Desenhe a forma de onda de Q_7 em resposta às formas de onda de CP e SH/\overline{LD} começando em t_0 .

N 7-56. Enquanto examina o diagrama esquemático de uma parte de um equipamento, um estudante ou um engenheiro quase sempre se deparam com um CI que não é familiar. Em tais casos, freqüentemente é necessário consultar o manual do fabricante do CI para buscar especificações sobre o dispositivo. As informações na folha de características do CI são sempre completas, mas por vezes é difícil compreendê-las, especialmente por alguém com muito pouca experiência. Este problema vai dar a você prática em obter informações sobre um CI razoavelmente complexo — o 74194 registrador de deslocamento universal bidirecional. Consulte um manual TTL ou CMOS para responder as questões a seguir. Justifique suas respostas.

- (a) A entrada CLR é síncrona ou assíncrona?
- (b) Verdadeiro ou falso: Quando CLK está em BAIXO, os níveis de S_0 e S_1 não têm efeito algum sobre o registrador.
- (c) Admita as seguintes condições:

$$\begin{aligned}
 Q_A Q_B Q_C Q_D &= 1\ 0\ 1\ 1 \\
 ABCD &= 0\ 1\ 1\ 0 \\
 \overline{CLR} &= 1 \\
 SR\ SER &= 0 \\
 SL\ SER &= 1
 \end{aligned}$$

Se $S_0 = 0$ e $S_1 = 1$, quais serão as saídas do registrador após um pulso CLK ? E depois de dois pulsos CLK ? E depois de três? Depois de quatro?

- (d) Utilize as mesmas condições, exceto que $S_0 = 1$ e $S_1 = 0$, e repita a parte (c).
- (e) Repita a parte (c) com $S_0 = S_1 = 1$.
- (f) Repita a parte (c) com $S_0 = S_1 = 0$.
- (g) Utilize as mesmas condições como na parte (c), mas considere que a saída Q_A está conectada em $SL\ SER$. Quais serão as saídas do registrador após quatro pulsos CLK ?

- (h) Mostre como conectar este CI para funcionar como um contador em anel, que conta através da seqüência $Q_A Q_B Q_C Q_D$: 0001, 0010, 0100, 1000, e repete.

SEÇÃO 7-24

T7-57. Um estudante testa o contador da Fig. 7-59(a) aplicando um sinal de clock de baixa freqüência e monitorando as saídas dos FFs em LEDs indicadores. Ele observa uma seqüência repetitiva indicada pelos LEDs (Tabela 7-8). Quais são as razões possíveis para o contador não estar contando adequadamente?

T7-58. Consulte o circuito do relógio digital das Figs. 7-47 e 7-48. Um estudante testando o circuito observou que as seções dos SEGUNDOS e dos MINUTOS contavam adequadamente, mas a seção das HORAS contava o seguinte: 01, 02, 03, 04, 05, 06, 07, 08, 09, 10, 11, 12, 11, 12, 11, 12, ... Qual é a causa provável para este mau funcionamento?

T7-59. Um estudante testa o circuito de relógio digital (Figs. 7-47 e 7-48) e observa que a seção das HORAS não conta e que a seção dos MINUTOS conta de 00 até 39, e então recicla para 00 e repete. Quais são as possíveis causas deste comportamento incorreto?

T7-60. Consulte o freqüencímetro modificado da Fig. 7-69. Admita que existam três estágios de contadores BCD com seus respectivos registradores buffer. O intervalo de amostragem é ajustado para 1 segundo, e a freqüência desconhecida é 125 pps. Descreva o que aparecerá no display para cada uma das seguintes falhas do circuito:

TABELA 7-8

Q_3	Q_2	Q_1	Q_0
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1

recicla e repete

- (a) Uma conexão aberta na entrada superior da porta AND
 (b) Um resistor R_T queimado
- T7-61.** Uma estudante testa o freqüencímetro da Fig. 7-69 utilizando um intervalo de amostragem de 1 s e uma freqüência de 125 pps. Ela espera ver um display com 125, mas em vez disso vê um display que muda de poucos em poucos segundos como se segue: 125, 250, 375, 500, 625, 750, 875, 000, 125, 250, ... Qual pode ser a causa deste mau funcionamento?
- T7-62.** Consulte o contador crescente/decrescente da Fig. 7-18. Descreva como cada uma das falhas no circuito relacionadas a seguir afetará as operações de contagem crescente e decrescente.
- (a) A saída da porta AND 4 está internamente em curto-circuito com V_{cc} .
 (b) Uma ponte de solda está conectando a saída da porta AND 1 com a saída da porta AND 3.
- T7-63.** Um estudante realiza um teste no circuito temporizador da Fig. 7-65 e registra os resultados mostrados na Tabela 7-9. Examine os dados registrados e determine as causas possíveis para a operação com falhas.
- T7-64.** Um estudante montou o circuito contador da Fig. 7-62. Ele aplica um sinal preciso de 8,64 kpps na entrada e mede a freqüência de 54 pps em X , em vez dos esperados 60 pps. Qual é o erro de ligação mais provável que ele cometeu?

QUESTÕES DE FIXAÇÃO

- 7-65.** Para cada uma das sentenças a seguir, indique o(s) tipo(s) de contador(es) que está(ão) sendo descrito(s).
- (a) Cada FF é disparado pelo clock ao mesmo tempo.
 (b) Cada FF divide a freqüência na sua entrada CLK por 2.
 (c) A seqüência de contagem é 111, 110, 101, 100, 011, 010, 001, 000.
 (d) O contador tem 10 estados distintos.
 (e) O atraso total de comutação é a soma dos atrasos individuais dos FFs.
 (f) Este contador não requer lógica de decodificação.
 (g) O módulo do contador é sempre duas vezes o número de FFs.
 (h) Este contador divide a freqüência de entrada pelo seu módulo.
 (i) Este contador pode começar sua seqüência de contagem em qualquer estado inicial desejado.
 (j) Este contador pode contar em ambas as direções.
 (k) Pode sofrer de glitches de decodificação.
 (l) Conta de 0 até 99.
 (m) Pode ser projetado para contar por seqüências arbitrárias, determinando-se a lógica necessária para cada entrada J e K dos flip-flops.

APLICAÇÃO EM MICROCOMPUTADOR

- C, D 7-66.** Um microprocessador que é usado em uma aplicação de controle deve freqüentemente controlar a temporização de eventos externos, tais como o ligar e desligar de dispositivos como solenóides, motores e relés. Tais ações podem ser temporizadas utilizando software e executando-se repe-

tidamente um trecho de programa um determinado número de vezes. Isto, no entanto, impõe uma sobrecarga de trabalho na MPU, já que ela não pode fazer outra coisa enquanto está executando este procedimento. Por essa razão, a maioria dos intervalos temporizados é usualmente gerada por hardware, que está *sob controle da MPU*. Em outras palavras, a MPU enviará dados para o hardware para informar que intervalo de tempo deve ser gerado.

No Problema 7-22, vimos como o CI 74LS193 poderia ser utilizado em um circuito temporizador (Fig. 7-65) para gerar intervalos de tempo precisos correspondentes ao dado binário de quatro chaves. Este circuito pode ser modificado de maneira a que os dados binários venham da MPU, em vez de virem das chaves. Na Seção 5-20, vimos como uma MPU poderia transferir dados para um dispositivo externo utilizando suas saídas de endereços, dados e clock (Fig. 5-50).

Mostre como combinar estes dois circuitos para que a saída do temporizador X gere um nível ALTO por um intervalo de tempo (em segundos) igual ao número binário que a MPU coloca no contador 74LS193. Você pode eliminar qualquer circuito que não seja necessário. Considere que o sinal CP da MPU é uma onda quadrada de 1 MHz. Lembre-se de que \overline{PL} é uma entrada assíncrona.

RESPOSTAS PARA AS QUESTÕES DE REVISÃO DAS SEÇÕES

PARTE I

SEÇÃO 7-1

1. Falso 2. 0000 3. 128

SEÇÃO 7-2

1. D, C e A 2. Verdadeiro, tendo em vista que um contador BCD tem 10 estados distintos. 3. 5 kHz

SEÇÃO 7-3

1. 250 Hz 2. $f_{in}/60$ 3. 4,096
 4. O contador tem módulo 64 e divide a freqüência por 64.
 5. 96

SEÇÃO 7-4

1. Em um contador crescente, a contagem é incrementada de 1 a cada pulso de clock; em um contador decrescente, a contagem é decrementada de 1 com cada pulso.
 2. A saída invertida de cada FF é conectada na entrada CLK do FF seguinte.

SEÇÃO 7-5

1. Cada FF adiciona seu atraso de propagação ao atraso total do contador em resposta ao pulso de clock.
 2. Módulo 256

SEÇÃO 7-6

1. Pode operar em freqüências mais altas e tem circuitos mais complexos
 2. Seis FFs e quatro portas AND
 3. $ABCDE$

SEÇÃO 7-8

1. Ele pode ser ajustado para qualquer contagem inicial desejada.
 2. A carga assíncrona é independente da entrada de clock, enquanto a carga síncrona ocorre na borda ativa do sinal de clock.

TABELA 7-9

S1	S2	S3	S4	Saída(s) do Temporizador
5 V	0 V	0 V	0 V	10
0 V	0 V	5 V	5 V	3
5 V	0 V	5 V	5 V	11
5 V	5 V	5 V	0 V	14
0 V	5 V	0 V	5 V	7
5 V	5 V	0 V	0 V	14

SEÇÃO 7-9

1. Quando \overline{PL} é pulsado em BAIXO, o contador é carregado com o número binário presente nas suas entradas P_0 até P_3 .
2. Um nível ALTO em MR sobrepõe-se a todas as outras entradas para ressetar o contador para 0000.
3. Verdadeiro
4. 1, 1, 0, respectivamente
5. 0 a 65.535

SEÇÃO 7-10

1. Veja o texto apropriado.
2. (a) Operação de contador crescente.
- (b) Esta entrada é combinada por uma porta AND com qualquer outra entrada ou saída que tenha um "4" no seu identificador.
- (c) Esta entrada controla o efeito de qualquer entrada que tenha "5" no seu identificador.
- (d) Entrada de dados que é controlada pela entrada identificada por C5.

SEÇÃO 7-11

1. Sessenta e quatro
2. Uma porta NAND de seis entradas com entradas A, B, C, \overline{D}, E e \overline{F} .

SEÇÃO 7-12

1. Os glitches poderiam ser causados pelas mudanças de estado dos FFs, um de cada vez, durante as transições de estado do contador.
2. O sinal de strobe inibe as portas de decodificação até que todos os FFs tenham completado suas transições.

SEÇÃO 7-14

1. Veja o texto.
2. Ela mostra os níveis necessários em J e K para produzir todas as transições de estado possíveis dos FFs.
3. Ela mostra os níveis necessários em cada entrada J e K dos flip-flops para produzir as transições de estado do contador.
4. Verdadeiro

SEÇÃO 7-15

1. Contador em anel
2. Contador Johnson
3. A saída invertida do último FF é conectada na entrada do primeiro FF.
4. (a) Falso (b) Verdadeiro (c) Verdadeiro

PARTE II

SEÇÃO 7-16

1. 1 ms
2. Contador limpo; contador conta pulsos durante o intervalo de amostragem; contador pára e mantém a contagem para o display.
3. Um contador em anel utiliza mais FFs do que um contador Johnson.

SEÇÃO 7-17

1. Conformador de pulso, divisor de frequência, contador de segundos e display, contador de minutos e display, contador de horas e display
2. Para mudar a transição de descida fornecida pela seção dos MINUTOS para uma subida necessária para o 74192

SEÇÃO 7-18 A SEÇÃO 7-22

1. Entrada paralela/saída serial
2. Verdadeiro
3. Entrada serial/saída paralela
4. Entrada serial/saída serial
5. O 74165 utiliza transferência paralela assíncrona; o 74178 utiliza transferência síncrona.
6. Um nível ALTO inibe o deslocamento a cada CP .

SEÇÃO 7-23

1. Ela separa as duas funções indicadas e realizadas por aquela entrada.
2. SRG 64